

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5790214号
(P5790214)

(45) 発行日 平成27年10月7日(2015.10.7)

(24) 登録日 平成27年8月14日(2015.8.14)

(51) Int.Cl.	F I		
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 2 2	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 3 A	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78	6 5 5 C	
HO 1 L 29/417 (2006.01)	HO 1 L 29/50	M	

請求項の数 7 (全 21 頁)

(21) 出願番号	特願2011-149210 (P2011-149210)	(73) 特許権者	000004260
(22) 出願日	平成23年7月5日(2011.7.5)		株式会社デンソー
(65) 公開番号	特開2012-80075 (P2012-80075A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成24年4月19日(2012.4.19)	(74) 代理人	110001128
審査請求日	平成25年11月14日(2013.11.14)		特許業務法人ゆうあい特許事務所
(31) 優先権主張番号	特願2010-202188 (P2010-202188)	(72) 発明者	戸倉 規仁
(32) 優先日	平成22年9月9日(2010.9.9)		愛知県刈谷市昭和町1丁目1番地 株式会
(33) 優先権主張国	日本国(JP)		社デンソー内
前置審査		(72) 発明者	高橋 茂樹
			愛知県刈谷市昭和町1丁目1番地 株式会
		(72) 発明者	芦田 洋一
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内

最終頁に続く

(54) 【発明の名称】 横型の絶縁ゲート型バイポーラトランジスタ

(57) 【特許請求の範囲】

【請求項1】

n型のドリフト層(2)を有する半導体基板(1、30、40)と、
前記ドリフト層(2)の内における該ドリフト層(2)の表層部に形成されたp型のコレクタ領域(4)と、

前記ドリフト層(2)の内における該ドリフト層(2)の表層部において、前記コレクタ領域(4)から離間して配置されたp型のチャネル層(6)と、

前記チャネル層(6)内における該チャネル層(6)の表層部において、該チャネル層(6)の終端部よりも内側で終端するように形成された、前記ドリフト層(2)よりも高不純物濃度のn型のエミッタ領域(7)と、

前記チャネル層(6)の表面のうち、前記エミッタ領域(7)と前記ドリフト層(2)との間に挟まれた部分をチャネル領域として、該チャネル領域の表面に形成されたゲート絶縁膜(10)と、

前記ゲート絶縁膜(10)の表面に形成されたゲート電極(11)と、

前記コレクタ領域(4)と電気的に接続されたコレクタ電極(12)と、

前記エミッタ領域(7)および前記チャネル層(6)と電気的に接続されたエミッタ電極(13)と、を有したnチャネルの横型の絶縁ゲート型バイポーラトランジスタであって、

前記コレクタ領域(4)は、異なる不純物濃度の領域が設けられ、比較的高不純物濃度とされた高不純物濃度領域(4a)と、該高不純物濃度領域(4a)の周囲および底部を

覆い、該高不純物濃度領域(4a)よりも不純物濃度が低くされた低不純物濃度領域(4b)を有しており、

前記コレクタ電極(12)は、前記コレクタ領域(4)のうち前記高不純物濃度領域(4a)とはオーミック接触させられており、前記低不純物濃度領域(4b)とはショットキー接触させられていて、

かつ、前記ドリフト層(2)内における該ドリフト層(2)の表層部において、前記コレクタ領域(4)を囲むように、前記ドリフト層(2)よりも高不純物濃度とされたn型のバッファ層(5)が備えられていることを特徴とする横型の絶縁ゲート型バイポーラトランジスタ。

【請求項2】

前記コレクタ電極(12)は、前記低不純物濃度領域(4b)との界面に挟まれ、該低不純物濃度領域(4b)に対してショットキー接触させられるバリア金属(12a)が備えられていることを特徴とする請求項1に記載の横型の絶縁ゲート型バイポーラトランジスタ。

【請求項3】

前記バリア金属(12a)の仕事関数が4.9eV以下であることを特徴とする請求項2に記載の横型の絶縁ゲート型バイポーラトランジスタ。

【請求項4】

前記低不純物濃度領域(4b)の表面のp型不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 以下に設定されていることを特徴とする請求項1ないし3のいずれか1つに記載の横型の絶縁ゲート型バイポーラトランジスタ。

【請求項5】

前記n型のバッファ層(5)は、不純物濃度が $4 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とされていることを特徴とする請求項1ないし3のいずれか1つに記載の横型の絶縁ゲート型バイポーラトランジスタ。

【請求項6】

前記低不純物濃度領域(4b)の表面のp型不純物濃度が前記バッファ層(5)のn型不純物濃度よりも高くされていることを特徴とする請求項5に記載の横型の絶縁ゲート型バイポーラトランジスタ。

【請求項7】

前記コレクタ電極(12)と前記高不純物濃度領域(4a)におけるオーミック接触面積を S_i 、前記コレクタ電極(12)と低不純物濃度領域(4b)とのショットキー接触面積を S_e とすると、前記オーミック接触面積に対する前記ショットキー接触面積の比(S_e/S_i)が3~50の範囲に設定されていることを特徴とする請求項1ないし6のいずれか1つに記載の横型の絶縁ゲート型バイポーラトランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、横型の絶縁ゲート型バイポーラトランジスタ(以下、横型IGBTという)に関するものであり、特に、SOI(Silicon on insulator)基板を用いて形成した横型IGBTに適用すると好適である。

【背景技術】

【0002】

従来より、SOI基板上に横型IGBT、横型Diode、アナログ・デジタル回路等を集積化したモノリシックのインバータICが開発され、実用化されている。このインバータICの性能を主に決めているのは横型IGBTと横型Diodeであり、それぞれ低オン電圧と高速動作が重要な性能指標である。特に、横型IGBTは電子線照射などのライフタイム制御をせずに、低オン電圧と高速スイッチング動作を両立することが必要であり、コレクタにおけるホールの注入効率を低くして、オン時のキャリア濃度を下げることがポイントであった。

10

20

30

40

50

【0003】

従来では、コレクタ領域を大きい低濃度 p ウェルと小さい高濃度 p⁺領域の二重構造として、コレクタ電極に対して共にオーミック接触する構成とし、コレクタ領域のアクセプタ不純物の総量を押さえ、さらに、低濃度 p ウェルと高濃度 p⁺領域を包む n バッファ層のドナー不純物の効果を加えてホール注入を抑制し、注入効率を低下させていた（例えば、特許文献 1 参照）。

【0004】

ところが、本発明者らの検討によると、この二重構造のコレクタ領域においては、フォール時間 t_f を $0.3 \mu s$ 以下になるように設計した場合、オン電圧のバラツキが大きくなるという問題があることが分かった。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特許第 3415441 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

低オン電圧と高速スイッチング動作とはトレードオフの関係となり、基本的にはオン電圧の増加に伴ってフォール時間が低下していく関係になる。しかしながら、特許文献 1 に示されるようにコレクタ電極と二重構造のコレクタ領域とをオーミック接触させた構造では、低オン電圧と高速スイッチング動作のトレードオフの関係が崩れ、オン電圧を犠牲にしてもフォール時間を低下することができなくなり、かつバラツキが大きくなることが分かった。従来のようにコレクタ電極とコレクタ領域とをオーミック接触させたものの場合、フォール時間はある値で下げ止まりし、それ以上はオン電圧の増加に対してフォール時間が安定して低下する関係にならない。このため、スイッチング動作をより高速化することができないという課題があった。我々の分析によれば、例えば低濃度 p ウェル表面の濃度を $1 \times 10^{17} \text{ cm}^{-3}$ とし、コレクタ電極材料にシリコンを 1% 含有したアルミニウムを使用した場合、低濃度 p ウェル表面とコレクタ電極の接触状態が不安定になることが、バラツキの原因であることが分かった。

【0007】

本発明は上記に鑑みて、更なるスイッチング動作の高速化を図ることが可能な構造の横型 IGBT を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、請求項 1 に記載の発明では、n チャネル型の横型の絶縁ゲート型バイポーラトランジスタであって、コレクタ領域 (4) は、異なる不純物濃度の領域が設けられ、比較的高不純物濃度とされた高不純物濃度領域 (4a) と、該高不純物濃度領域 (4a) の周囲および底部を覆い、該高不純物濃度領域 (4a) よりも不純物濃度が低くされた低不純物濃度領域 (4b) を有しており、コレクタ電極 (12) は、コレクタ領域 (4) のうち高不純物濃度領域 (4a) とはオーミック接触させられており、低不純物濃度領域 (4b) とはショットキー接触させられていて、かつ、ドリフト層 (2) 内における該ドリフト層 (2) の表層部において、コレクタ領域 (4) を囲むように、ドリフト層 (2) よりも高不純物濃度とされた n 型のバッファ層 (5) が備えられていることを特徴としている。

【0009】

このように、コレクタ電極 (12) が高不純物濃度領域 (4a) に対してオーミック接触させられ、かつ、低不純物濃度領域 (4b) に対してショットキー接触させられるようにしている。このため、コレクタ側からのホールの注入を抑制して低注入効率となるようにでき、ライフタイム制御を行わなくてもスイッチング動作を更に高速化することが可能な構造の横型 IGBT とすることができる。

10

20

30

40

50

【0010】

請求項2に記載の発明では、コレクタ電極(12)は、低不純物濃度領域(4b)との界面に挟まれ、該低不純物濃度領域(4b)に対してショットキー接触させられるバリア金属(12a)が備えられていることを特徴としている。

【0011】

このように、コレクタ電極(12)と低不純物濃度領域(4b)との接触部位が確実にショットキー接触となるように、低不純物濃度領域(4b)の表面上にバリア金属(12a)を配置するようにしている。これにより、ショットキー接触させられる領域を規定することが可能となり、決められた領域を安定してショットキー接触とすることが可能となる。このため、ショットキー接触を有する横型IGBTの製造も容易に行うことができる。

10

【0012】

請求項3に記載の発明では、バリア金属(12a)の仕事関数が4.9eV以下であることを特徴としている。

【0013】

このように、バリア金属(12a)の仕事関数が4.9eV以下となるようにすることで、よりホールの注入効率を低下させられ、よりスイッチング動作の高速化を図ることが可能となる。

【0014】

請求項4に記載の発明では、低不純物濃度領域(4b)の表面のp型不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 以下に設定されていることを特徴としている。このように、低不純物濃度領域(4b)の表面のp型不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 以下となるようにすることで、ショットキー接触部分がオーミック接触とならないようにでき、確実にターンオフ時間を短くすることが可能となる。

20

【0015】

請求項5に記載の発明では、n型のバッファ層(5)は、不純物濃度が $4 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とされていることを特徴としている。

【0016】

このように、コレクタ電極(12)とコレクタ領域(4)との接触形態によって、ホールの注入を抑制することができることから、バッファ層(5)がホールの注入を抑制する役割を果たさなくても良くなり、単にフィールドストップ(FS)層としての役割を果たせば良くなる。このため、バッファ層(5)の不純物濃度をコレクタ側の注入効率を変化させない程度の低不純物濃度に設定することが可能となる。

30

【0017】

請求項6に記載の発明では、低不純物濃度領域(4b)の表面のp型不純物濃度がバッファ層(5)のn型不純物濃度よりも高くされていることを特徴としている。

【0018】

このように、低不純物濃度領域(4b)の表面のp型不純物濃度がバッファ層(5)のn型不純物濃度よりも高くなるようにすることで、低不純物濃度領域(4b)がバッファ層(5)内のn型不純物によって補償されてn型化することを防止できる。これにより、確実にオン電圧 V_{on} を低くすることが可能となる。

40

【0019】

請求項7に記載の発明では、コレクタ電極(12)と高不純物濃度領域(4a)におけるオーミック接触面積を S_i 、コレクタ電極(12)と低不純物濃度領域(4b)とのショットキー接触面積を S_e とすると、オーミック接触面積に対するショットキー接触面積の比(S_e/S_i)が3~50の範囲に設定されていることを特徴としている。

【0020】

オーミック接触面積 S_e に対するショットキー接触面積 S_i の比 S_e/S_i が大きくなるほど、ターンオフ時間が短くなる。そして、比 S_e/S_i が3以上になると150ns

50

$e c (0.15 \mu s e c)$ 以下となり、目標とする $0.3 \mu s e c$ の半分以下にすることが可能となる。そして、実験では、少なくとも比 $S e / S i$ が $3 \sim 50$ の範囲において、安定的にターンオフ時間 $t o f f$ を $150 n s e c$ 以下にすることができた。したがって、比 $S e / S i$ が $3 \sim 50$ の範囲に設定されるようにすることで、横型 I G B T のターンオフ時間 $t o f f$ をより短くすることが可能になる。

【0021】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【図面の簡単な説明】

【0022】

【図1】本発明の第1実施形態にかかるnチャンネルの横型 I G B T の断面構成を示した図である。

【図2】図1に示す横型 I G B T の上面レイアウト図である。

【図3】第1実施形態の横型 I G B T と従来のようにコレクタ電極とコレクタ領域とがオーミック接触させられている横型 I G B T のオン電圧 $V o n$ に対するフォール時間 $t f$ の関係を調べた結果を示した図である。

【図4】バリア金属 12a の仕事関数 $m [e V]$ とホールの注入効率（ホール電流 $I h$ / コレクタ電流 $I c$ ）の関係を示した図である。

【図5】仕事関数 m が $4.5 e V$ のときと $4.9 e V$ のときのエネルギーバンド図である。

【図6】横型 I G B T の動作中の様子を示した断面図である。

【図7】オーミック接触面積 $S i$ とショットキー接触面積 $S e$ の関係を示した断面図である。

【図8】オーミック接触面積 $S i$ とショットキー接触面積 $S e$ との比 $S e / S i$ とターンオフ時間 $t o f f$ との関係を示したグラフである。

【図9】p型領域 4b の表面のp型不純物濃度 $C s p$ に対するオン電圧 $V o n$ とターンオフ時間 $t o f f$ の関係を示した図である。

【図10】ターンオフ時間 $t o f f$ と電流駆動能力との関係を示すグラフである。

【図11】横型 I G B T のオン電圧の温度特性やターンオフ時間 $t o f f$ の温度特性を示したグラフである。

【図12】I G B T や D i o d e が適用されたスイッチング回路の一例を示した回路図である。

【図13】図12に示すスイッチング回路の動作を表したタイミングチャートである。

【図14】第1実施形態に示す横型 I G B T の動作を表した断面図である。

【図15】ショットキー構造とオーミック構造を組み合わせた横型 D i o d e の断面図である。

【図16】本発明の第2実施形態にかかるnチャンネルの横型 I G B T の断面構成を示した図である。

【図17】本発明の第3実施形態にかかるnチャンネルの横型 I G B T の断面構成を示した図である。

【図18】本発明の第4実施形態にかかるnチャンネルの横型 I G B T の断面構成を示した図である。

【図19】本発明の第5実施形態にかかるnチャンネルの横型 I G B T の断面構成を示した図である。

【図20】他の実施形態で説明する横型 I G B T の他の例を示すコレクタ領域 4 の上面レイアウト図である。

【図21】他の実施形態で説明する横型 I G B T の断面構成を示した図である。

【図22】他の実施形態で説明する縦型 I G B T の断面構成を示した図である。

【発明を実施するための形態】

【0023】

10

20

30

40

50

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、図中、同一符号を付してある。

【0024】

(第1実施形態)

本発明の第1実施形態について説明する。図1は、本実施形態にかかるnチャネルの横型IGBTの断面構成を示した図である。また、図2は、図1に示す横型IGBTの上面レイアウト図であり、横型IGBTの1セル分に相当している。図1は、図2におけるA-A'線上の断面構成を示した図に相当している。以下、これらの図を参照して、本実施形態にかかる横型IGBTの構造について説明する。

【0025】

図1に示すように、本実施形態では、半導体基板としてSOI基板1を用いてnチャネルの横型IGBTを形成している。SOI基板1は、シリコンなどによって構成された支持基板1a上に、埋込酸化膜(Box, Buried Oxide)1bを介してシリコンからなる活性層1cを形成することにより構成されている。本実施形態では、活性層1cがn⁻型ドリフト層2として機能しており、このn⁻型ドリフト層2の表層部に、横型IGBTを構成する各部が形成されている。

【0026】

SOI基板1における埋込酸化膜1bの厚みや活性層1c(n⁻型ドリフト層2)の厚さおよび不純物濃度に関しては任意であるが、所望の耐圧が得られる設計としてある。例えば、高い耐圧が得られるようにするためには埋込酸化膜1bの厚みは4μm以上であることが望ましく、特に、耐圧が安定して600V以上確保できるようにするためには厚みを5μm以上にするのが好ましい。また、活性層1cについては、耐圧が安定して600V以上確保できるようにするためには、厚さ15μm以下のときにはn型不純物濃度が $1 \times 10^{14} \sim 1.2 \times 10^{15} \text{ cm}^{-3}$ 、厚さ20μmのときにはn型不純物濃度が $1 \times 10^{14} \sim 8 \times 10^{14} \text{ cm}^{-3}$ とすると好ましい。

【0027】

n⁻型ドリフト層2の表面には、LOCOS酸化膜3が形成されており、LOCOS酸化膜3によって横型IGBTを構成する各部が分離されている。そして、n⁻型ドリフト層2の表層部のうち、LOCOS酸化膜3が形成されていない部分に、図2に示すように、一方向を長手方向とするコレクタ領域4が形成されている。コレクタ領域4は、異なる不純物濃度の領域が設けられ、比較的高不純物濃度とされた高不純物濃度領域となるp⁺型領域4aと、それよりも不純物濃度が低くされた低不純物濃度領域となるp型領域4bとを有した構成とされている。

【0028】

p⁺型領域4aは、例えば表面濃度が $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ とされ、p型領域4bは、例えば表面濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 、または $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とされている。図1および図2に示すように、本実施形態では、p⁺型領域4aとp型領域4bは共に一方向を長手方向とする短冊状をなしており、p⁺型領域4aの周囲がp型領域4bによって覆われた構造とされている。

【0029】

また、コレクタ領域4の周囲はn⁻型ドリフト層2よりも高不純物濃度とされたn型バッファ層5にて囲まれている。n型バッファ層5は、FS(Field Stop)層としての役割を果たすものであり、n⁻型ドリフト層2よりも高不純物濃度のn型層にて構成され、空乏層の広がりを防ぐことで耐圧と定常損失の性能向上を図っている。例えば、n型バッファ層5は、n型不純物濃度が $4 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とされている。

【0030】

また、n⁻型ドリフト層2の表層部のうち、LOCOS酸化膜3が形成されていない部分に、コレクタ領域4を中心としてチャンネルpウェル層6、n⁺型エミッタ領域7、p⁺型コンタクト層8およびp型ボディ層9が形成されている。

【0031】

チャンネルpウェル層6は、表面にチャンネル領域を形成するための部分であり、例えば厚みが2 μ m以下、幅が6 μ m以下とされている。このチャンネルpウェル層6は、図2に示すように、コレクタ領域4（および後述するコレクタ電極12）を中心として、コレクタ領域4の周囲を1周囲むように同心状に配置されている。

【0032】

また、n⁺型エミッタ領域7は、チャンネルpウェル層6の表層部において、チャンネルpウェル層6の終端位置よりも内側で終端するように形成されており、コレクタ領域4の長手方向と同方向を長手方向として形成されている。このn⁺型エミッタ領域7は、図2に示したようにコレクタ領域4のコーナー部、つまり一方向を長手方向としたコレクタ領域4の両端には形成されておらず、コレクタ領域4と平行に配置された直線状のレイアウトとされている。本実施形態では、n⁺型エミッタ領域7がp型コンタクト層8およびp型ボディ層9を挟んだ両側に一本ずつ配置してある。

【0033】

p⁺型コンタクト層8は、チャンネルpウェル層6をエミッタ電位に固定するためのものであり、チャンネルpウェル層6よりも高不純物濃度とされている。このp⁺型コンタクト層8も、図2に示すようにコレクタ領域4（および後述するコレクタ電極12）を中心として、コレクタ領域4の周囲を1周囲むように同心状に配置されている。

【0034】

p型ボディ層9は、コレクタからエミッタへ表面を經由して流れるホール電流により生じる電圧ドロップを低減する役割を果たす。このp型ボディ層9も、コレクタ領域4（および後述するコレクタ電極12）を中心として、コレクタ領域4の周囲を1周囲むように同心状に配置されている。このp型ボディ層9により、n⁺型エミッタ領域7とチャンネルpウェル層6およびn⁻型ドリフト層2にて構成される寄生npnトランジスタが動作し難くなるようにでき、ターンオフ時間をより改善することが可能となる。

【0035】

そして、図2に示されるように、これらチャンネルpウェル層6、n⁺型エミッタ領域7、p⁺型コンタクト層8およびp型ボディ層9は、各セル毎に、コレクタ領域4（および後述するコレクタ電極12）を挟んだ両側に配置されている。

【0036】

また、チャンネルpウェル層6の表面には、ゲート絶縁膜10を介してドープドPoly-Siなどで構成されたゲート電極11が配置されている。このゲート電極11に対してゲート電圧を印加することで、チャンネルpウェル層6の表面部にチャンネル領域が形成されるようになっている。

【0037】

また、コレクタ領域4の表面には、コレクタ領域4に対して電氣的に接続されたコレクタ電極12が形成されていると共に、n⁺型エミッタ領域7およびp⁺型コンタクト層8の表面には、これらn⁺型エミッタ領域7およびp⁺型コンタクト層8に対して電氣的に接続されたエミッタ電極13が形成されている。

【0038】

コレクタ電極12は、p⁺型領域4aに対してはオーミック接触させられ、p型領域4bに対してはショットキー接触させられている。本実施形態では、コレクタ電極12を二層構造とし、p型領域4bの表面上についてはバリア金属12aで覆い、p⁺型領域4aの表面およびバリア金属12aの表面上については電極材料12bで覆っている。バリア金属12aは、p型領域4bの露出表面（LOCOS酸化膜3から露出させられている表面）と同じ平面パターンとされ、このバリア金属12aによってp型領域4bの露出表面が全面覆われている。

【0039】

例えば、バリア金属12aとしては、低不純物濃度とされるp型領域4bに対して確実にショットキー接触させられる金属材料を適用でき、仕事関数が4.9eV以下の材料が好ましく、例えばTi、TiN、Ni等を用いることができる。また、電極材料12bと

10

20

30

40

50

しては、 p^+ 型領域 4 a に対してオーミック接触させられる金属材料を用いることができ、例えば Al、Cu 等を用いることができる。

【0040】

さらに、コレクタ - ゲート間に形成された LOCOS 酸化膜 3 の表面には、ドーパド Poly-Si が延設されて構成された抵抗層 1 4 が形成されており、コレクタ - ゲート間の電位勾配の偏りがなくなるようにされている。具体的には、抵抗層 1 4 は、図 2 に示すように、コレクタ電極 1 2 を中心として渦巻状に巻回された構造とされ、その一端がコレクタ電極 1 2 に電氣的に接続されていると共に、他端がゲート電極 1 1 に接続されている。このため、抵抗層 1 4 は、コレクタ電極 1 2 に接続された部位がコレクタ電位とされ、そこから内部抵抗によって徐々に電圧低下しながらエミッタ側に進んでいく。このため、抵抗層 1 4 の電位がコレクタ電極 1 2 からの距離に応じた電位勾配となり、LOCOS 酸化膜 3 を介して抵抗層 1 4 の下方に位置している n^- 型ドリフト層 2 中の電位勾配も一定に保たれるようにできる。これにより、電位勾配に偏りがある場合に発生し得る電界集中を抑制することができ、耐圧を向上させられると共に、インパクトイオン化を抑制でき、スイッチング時（ターンオフ時）のスイッチング時間増加を抑制することが可能となる。

10

【0041】

以上のような構造により、本実施形態にかかる横型 IGBT が構成されている。このように構成される横型 IGBT では、ゲート電極 1 1 に対して所望のゲート電圧を印加すると、 n^+ 型エミッタ領域 7 と n^- 型ドリフト層 2 の間に挟まれたゲート電極 1 1 の下方に位置するチャンネル p ウェル層 6 の表層部にチャンネル領域が形成され、エミッタ電極 1 3 および n^+ 型エミッタ領域 7 からチャンネル領域を通じて n^- 型ドリフト層 2 内に電子が流れ込む。これに伴って、コレクタ電極 1 2 およびコレクタ領域 4 を通じて n^- 型ドリフト層 2 内にホールが流れ込み、 n^- 型ドリフト層 2 内において導電率変調が起きる。これにより、エミッタ - コレクタ間に大電流を流すという IGBT 動作を行う。

20

【0042】

このような横型 IGBT において、本実施形態では、コレクタ電極 1 2 が p^+ 型領域 4 a に対してオーミック接触させられ、かつ、 p 型領域 4 b に対してショットキー接触させられるようにしている。このため、コレクタ側からのホールの注入を抑制して低注入効率となるようにすることができる。特に、このようなコレクタ電極 1 2 とコレクタ領域 4 との接触形態によって、ホールの注入を抑制することができることから、 n 型バッファ層 5 がホールの注入を抑制する役割を果たさなくても良く、単に FS 層としての役割を果たせば良くなるため、 n 型バッファ層 5 の不純物濃度をコレクタ側の注入効率を変化させない程度の低不純物濃度に設定することが可能となる。このような構造とすることにより、以下の効果を得ることができる。

30

【0043】

図 3 は、本実施形態の横型 IGBT と従来のようにコレクタ電極とコレクタ領域とがオーミック接触させられている横型 IGBT のオン電圧 V_{on} に対するフォール時間 t_f の関係を調べた結果を示している。

【0044】

この図に示されるように、従来横型 IGBT では、フォール時間 t_f が $0.3 \mu\text{sec}$ 程度で下げ止まりし、オン電圧 V_{on} を犠牲にしてもそれ以上はフォール時間 t_f が低下していない。つまり、フォール時間 t_f が $0.3 \mu\text{sec}$ 以下の領域ではオン電圧 V_{on} に対する高速スイッチング動作のトレードオフの関係が崩れている。

40

【0045】

これに対して、本実施形態の横型 IGBT では、フォール時間 t_f を $0.3 \mu\text{sec}$ 以下に低下されることが可能となり、その値以下になっても、オン電圧 V_{on} と高速スイッチング動作とのトレードオフの関係が維持されるようにできる。

【0046】

したがって、本実施形態のように、コレクタ電極 1 2 と p 型領域 4 b とをショットキー接触させ、コレクタ側からのホールの注入を抑制して低注入効率となるようにすることで

50

、ライフタイム制御を行わなくてもスイッチング動作を更に高速化することが可能な構造の横型 IGBT とすることができる。

【0047】

また、上記したように、コレクタ電極 12 のうち p 型領域 4 b とショットキー接触させられる部分をバリア金属 12 a としているが、バリア金属 12 a として仕事関数が 4.9 eV 以下の金属材料を用いると好ましい。これについて、図 4 および図 5 を参照して説明する。

【0048】

図 4 は、バリア金属 12 a の仕事関数 m [eV] とホールの注入効率 (ホール電流 I_h / コレクタ電流 I_c) の関係を示した図である。また、図 5 は、仕事関数 m が 4.5 eV のときと 4.9 eV のときのエネルギーバンド図である。

10

【0049】

図 4 に示されるように、仕事関数が 4.9 eV よりも大きくなると、注入効率が上昇し、低注入効率を得られなくなる場合がある。このような場合には、スイッチング動作の十分な高速化を行うことができなくなる。これに対して、仕事関数が 4.9 eV 以下になると、注入効率を 0.3 程度に低下させることが可能となる。このため、スイッチング動作の高速化を図ることが可能となる。

【0050】

例えば、図 5 に示されるように、仕事関数 m が 4.5 eV の時には、ホールに対するバリアハイトが十分に高く、ショットキー界面をホールを通過することができない。一方、仕事関数 m が 4.9 eV の時には、ホールに対するバリアが僅かに存在し、ショットキー界面をホールを通過することができない。そして、仕事関数 m が 4.9 eV より大きくなると、ホールに対するバリアが無くなり、バリア金属 12 a から p 型領域 4 b へホールが注入される。このように、バリア金属 12 a の仕事関数 m の大きさに応じて、ホール注入のされ方が変わる。このため、バリア金属 12 a の仕事関数 m が 4.9 eV 以下となるようにすることで、よりホールの注入効率を低下させることが可能となり、スイッチング動作の更なる高速化を図ることが可能となる。

20

【0051】

以上説明したように、本実施形態の横型 IGBT では、コレクタ電極 12 が p⁺型領域 4 a に対してオーミック接触させられ、かつ、p 型領域 4 b に対してショットキー接触させられるようにしている。このため、コレクタ側からのホールの注入を抑制して低注入効率となるようにでき、ライフタイム制御を行わなくてもスイッチング動作を更に高速化することが可能な構造の横型 IGBT とすることができる。

30

【0052】

そして、コレクタ電極 12 と p 型領域 4 b との接触部位が確実にショットキー接触となるように、p 型領域 4 b の表面上にバリア金属 12 a を配置するようにしている。これにより、ショットキー接触させられる領域を規定することが可能となり、決められた領域を安定してショットキー接触とすることが可能となる。このため、ショットキー接触を有する横型 IGBT の製造も容易に行うことができる。なお、本実施形態の横型 IGBT の形成方法は、従来に対してバリア金属 12 a の形成工程を加えた点が異なるだけで、その他については同様である。バリア金属 12 a の形成工程としては、電極材料 12 b の形成前に、例えば Ti、Ni、TiN などの金属を成膜したのち、それをパターニングして p 型領域 4 b の表面上に残るようにするという工程を行えば良い。

40

【0053】

また、バリア金属 12 a の仕事関数 m が 4.9 eV 以下となるようにすることで、よりホールの注入効率を低下させられ、よりスイッチング動作の高速化を図ることが可能となる。

【0054】

なお、上述した特許文献 1 に示されているように、従来では、オン電圧増大を抑制するためにコレクタ電極とコレクタ領域との接触をオーミック接触させるようにしている。こ

50

のため、コレクタ電極とコレクタ領域との接触箇所を部分的にショットキー接触にすること、特に、所定の領域が安定してショットキー接触となるようにすることは想定できない。

【 0 0 5 5 】

次に、本実施形態のように構成された横型 I G B T がオン状態からオフ状態へ遷移する時のターンオフ過程の動作メカニズムについて、図 6 を参照して説明する。

【 0 0 5 6 】

図 6 は、本実施形態にかかる横型 I G B T の動作中の様子を示した断面図である。この図では、横型 I G B T をスイッチング素子として、例えば電源 2 0 から負荷 2 1 の電流供給のスイッチングを行う回路を想定し、負荷 2 1 のローサイド側に横型 I G B T のコレクタを接続すると共に、エミッタを G N D に接続した回路構成としている。このような回路構成とした場合において、本実施形態にかかる横型 I G B T は、次の (i) ~ (i V) に示す動作を行う。

【 0 0 5 7 】

(i) まず、初期状態として、閾値電圧を超える電圧がゲート電極 1 1 に印加され、ゲート電極 1 1 の下のチャンネルが閉じて電子が n^+ 型エミッタ領域 7 から n^- 型ドリフト層 2 に流入し、コレクタ領域 4 に達して $p^+ / p / n$ 接合の p^+ 型領域 4 a に注入されて、これを順バイアスする (図 6 中において、電子の流入経路は (1) で示した点線矢印に沿って流れる) 。

【 0 0 5 8 】

この電子の注入に対して、 p^+ 型領域 4 a から n 型バッファ層 5 に対して (2) に示す矢印のようにホールが逆注入される。これにより、(3) に示す点線領域で囲んだように、 n^- 型ドリフト層 2 を導電率変調による高キャリア濃度状態とすることができる。この結果、コレクタ - エミッタ間に大電流が流れる。

【 0 0 5 9 】

(ii) 次に、ゲート電圧がステップ的に低下すると、チャンネルが開いて、(1) の点線矢印で示した電子の流入が止まり、コレクタ領域 4 の $p^+ / p / n$ 接合における電子の注入と、(2) で示したホールの逆注入が止まる。

【 0 0 6 0 】

(iii) n^- 型ドリフト層 2 に大量に蓄積したキャリア (電子とホール) のうち、電子はプラス電位のコレクタ領域 4 に引かれ、ポテンシャル障壁の無いショットキー接触を經由して電子がコレクタに抜き取られる。このとき、ショットキー接触が存在するため、電子が抜き取られ易くなる。

【 0 0 6 1 】

(i V) n^- 型ドリフト層 2 の電子が抜き取られると、電荷中性条件が崩れるため、この領域のホールがマイナス電位のエミッタ領域に引かれ、 p^+ 型コンタクト層 8 を經由してホールがエミッタに排出される。

【 0 0 6 2 】

以上のメカニズムにより、(iii) で述べた様にオン時に蓄積した電子がショットキー接触から効率的に抜き取られるため、本実施形態で説明したショットキー接触とオーミック接触の両方を有したコレクタ構造により、ターンオフ時間を短くすることが可能となる。

【 0 0 6 3 】

さらに、本実施形態のような構造の横型 I G B T において、電子の抜取りはショットキー接触面積に依存するため、ショットキー接触面積とオーミック接触面積の比を大きくすると、よりターンオフ時間を短くすることができる。具体的には、コレクタでのコレクタ電極 1 2 と高不純物濃度領域となる p^+ 型領域 4 a とのオーミック接触面積を S_i 、コレクタ電極 1 2 と低不純物濃度領域となる p 型領域 4 b とのショットキー接触面積を S_e として、オーミック接触面積 S_i に対するショットキー接触面積 S_e の比 S_e / S_i が 3 ~ 5 0 の範囲に設定されるようにすると良い、

10

20

30

40

50

図7は、オーミック接触面積 S_i とショットキー接触面積 S_e の関係を示した断面図である。断面図上では、オーミック接触の幅とショットキー接触の幅が図示されていることになるが、紙面垂直方向においてオーミック接触部分とショットキー接触部分が延設され、その長さは等しくされているため、オーミック接触の幅とショットキー接触の幅がオーミック接触面積 S_i とショットキー接触面積 S_e と等しくなる。また、図7では、コレクタに対向するエミッタの一方のみを示してあるが、実際には紙面左側にもエミッタが備えられていることから、オーミック接触部分の両側に位置するショットキー接触部分の幅を $S_e/2$ としている。図7に示すようなオーミック接触面積 S_i とショットキー接触面積 S_e との比 S_e/S_i を変化させ、ターンオフ時間 t_{off} の変化について調べた。その結果、図8に示すグラフが得られた。

10

【0064】

図8に示されるように、オーミック接触面積 S_e に対するショットキー接触面積 S_i の比 S_e/S_i が大きくなるほど、ターンオフ時間 t_{off} が短くなる。そして、比 S_e/S_i が3以上になると 150 nsec ($0.15\text{ }\mu\text{sec}$)以下となり、目標とする $0.3\text{ }\mu\text{sec}$ の半分以下にすることが可能となる。そして、実験では、少なくとも比 S_e/S_i が3~50の範囲において、安定的にターンオフ時間 t_{off} を 150 nsec 以下にすることができた。したがって、比 S_e/S_i が3~50の範囲に設定されるようにすることで、横型IGBTのターンオフ時間 t_{off} をより短くすることが可能になる。

【0065】

また、本実施形態のような構造の横型IGBTにおいて、ショットキー接触部でのp型領域4bの表面のp型不純物濃度により、オン電圧 V_{on} やターンオフ時間 T_{off} が変化する。このため、次のようにp型領域4bの表面のp型不純物濃度を設定するのが好ましい。

20

【0066】

図9は、p型領域4bの表面のp型不純物濃度 C_{sp} に対するオン電圧 V_{on} とターンオフ時間 t_{off} の関係を示した図である。この図に示されるように、p型領域4bの表面のp型不純物濃度 C_{sp} が $3 \times 10^{18}\text{ cm}^{-3}$ を超えると、ターンオフ時間 t_{off} が急激に上昇する。これは、p型領域4bの表面のp型不純物濃度 C_{sp} が $3 \times 10^{18}\text{ cm}^{-3}$ を超えると、ショットキー接触がオーミック接触になってしまうためと考えられる。一方、p型領域4bの表面のp型不純物濃度 C_{sp} が $1 \times 10^{17}\text{ cm}^{-3}$ 未満になると、オン電圧 V_{on} が急激に上昇している。これは、本実験においてn型バッファ層5のn型不純物濃度を $1 \times 10^{17}\text{ cm}^{-3}$ 程度にしたためと考えられ、p型領域4bの表面のp型不純物濃度 C_{sp} がn型バッファ層5のn型不純物濃度よりも高くないと、p型領域4bがn型バッファ層5内のn型不純物によって補償されてしまい、n型化するためと考えられる。

30

【0067】

したがって、オン電圧 V_{on} を低くするには、p型領域4bの表面のp型不純物濃度 C_{sp} がn型バッファ層5のn型不純物濃度よりも高くなるようにすれば良い。また、ターンオフ時間 T_{off} が短くなるようにするには、p型領域4bの表面のp型不純物濃度 C_{sp} が $3 \times 10^{18}\text{ cm}^{-3}$ 以下となるようにすればよい。

【0068】

なお、ターンオフ時間 t_{off} を短くすることと電流駆動能力を確保することはトレードオフの関係となる。しかしながら、本実施形態の横型IGBTでは、高い電流駆動能力を確保しつつ、ターンオフ時間 t_{off} をより短くすることを実現できる。

40

【0069】

図10は、ターンオフ時間 t_{off} と電流駆動能力との関係を調べたものである。なお、電流能力については、ゲート電圧を5V、コレクタ-エミッタ間電圧を3Vとしたときの電流密度として調べてある。電流密度が高いほど電流駆動能力が大きいことを表しており、電流駆動能力が大きいほどオン電圧が低くなることを意味している。また、参考として、従来の横型IGBTの特性についても本図中に示しておく。この従来の横型IGBTの特性は、H. Funaki, et al., Proceeding of ISPSD '97, pp.33-36, 1997.の特性を参

50

照としている。

【0070】

この図に矢印で示したように、左斜め上方に向かうほど高い電流駆動能力を確保しつつ、ターンオフ時間 t_{off} を短くすることができ、特性改善を実現できる。この図から分かるように、本実施形態の横型 IGBT によれば、従来の横型 IGBT と比較して、同程度の電流駆動能力を確保している場合でも、ターンオフ時間 t_{off} を短くできていることが判る。

【0071】

また、本実施形態の横型 IGBT のオン電圧の温度特性やターンオフ時間 t_{off} の温度特性について調べた。その結果を、それぞれ図 11 (a)、(b) に示す。比較のため、本実施形態の横型 IGBT の表面積に対して 7.9 倍の表面積の LDMOS を試作し、LSMOS についても各温度特性について調べた。その結果を図 11 (a)、(b) 中に示してある。

10

【0072】

図 11 (a) に示すように、本実施形態の横型 IGBT は、LDMOS と比べて、温度が上昇してもオン電圧 V_{on} の変化が小さい。このことから、本実施形態の横型 IGBT によれば、オン電圧 V_{on} の温度特性を小さくすることができていることが判る。また、図 11 (b) に示すように、ターンオフ時間 t_{off} の温度特性についても、温度上昇に伴うターンオフ時間 t_{off} の変化は殆どなく、かつ、LDMOS と比べて、ターンオフ時間 t_{off} を短くできていることが判る。このように、本実施形態の横型 IGBT によれば、オン電圧 V_{on} やターンオフ時間 t_{off} の温度特性を抑制できると共に、ターンオフ時間 t_{off} の短時間化を図ることが可能になると言える。

20

【0073】

一方、横型 Diode のアノード構造についても横型 IGBT と同様に、ホールの注入を抑制することが行われており（例えば、特許第 4157184 号公報参照）、大きい低濃度 p ウェルと小さい高濃度 p^+ 領域の二重構造を構成し、さらに、アノード電極に対して、低濃度 p ウェルがショットキー接触、高濃度 p^+ 領域がオーミック接触となるようにしている。このように、横型 Diode では、部分的にショットキー接触させる技術があるが、横型 IGBT の場合には、オン電圧の抑制の観点から部分的にショットキー接触させるということは想定できないし、上記特許公報にも、横型 IGBT に対してショットキー接触を適用した構造や方法については明らかにされていない。

30

【0074】

図 12 ~ 図 15 を参照して、本実施形態で説明した横型 IGBT と上記横型 Diode の相違について説明する。

【0075】

図 12 は、IGBT や Diode が適用されたスイッチング回路の一例を示した回路図である。このスイッチング回路は、IGBT と Diode としてフリーホイールダイオード（以下、FWD という）からなるアームを上下 2 組並べて接続し、ハイサイドとなる上アーム側の IGBT_h とローサイドとなる下アーム側の IGBT_l のゲート電圧 V_{gh} 、 V_{gl} を制御して連続的にプッシュプル動作させることで、インダクタンス負荷 L に電流を供給する構成とされている。図 13 は、そのときの動作を説明するタイミングチャートである。

40

【0076】

図 13 において、期間 T1 では、ハイサイドスイッチを成す上アーム側の IGBT_h がオンし、コレクタ電流 I_{ch} を経路 (1) に沿って負荷 L に流す。一方、期間 T2 では、IGBT_h がオフし、ローサイドの FWD_l がフリーホイールリング電流としてアノード電流 I_{al} を経路 (2) に沿って負荷 L に流す。この結果、負荷 L には連続した負荷電流 I_L が流れる。

【0077】

IGBT_h のコレクタ - エミッタ間電圧 V_{ceh} と FWD_l のアノード - カソード間電

50

圧 V_{ak1} は、期間 T_1 においては、それぞれ約 $+2V$ と約 $-200V$ をとる。一方、期間 T_2 においては、それぞれ約 $+200V$ と約 $+2V$ をとる。このように、IGBTとFWDのオフ時のバイアス状態は、それぞれコレクタには $+200V$ 、アノードには $-200V$ が印加される。

【0078】

また、スイッチング回路やインバータ回路に横型IGBTと横型Diodeを使用する場合、図12および図13で説明したように、それぞれの素子のバイアス条件は、オフ時において、横型IGBTのコレクタ-エミッタ間電圧としてプラスの高電圧、横型Diodeのアノード-カソード間電圧としてマイナスの高電圧が印加される。このバイアス条件の違いが、デバイス内部の動作の違いにどのように関連するかについて、図14および図15を参照して説明する。

10

【0079】

図14は、本実施形態の横型IGBTの動作を表した断面図であり、図15は、特許第4157184号公報に開示された横型Diodeを基にして、本実施形態のようなショットキー構造とオーミック構造を組み合わせた横型Diodeの断面図である。

【0080】

図14に示すように、横型IGBTでは、オフ時にコレクタに対して $+200V$ が印加されている。このとき、 n^- 型ドリフト層2にある少量の電子とホールについては、電子はプラス電位のコレクタに引かれて移動し、 n 型バッファ層5から p 型領域4b、ショットキー接触を經由してコレクタ電極12に排出され、ホールは、マイナス電位のエミッタに引かれ、 p 型ボディ層9、 p^+ 型コンタクト層8を經由してエミッタ電極13に排出される。このように、コレクタにあるショットキー接触は電子が通過することになる。

20

【0081】

一方、図15に示すように、横型Diodeでは、オフ時にアノードに対して $-200V$ が印加されている。このとき、 n^- 型ドリフト層101にある少量の電子とホールについては、ホールはマイナス電位のアノードに引かれて移動し、 p 型ウェル層102、ショットキー接触を經由してアノード電極103に排出され、電子はプラス電位のカソードに引かれ、 n 型ウェル層104から n^+ 型コンタクト層105を經由して、カソード電極106に排出される。このように、アノードにあるショットキー接触はホールが通過することになる。

30

【0082】

以上より、ショットキー構造とオーミック構造を横型IGBTや横型Diodeに適用した場合、一見、同様の動作メカニズムと効果が得られるように見えるが、詳細分析の結果からも、動作メカニズムは全く異なっていることが分かる。したがって、本実施形態のような横型IGBTに対して、ショットキー構造とオーミック構造を適用することにより、上記した効果を奏することが可能となるのである。

【0083】

このように、本実施形態の横型IGBTでは、所定の領域が安定してショットキー接触となるようにすることで、従来では想定できない、スイッチング動作を更に高速化できるという効果を得ることが可能となる。

40

【0084】

(第2実施形態)

本発明の第2実施形態について説明する。本実施形態は、第1実施形態に対してコレクタ電極12の構成を変更したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0085】

図16は、本実施形態にかかる n チャネルの横型IGBTの断面構成を示した図である。この図に示すように、本実施形態では、コレクタ電極12に備えるバリア金属12aが p 型領域4bの表面上だけでなく、 p^+ 型領域4aの表面上にも形成されるようにしている。バリア金属12aと半導体との接触状態は、バリア金属12aを構成する金属材料と

50

半導体の不純物濃度との関係によって決まるため、バリア金属12aをp⁺型領域4aとp型領域4bの両方の表面上に形成したとしても、p⁺型領域4aとp型領域4bの不純物濃度により、接触状態を変えることができる。そして、本実施形態でも、第1実施形態と同様に、p⁺型領域4aよりもp型領域4bが低不純物濃度となるようにしており、その不純物濃度がバリア金属12aとショットキー接触させられる濃度に設定されている。このため、バリア金属12aがp⁺型領域4aに対してはオーミック接触させられ、p型領域4bに対してはショットキー接触させられるようにすることができる。

【0086】

このように、バリア金属12aがp型領域4bの表面上だけでなく、p⁺型領域4aの表面上にも形成されるようにしても、第1実施形態と同様の効果を得ることができる。また、バリア金属12aをp⁺型領域4aとp型領域4bの両方の表面上に形成する場合、バリア金属12aのパターニングが容易となり、マスクずれなどの影響も受け難くなるという効果も得られる。

【0087】

(第3実施形態)

本発明の第3実施形態について説明する。本実施形態は、第1実施形態に対してコレクタ領域4の構成を変更したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0088】

図17は、本実施形態にかかるnチャネルの横型IGBTの断面構成を示した図である。この図に示すように、本実施形態では、コレクタ領域4を構成するp⁺型領域4aの横にp型領域4bを配置しているが、p⁺型領域4aの下方にはp型領域4bが形成されておらず、p⁺型領域4aがp型領域4bには覆われていない構造としている。

【0089】

このように、p⁺型領域4aがp型領域4bにて覆われていない構造とされていても良い。このような構造であっても、第1実施形態と同様の効果を得ることができる。

【0090】

(第4実施形態)

本発明の第4実施形態について説明する。本実施形態は、第1実施形態に対して半導体基板としてSOI基板1以外のものを用いたものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0091】

図18は、本実施形態にかかるnチャネルの横型IGBTの断面構成を示した図である。この図に示すように、p⁻型シリコン基板31の上にn⁻型層32を形成したものを半導体基板として用いている。そして、n⁻型層32によってn⁻型ドリフト層2を構成し、n⁻型ドリフト層2の表面からp⁻型シリコン基板31に達するように、p⁺型分離領域33が形成されている。このp⁺型分離領域33は、横型IGBTの周囲を囲むように形成されており、このp⁺型分離領域33とn⁻型ドリフト層2とのPN接合により、接合分離構造が構成されている。なお、半導体基板30の裏面側にはGNDパターン34が形成されており、このGNDパターン34が接地されることで、p⁻型シリコン基板31が接地されるようにしてある。

【0092】

このように、半導体基板30としてp⁻型シリコン基板31のような単なるシリコン基板などを用いた、接合分離型の横型IGBTとしても良い。

【0093】

(第5実施形態)

本発明の第5実施形態について説明する。本実施形態も、第1実施形態に対して半導体基板としてSOI基板1以外のものを用いたものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0094】

10

20

30

40

50

図19は、本実施形態にかかるnチャネルの横型IGBTの断面構成を示した図である。この図に示すように、ポリシリコンにて構成される半導体基板40を用いて、半導体基板40内の横型IGBTの形成領域を囲むようにシリコン酸化膜41を形成すると共に、そのシリコン酸化膜41の内側をn⁻型シリコン層42としている。このn⁻型シリコン層42をn⁻型ドリフト層2として、横型IGBTを形成している。つまり、誘電体分離型(Dielectric Isolation)の横型IGBTとしている。なお、半導体基板40の裏面側にはGNDパターン43が形成されており、このGNDパターン43が接地されることで、半導体基板40が接地されるようにしてある。

【0095】

このように、半導体基板40としてポリシリコンにて構成される基板内に、シリコン酸化膜41などの絶縁膜で囲むようにn⁻型ドリフト層2を配置したものをを用いた、誘電体分離型の横型IGBTとしても良い。

【0096】

(他の実施形態)

上記各実施形態では、p⁺型領域4aが短冊状に形成された構造となるようにしている。このような形態は単なる一例を示したに過ぎず、p⁺型領域4aが短冊状以外の形状とされていても良い。

【0097】

図20は、横型IGBTの他の例を示すコレクタ領域4の上面レイアウト図である。この図に示されるように、p⁺型領域4aがp型領域4b内において複数に分断されたドット状に配置されたレイアウトとされていても良い。ホールの注入量は、p⁺型領域4aのトータルの面積(体積)に依存するため、p⁺型領域4aを分断した場合には、分断しない場合と比較して、1つ1つのp⁺型領域4aの幅を広げることができる。このため、p⁺型領域4aを形成するためのマスク開口幅を広げることができ、容易にマスク形成できるため、よりp⁺型領域4aを容易に形成することができる。勿論、ドット状に限らず、p⁺型領域4aを櫛歯状にレイアウトしても良いし、それ以外の形状としても良い。

【0098】

さらに、上記実施形態に対して、活性層1cの裏面、つまり埋込酸化膜1bと接触させられる部位に、図21に示すように、活性層1cよりも高不純物濃度となるn型不純物領域20を備えることでより高耐圧化を行う構造とすることも可能である。このような構造とする場合、各部の不純物濃度を第1実施形態で説明した濃度から若干変更するのが好ましい。例えば、n型不純物領域20を厚さ4μm、n型不純物濃度が $1.25 \times 10^{16} \text{ cm}^{-3}$ とする場合、活性層1cのうちのn型不純物領域20以外の部分のn型不純物濃度を $1.0 \times 10^{14} \text{ cm}^{-3}$ 程度にすると好ましい。

【0099】

また、上記各実施形態では、横型IGBTについて説明したが、本発明を縦型IGBTに適用することもできる。図22は、本実施形態にかかるnチャネルの横型IGBTの断面構成を示した図である。この図に示すように、n⁻型ドリフト層2の裏面にFS層となるn型バッファ層5を介してp型のコレクタ領域4が形成されている。n⁻型ドリフト層2の表面側には、チャンネルpウェル層6が形成されていると共に、チャンネルpウェル層6の表層部にn⁺型エミッタ領域7およびp型コンタクト層8が形成され、n⁺型エミッタ領域7およびチャンネルpウェル層6を貫通してn⁻型ドリフト層2に至るようにトレンチ15が形成されている。また、トレンチ15内にゲート絶縁膜10を介してドーパドPoly-Siなどで構成されたゲート電極11が配置されている。さらに、層間絶縁膜16を介してエミッタ電極13や図示しないゲート配線が形成され、コンタクトホールを介して、エミッタ電極13がn⁺型エミッタ領域7およびp型コンタクト層8に接続されていると共に、ゲート配線がゲート電極11に接続されている。そして、裏面側において、コレクタ領域4にコレクタ電極12が接続されることで縦型IGBTが構成される。

【0100】

このような縦型IGBTにおいて、コレクタ領域4をp⁺型領域4aとp型領域4bと

10

20

30

40

50

によって構成し、 p^+ 型領域 4 a ではコレクタ電極 1 2 がオーミック接触させられ、 p 型領域 4 b ではコレクタ電極 1 2 がショットキー接触させられるようにする。このような構成とすることで、横型 I G B T と同様の効果を得ることができる。

【符号の説明】

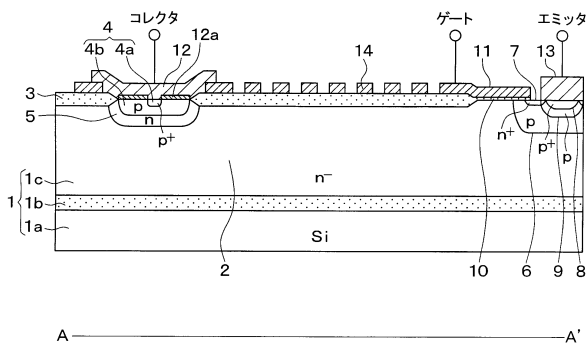
【 0 1 0 1 】

- 1 S O I 基板
- 1 a 支持基板
- 1 b 埋込酸化膜
- 1 c 活性層
- 2 n^- 型ドリフト層
- 4 コレクタ領域
- 4 a p^+ 型領域 (高不純物濃度領域)
- 4 b p 型領域 (低不純物濃度領域)
- 5 n 型バッファ層
- 6 チャネル p ウェル層
- 7 n^+ 型エミッタ領域
- 1 0 ゲート絶縁膜
- 1 1 ゲート電極
- 1 2 コレクタ電極
- 1 3 エミッタ電極
- 1 4 抵抗層
- 2 0 n 型不純物領域

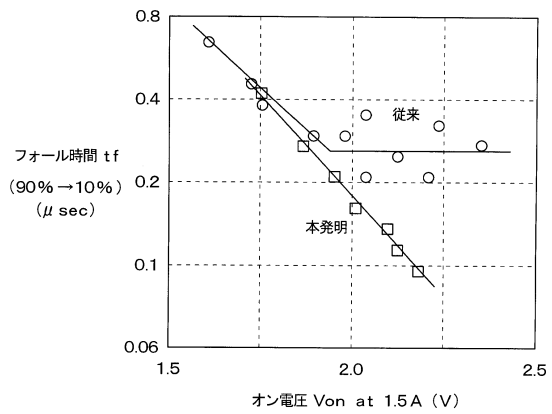
10

20

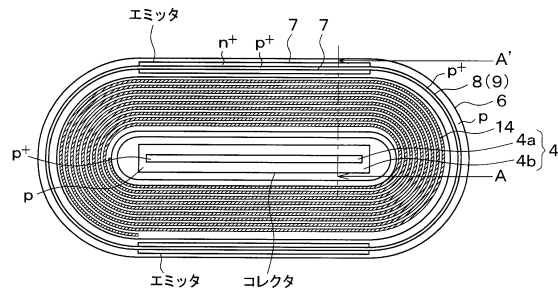
【 図 1 】



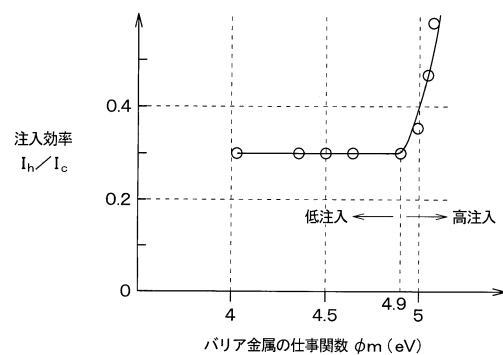
【 図 3 】



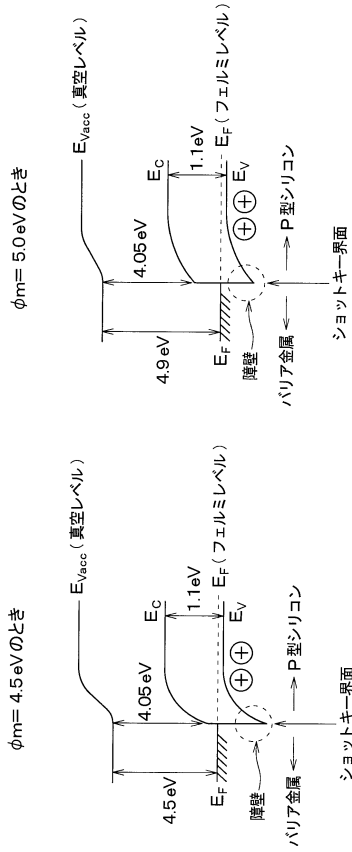
【 図 2 】



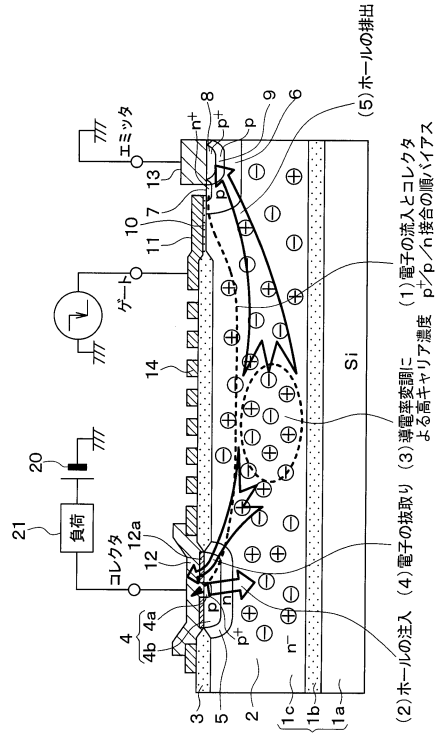
【 図 4 】



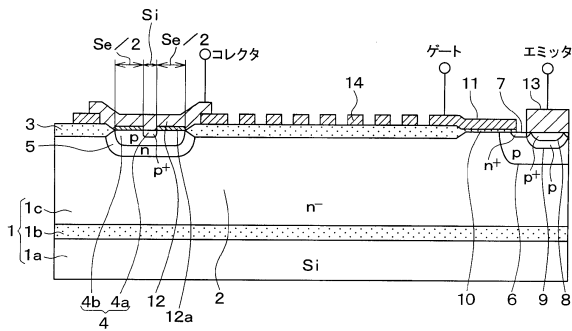
【図5】



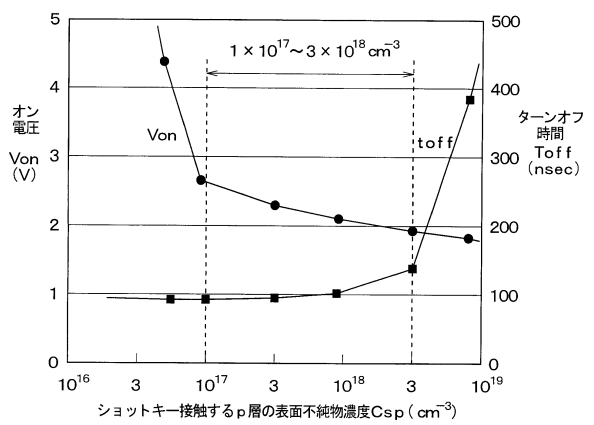
【図6】



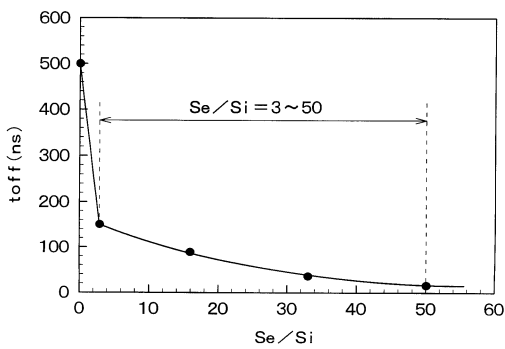
【図7】



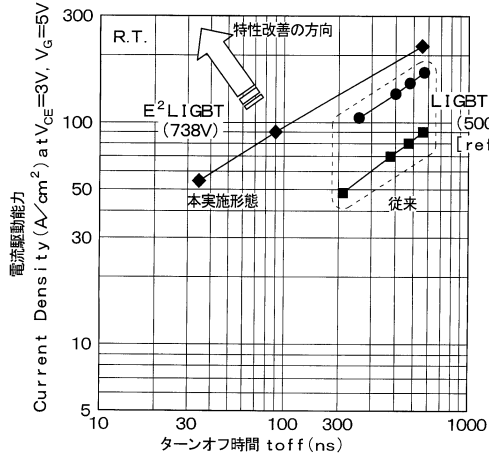
【図9】



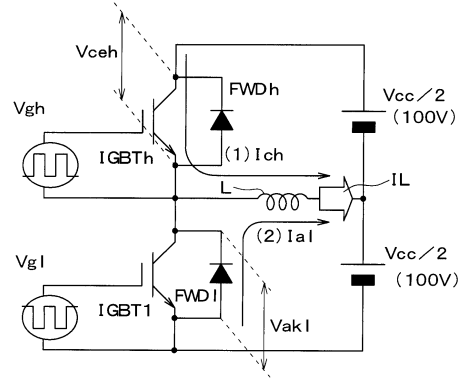
【図8】



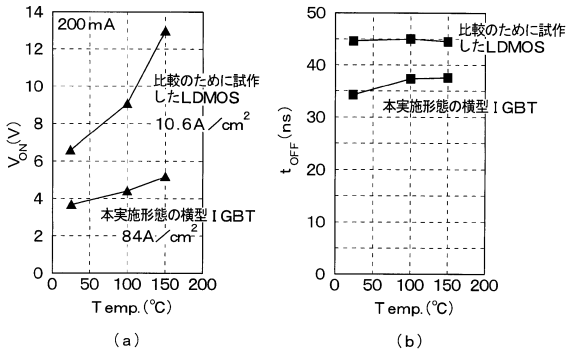
【図10】



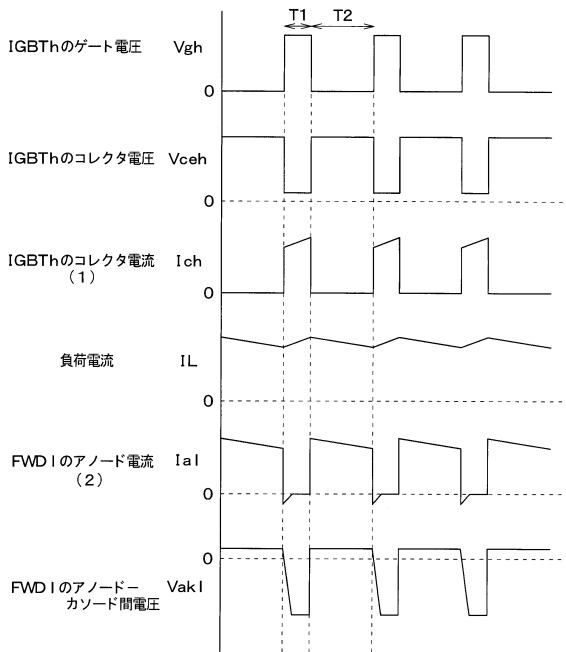
【図12】



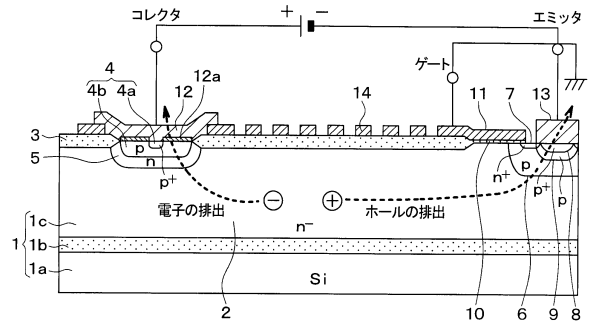
【図11】



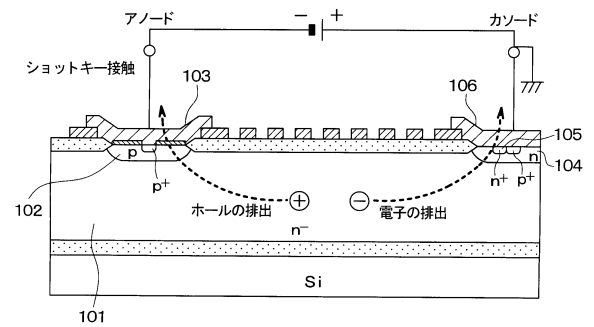
【図13】



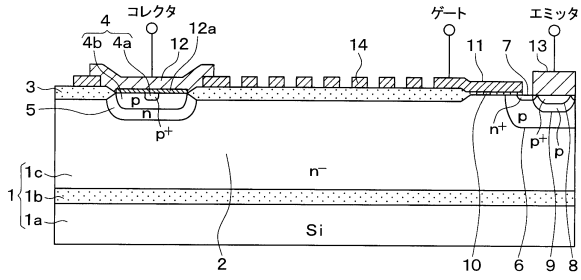
【図14】



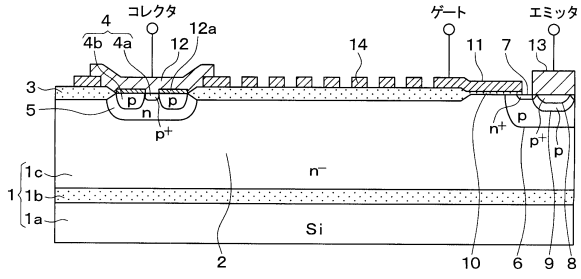
【図15】



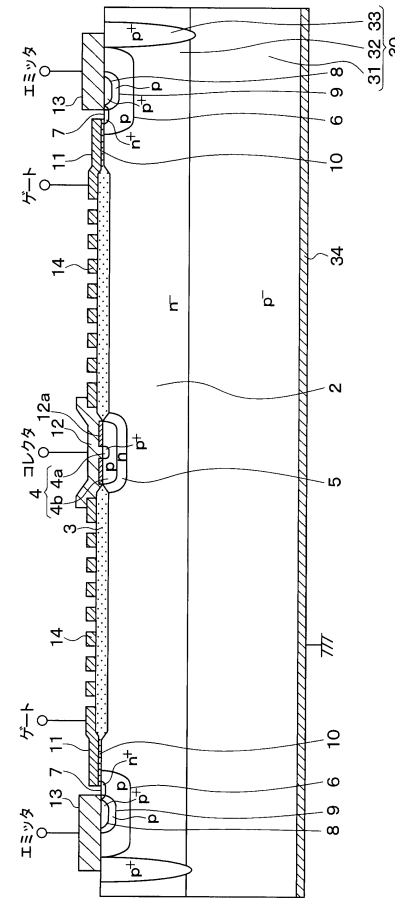
【図 16】



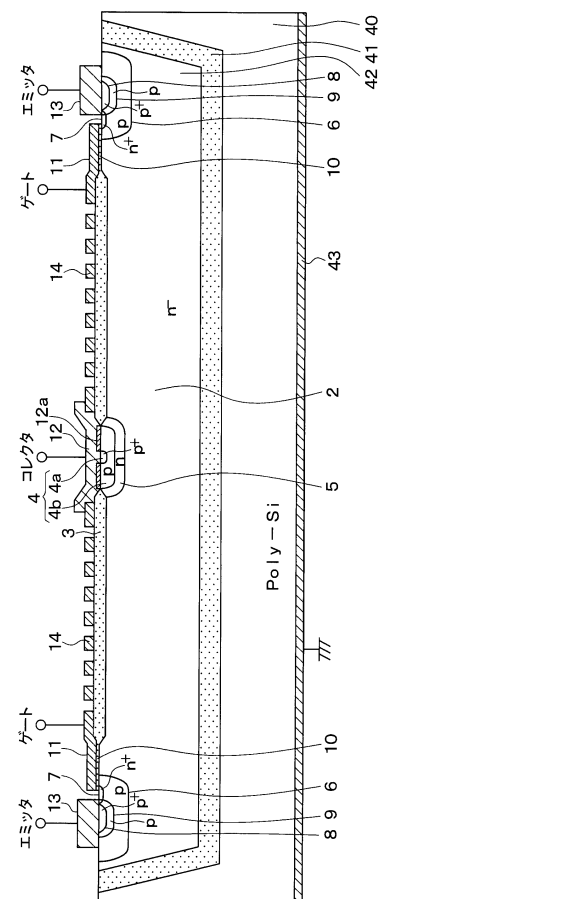
【図 17】



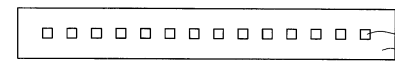
【図 18】



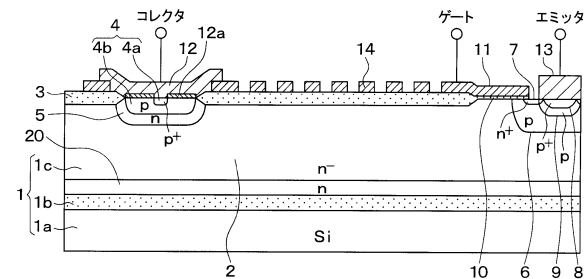
【図 19】



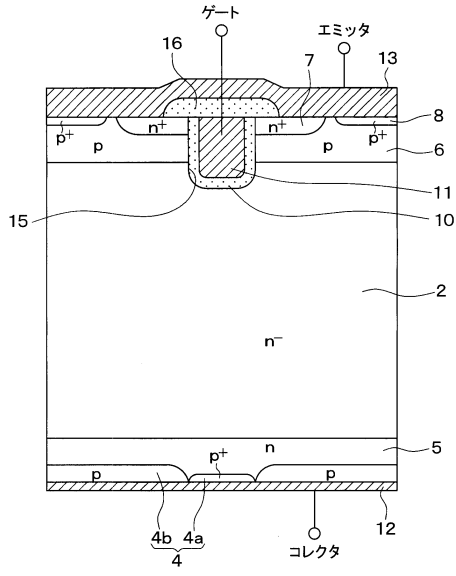
【図 20】



【図 21】



【図 22】



フロントページの続き

(72)発明者 中川 明夫

神奈川県茅ヶ崎市浜竹三丁目8番地74号 合同会社中川コンサルティング事務所内

審査官 岩本 勉

(56)参考文献 特許第3415441(JP, B2)

特開平06-061495(JP, A)

特開2004-303755(JP, A)

特開2007-149839(JP, A)

特開2007-294928(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/28 - 21/288、21/336、

21/44 - 29/12、29/40 - 29/49、

29/739、29/78 - 29/786、29/872