

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4373154号
(P4373154)

(45) 発行日 平成21年11月25日(2009.11.25)

(24) 登録日 平成21年9月11日(2009.9.11)

(51) Int.Cl.

F I

G 1 1 C	11/413	(2006.01)	G 1 1 C	11/34	3 0 1 A
G 1 1 C	11/412	(2006.01)	G 1 1 C	11/40	3 0 1
G O 2 F	1/133	(2006.01)	G O 2 F	1/133	5 5 0
G O 2 F	1/1345	(2006.01)	G O 2 F	1/1345	
G O 2 F	1/1368	(2006.01)	G O 2 F	1/1368	

請求項の数 4 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2003-277068 (P2003-277068)
 (22) 出願日 平成15年7月18日 (2003.7.18)
 (65) 公開番号 特開2005-38557 (P2005-38557A)
 (43) 公開日 平成17年2月10日 (2005.2.10)
 審査請求日 平成18年6月28日 (2006.6.28)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 熱海 知昭
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 須原 宏光

最終頁に続く

(54) 【発明の名称】 メモリ回路およびそのメモリ回路を有する表示装置、電子機器

(57) 【特許請求の範囲】

【請求項1】

薄膜半導体素子を用いて構成されたメモリ回路であって、
ワード線と、第1のビット線と、第2のビット線と、前記ワード線に電氣的に接続され
た可変レベルシフト回路と、メモリセルと、を有し、

前記メモリセルは、

第1のインバータからの出力が第2のインバータに入力され、前記第2のインバータか
らの出力が前記第1のインバータへ入力されるように電氣的に接続された二つのインバ
タを含む回路と、

前記第1のインバータ及び前記第2のインバータに電氣的に接続された高電位配線と、
前記第1のインバータ及び前記第2のインバータに電氣的に接続された低電位配線と、
前記ワード線にゲートが電氣的に接続され、前記第1のビット線にドレインが電氣的に
接続され、前記回路にソースが電氣的に接続された第1のN型スイッチトランジスタと、
前記ワード線にゲートが電氣的に接続され、前記第2のビット線にソースが電氣的に接
続され、前記回路にドレインが電氣的に接続された第2のN型スイッチトランジスタと、
を有し、

前記可変レベルシフト回路は、

入力信号の振幅に対して、それぞれ異なる振幅の信号を出力する複数の第1のレベルシ
フト回路と、前記複数の第1のレベルシフト回路からの出力を前記ワード線に出力するの
を制御するスイッチとを有し、

10

20

切り替え信号に応じて前記複数の第 1 のレベルシフト回路のいずれか一からの出力信号が前記ワード線に出力されることによって、前記メモリセルにデータを書き込むときに前記ワード線を前記高電位配線の電位よりも高い電位で駆動し、前記メモリセルからデータを読み出すときに前記ワード線を前記高電位配線の電位よりも低い電位で駆動し、

前記切り替え信号を昇圧する第 2 のレベルシフト回路を有し、

前記第 1 のインバータ、前記第 2 のインバータ、前記第 1 の N 型スイッチトランジスタ、及び前記第 2 の N 型スイッチトランジスタは、それぞれ、薄膜トランジスタであることを特徴とするメモリ回路。

【請求項 2】

前記切り換え信号の入力は、CPU によって行うことを特徴とする請求項 1 に記載のメモリ回路。

10

【請求項 3】

画素部と、請求項 1 又は請求項 2 に記載のメモリ回路とが、基板上に一体形成されたことを特徴とする表示装置。

【請求項 4】

請求項 3 に記載の表示装置を表示部に有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリ回路に関し、特に薄膜半導体素子で構成されたメモリ回路に関する。また、メモリ回路を有する表示装置に関する。

20

【背景技術】

【0002】

近年、通信技術の進歩に伴って、携帯電話が普及している。今後は更に動画の伝送やより多くの情報伝達が予想される。一方、パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳に始まった PDA と呼ばれる情報端末も多数生産され普及しつつある。また、表示装置の発展により、それらの携帯情報機器のほとんどにはフラットパネルディスプレイが装備されている。

【0003】

また、アクティブマトリクス型の表示装置の中でも、近年、低温ポリシリコン薄膜トランジスタ（以下薄膜トランジスタを TFT と表記する）を用いた表示装置の製品化が進められている。低温ポリシリコン TFT では画素だけでなく、画素部の周囲に信号線駆動回路を一体形成することが可能であるため、表示装置の小型化や、高精細化が可能であり、今後はさらに普及が見込まれる。

30

このような TFT では駆動回路、さらなる発展型として、画素、信号線駆動回路のほかに、コントローラ回路、CPU、メモリ回路などが開発されている。（例えば非特許文献 1）

【0004】

【非特許文献 1】日経エレクトロニクス 841号 p123~130

【0005】

このようなロジック回路を TFT で画素と一体形成することによって、ガラス基板上にディスプレイシステムを形成することも夢ではなくなる。

40

システムを形成するのにあたって、必要とされる回路の代表的なものとして、メモリ回路がある。メモリ回路は揮発性のメモリ回路として、SRAM、DRAM、また不揮発性のメモリ回路として、フラッシュやマスク ROM がある。

【0006】

このようなメモリ回路は図 2 に示すように、Y デコーダー 201、Y セレクター 202、X デコーダー 203、メモリセルアレイ 204 によって構成されている。X デコーダー 203 は入力されたアドレス信号に基づき、ワード線を選択する。Y デコーダー 201 は同様に入力されたアドレス信号に基づき、Y セレクター 202 に含まれるビット線に接続

50

されたスイッチを選択する。Xデコーダー201、Yデコーダー203にアドレスを入力することによって、メモリセルアレイ204に含まれる1つのメモリセルを指定することができ、指定したメモリセルにデータを書き込む、またはデータを読み出すことができる。

【0007】

ここでXデコーダーは ROW (行) デコーダー、Yデコーダーは COLUMN (列) デコーダーとも呼ばれる。本明細書ではXデコーダー、Yデコーダーと表記をおこなう。またメモリセルアレイ204に含まれるX方向の配線をワード線、Y方向の配線をビット線と表記する。ワード線は図2においてはXデコーダー203によって駆動される。Xデコーダー203、Yデコーダー201、Yセレクター202、メモリセルアレイ204は通常同一の電源で駆動され、図2においては高電位側電源をVDD、低電位側電源をVSSで表記している。

10

【0008】

メモリ素子は記憶容量を大きくするため、できるだけメモリセルを小さくした方がよい。そのためにはメモリセルを構成するトランジスタの数を少なくする必要がある。よって、マスクROM、DRAMなどではメモリセル中のトランジスタは1素子で、SRAMでは6素子である。また、書き込み、読み出しのトランジスタは共用している。以下SRAMを例にとり、説明をおこなう。

【0009】

図3に従来のSRAMのメモリセルを示す。図3には説明簡略化のため1つのメモリセル302しか記載していないが、1つに限定されるものではない。SRAMのメモリセル302はTFT308、TFT310によって構成されるインバータ回路と、TFT309、TFT311によって構成されるインバータ回路と、スイッチトランジスタ312、313によって構成される。

20

【0010】

以下に、その書き込み動作を説明する。Xデコーダー301によって特定のワード線305がHiになると、スイッチトランジスタ312、313がオンし、TFT308~311によって構成されるインバータ回路対にデータを書き込む。書き込みが終了するとスイッチトランジスタ312、313はオフし、インバータ対に書き込まれたデータが保持される。

30

【0011】

次に、読み出しの場合を説明する。まず、ビット線303、304がメモリセルアレイの外から特定の電位にプリチャージされる。通常この電位はメモリセルを構成するインバータ対の電源の中央付近に設定される。プリチャージが終了すると、ビット線はプリチャージ電位から切り離され、フローティング状態となる。次に、ワード線はHiになり、スイッチトランジスタ312、313がオンして、インバータ対によって、ビット線303、304が逆方向に駆動され、その差電圧をセンスアンプ(図示せず)によって検出し、データを読み出す。

【発明の開示】

【発明が解決しようとする課題】

40

【0012】

前述したような薄膜半導体で構成したメモリ回路には以下のような課題があった。薄膜半導体、特に多結晶シリコンを用いたトランジスタでは単結晶シリコンを用いたトランジスタと比較して、トランジスタ特性たとえば移動度、しきい値のばらつきが大きいという問題点があった。

【0013】

図4にSRAMのメモリセルを示す。データを書き込むとき、メモリセルに書き込もうとするデータと逆のデータ、すなわち、H(ハイ、以下同じ)を書き込もうとした場合にはL(ロウ、以下同じ)、Lを書き込もうとした場合にはHが記憶されている場合には、論理衝突が発生するため、インバータ対の保持能力よりスイッチトランジスタの書き込み

50

能力が勝っていなければならない。

【0014】

図4におけるTFT404とTFT406によって構成されるインバータ回路と、TFT405とTFT407によって構成されるインバータ回路において、TFT406のドレインにはL、TFT407のドレインにはHが保持されていたとする。書き込みをおこなうときビット線402、403にはそれぞれH、Lが与えられた場合、TFT408、TFT409がオンすると、電流はビット線402、TFT408、TFT406、低電位側電源411という経路と、高電位側電源410、TFT405、TFT409、ビット線403という経路で流れる。

【0015】

ここでTFT406の電流能力よりもTFT408の電流能力が勝っていればTFT406のドレイン電位は上昇し、Hを書き込むことが可能である。またTFT405の電流能力よりもTFT409の電流能力が勝っていればTFT407のドレイン電位は降下し、Lを書き込むことが可能である。しかし、TFT406の電流能力がTFT408の電流能力より勝っていると、書き込みはできない。TFT405の電流能力がTFT409の電流能力より勝っているときも同様である。

【0016】

トランジスタの特性ばらつきが大きいと、このような不具合が発生する。このような問題を対策するためにはスイッチトランジスタの大きさを十分大きくして、その電流能力を十分上げることが上げられるが、そのような対策を講じた場合、メモリセル自体の大きさが大きくなり、前述したようなメモリ回路の集積度を上げることと反対の結果となってしまうという課題があった。

【0017】

また、データの読み出しをおこなうとき、本来はメモリセルのデータをビット線にはきだすのであるが、スイッチトランジスタの電流能力が大きすぎると、読み出し時にプリチャージ電位をメモリセルに書き込んでしまい、データが変化してしまうという不具合があった。この対策としては、インバータ対のトランジスタを大きくすることが考えられるがこれはメモリセルを大きくし、高集積化に反するという課題があった。

【0018】

このような動作不具合や、集積度の低下によるメモリ素子の歩留まりの低下は、コストの上昇を招き、とくにメモリ回路を内蔵した表示装置では、表示装置全体の大きなコストアップにつながるという課題があった。

【課題を解決するための手段】

【0019】

以上のような問題を解決するため、本発明はワード線の信号振幅とメモリセル内の信号振幅とを変えることによって、書き込みまたは読み出しトランジスタの電流能力変化させ、メモリセルサイズを大きくすることなく、書き込みまたは読み出し時の動作不具合を改善するものである。

【0020】

本発明は、ワード線と、複数のメモリセルと、ワード線を駆動するワード線駆動回路とを有するメモリ回路であって、ワード線駆動回路はレベルシフト回路を有し、メモリセルの出力振幅と前記レベルシフト回路の出力振幅は異なることを特徴としている。

【0021】

本発明は、ワード線と、複数のメモリセルと、ワード線を駆動するワード線駆動回路とを有するメモリ回路において、ワード線駆動回路はレベルシフト回路を有し、レベルシフト回路の出力振幅は、メモリセルの出力振幅より大きいことを特徴としている。

【0022】

本発明は、ワード線と、複数のメモリセルと、ワード線を駆動するワード線駆動回路とを有するメモリ回路において、ワード線駆動回路はレベルシフト回路を有し、レベルシフト回路の出力振幅は、メモリセルの出力振幅より小さいことを特徴としている。

10

20

30

40

50

【 0 0 2 3 】

本発明は、ワード線と、複数のメモリセルと、ワード線を駆動するワード線駆動回路とを有するメモリ回路において、ワード線駆動回路はレベルシフト回路を有し、レベルシフト回路は出力振幅を変化させる手段を有することを特徴としている。

【 0 0 2 4 】

本発明は、ワード線と、複数のメモリセルと、ワード線を駆動するワード線駆動回路とを有するメモリ回路において、ワード線駆動回路はレベルシフト回路を有し、レベルシフト回路は書き込み時と読み出し時で出力振幅を変化させる手段を有することを特徴としている。

【 0 0 2 5 】

本発明は、上記のメモリ回路において、レベルシフト回路の振幅はCPUによって制御されることを特徴としている。

10

【 0 0 2 6 】

本発明は、ワード線と、複数のメモリセルと、ワード線を駆動するワード線駆動回路とを有するメモリ回路において、ワード線駆動回路はレベルシフト回路を有し、レベルシフト回路の出力振幅は、書き込み時の振幅が読み出し時の振幅より大きいことを特徴としている。

【 0 0 2 7 】

本発明は、上記のメモリ回路において、メモリ回路はSRAM回路であることを特徴としている。

20

【 0 0 2 8 】

本発明は、上記のメモリ回路において、メモリ回路はDRAM回路であることを特徴としている。

【 0 0 2 9 】

本発明は、上記のメモリ回路において、メモリ回路はマスクROMであることを特徴としている。

【 0 0 3 0 】

本発明は、上記メモリ回路において、メモリ回路は薄膜トランジスタで構成されていることを特徴としている。

【 0 0 3 1 】

本発明は、上記メモリ回路を具備した表示装置であることを特徴としている。

30

【 0 0 3 2 】

本発明は、上記の表示装置において、その表示部は薄膜トランジスタで形成され、メモリ回路は前記表示部を構成する薄膜トランジスタと一体形成されていることを特徴としている。

【 0 0 3 3 】

本発明は、上記の表示装置は液晶表示装置であることを特徴としている。

【 0 0 3 4 】

本発明は、上記の表示装置はEL表示装置であることを特徴としている。

【 0 0 3 5 】

本発明は、上記の表示装置において、表示装置はサブフレームを用いて階調を表現する手段を有するEL表示装置であることを特徴としている。

40

【 0 0 3 6 】

本発明は、上記の表示装置を備える電子機器である。

【 発明の効果 】

【 0 0 3 7 】

前述したように、本発明のメモリ回路では、ワード線の駆動振幅をXデコーダーやメモリセルの信号振幅と変えることにより、メモリセルの書き込み、読み出し時の不具合をメモリセルの大きさを大きくすることなく、低減することが可能である。また、ワード線の駆動振幅を書き込み時と読み出し時で変えることによって、消費電力の低減をはかること

50

が可能である。

【0038】

そして、本発明のメモリ回路を有する一体型表示装置では、表示装置の歩留まり向上、コストの低減をはかることができる。

【発明を実施するための最良の形態】

【0039】

以下、本発明の実施形態を、図面を用いて説明する。

【0040】

(実施形態1)

図1は本発明の実施形態を示す図である。本発明の実施形態は図1に示すように、Yデコーダー101、Yセクター102、Xデコーダー103、メモリセルアレイ104、レベルシフト回路105によって構成され、Xデコーダー103およびレベルシフト回路105はワード線駆動回路を構成している。従来のメモリ回路に比べて、Xデコーダー103やメモリセル104の出力振幅と異なる出力振幅を出力するレベルシフト回路105を追加している。このレベルシフト回路によって、Xデコーダー103の出力信号は振幅を変化させてメモリセルアレイ104に入力される。従来例と同様にXデコーダー103、Yデコーダー101、Yセクター102、メモリセルアレイ104は高電位側電源VDD、低電位側電源VSSによって電源供給される。レベルシフト回路105は信号振幅をXデコーダー103、Yデコーダー101、Yセクター102、メモリセルアレイ104と変えるため、電源を別系統として、高電位側電源をVDDH、低電位側電源をVSSLとしている。このようにすることによって、メモリセルアレイ104中のワード線を、メモリセルの高電位電源より高い電位の信号や、メモリセルの低電位側電源より低い電位の信号で駆動することが可能となる。また、ワード線をメモリセルの高電位電源より低い電位の信号や、メモリセルの低電位側電源より高い電位の信号で駆動することが可能となる。すなわち、メモリセルの信号振幅より大きな振幅でワード線を駆動することによってメモリ回路の書き込み不具合を低減することができ、またはメモリセルの信号振幅より小さな振幅でワード線を駆動することにより、メモリ回路の読み出し不具合を低減することができる。

【0041】

ワード線をメモリセルの高電位電源より高い電位の信号で駆動することによって、メモリセル内のスイッチトランジスタのゲートを高い電位で駆動することが可能になる。メモリセル内のスイッチトランジスタがN型であるとき、トランジスタのゲート幅を大きくすることなく、電流能力を向上させることが可能になり、書き込み時の動作不具合を解消することが可能になる。

【0042】

また、ワード線をメモリセルの高電位電源より低い電位の信号で駆動することによって、メモリセル内のスイッチトランジスタのゲートを低い電位で駆動することが可能になる。メモリセル内のスイッチトランジスタがN型であるとき、電流能力を低下させることが可能になり、読み出し時の動作不具合を解消することが可能になる。

【0043】

ワード線をメモリセルの低電位電源より低い電位の信号で駆動することによって、メモリセル内のスイッチトランジスタのゲートを低い電位で駆動することが可能になる。メモリセル内のスイッチトランジスタがP型であるとき、トランジスタのゲート幅を大きくすることなく、電流能力を向上させることが可能になり、書き込み時の動作不具合を解消することが可能になる。

【0044】

また、ワード線をメモリセルの低電位電源より高い電位の信号で駆動することによって、メモリセル内のスイッチトランジスタのゲートを高い電位で駆動することが可能になる。メモリセル内のスイッチトランジスタがP型であるとき、電流能力を低下させることが可能になり、読み出し時の動作不具合を解消することが可能になる。

10

20

30

40

50

【 0 0 4 5 】

上記に示した書き込み時の不具合対策、読み出し時の不具合対策は両方同時におこなっても良いし、いずれか片方でも良い。書き込み対策のみおこなう場合には、読み出し時はメモリセルの信号振幅とレベルシフト回路の信号振幅は同じであっても良い。読み出し対策のみおこなう場合には、書き込み時はメモリセルの信号振幅とレベルシフト回路の信号振幅は同じであっても良い。

【 0 0 4 6 】

(実施形態 2)

図 7 に本発明の第 2 の実施形態を示す。図 7 において、本実施形態のメモリ回路は Y デコーダー 7 0 1、Y セレクター 7 0 2、X デコーダー 7 0 3、メモリセルアレイ 7 0 4、
10 可変レベルシフト回路 7 0 5 より構成される。可変レベルシフト回路は切り換え信号入力端子 7 0 6 より、切り換え信号が入力され、その信号に応じて異なる振幅の出力信号を出力する手段を有する。このような手段を持つことによって、必要な状態に応じて最適な出力振幅を得ることができる。書き込み時と読み込み時で出力振幅を変えることができる。

【 0 0 4 7 】

すなわち、書き込み時はメモリセルの出力振幅よりも大きな振幅でワード線を駆動し、読み出し時にはメモリセルの出力振幅よりも小さな振幅でワード線を駆動することによって、従来の課題であった書き込み時、読み出し時の不具合を低減することが可能になる。また、各状態に応じて必要な振幅でワード線駆動をおこなうため、不要に大きな振幅でおこなうことによる消費電力の増加を防ぐことができる。
20

【 0 0 4 8 】

図 8 は図 7 で示した可変レベルシフト回路の制御を CPU においておこなったものである。CPU によってメモリのモードは制御され、ソフトウェア上で管理することによって、メモリセルの応答速度を必要に応じて変えることも可能となる。

【 実施例 1 】

【 0 0 4 9 】

図 5 に本発明の第 1 の実施例を示す。本実施例は図 5 に示すように X デコーダー 5 0 1 の出力をハイレベルシフト回路 5 1 4 およびロウレベルシフト回路 5 1 5 の 2 つのレベルシフトを用いて、信号振幅を増幅させ、SRAM メモリセル 5 0 2 のワード線 5 0 5 を駆動している。X デコーダー 5 0 1 は高電位側電源 VDD、低電位側電源 VSS が印加され、
30 ハイレベルシフト回路 5 1 4 は高電位側電源 VDDH、低電位側電源 VSS が印加され、ロウレベルシフト回路 5 1 5 は高電位側電源 VDDH、低電位側電源 VSSL が印加される。また、メモリセルには高電位側電源 VDD、低電位側電源 VSS が印加される。ここで VDD、VDDH、VSS、VSSL である。

【 0 0 5 0 】

スイッチトランジスタ 5 1 2、5 1 3 のゲート電極には TFT 5 0 8 ~ 5 1 1 で構成されるインバータ対の高電位側電源 5 0 6、低電位側電源 5 0 7 よりも大きな信号電圧が加わるため、スイッチトランジスタ 5 1 2、5 1 3 の電流能力をインバータ対の電流能力を大きくすることが可能になる。このようにして、本実施例では、スイッチトランジスタ 5
40 1 2、5 1 3 のサイズを大きくすることなく、電流能力を増やすことができ、TFT のバラツキによるメモリ回路の書き込み時不具合を対策することが可能となる。

【 0 0 5 1 】

本実施形態ではレベルシフト回路をハイレベルシフト回路とロウレベルシフト回路の 2 つに分けて構成してあるが、これには限定されない。また、スイッチトランジスタが Nch トランジスタの場合は、ロウレベルシフト回路は無くとも良い。同様にスイッチトランジスタが Pch の場合は、ハイレベルシフト回路は無くとも良い。

【 実施例 2 】

【 0 0 5 2 】

図 1 7 に本発明の第 2 の実施例を示す。本実施例は図 1 7 に示すように X デコーダー 1
7 0 1 の出力をハイレベルシフト回路 1 7 1 4 およびロウレベルシフト回路 1 7 1 5 の 2
50

つのレベルシフタを用いて、信号振幅を減少させ、SRAMメモリセル1702のワード線1705を駆動している。Xデコーダ1701は高電位側電源VDD、低電位側電源VSSが印加され、ハイレベルシフト回路1714は高電位側電源VDDL、低電位側電源VSSが印加され、ロウレベルシフト回路1715は高電位側電源VDDL、低電位側電源VSSHが印加される。また、メモリセルには高電位側電源VDD、低電位側電源VSSが印加される。ここでVDD、VDDL、VSS、VSSHである。

【0053】

スイッチトランジスタ1712、1713のゲート電極にはTFT1708~1711で構成されるインバータ対の高電位側電源1706、低電位側電源1707よりも小さな信号電圧が加わるため、スイッチトランジスタ1712、1713の電流能力をインバータ対の電流能力を大きくすることが可能になる。このようにして、本実施例では、スイッチトランジスタ1712、1713のサイズを大きくすることなく、電流能力を減らすことができ、TFTのバラツキによるメモリ回路の読み出し時不具合を対策することが可能となる。

10

【0054】

本実施形態ではレベルシフト回路をハイレベルシフト回路とロウレベルシフト回路の2つに分けて構成してあるが、これには限定されない。また、スイッチトランジスタがNchトランジスタの場合は、ロウレベルシフト回路は無くとも良い。同様にスイッチトランジスタがPchの場合は、ハイレベルシフト回路は無くとも良い。

20

【実施例3】

【0055】

図6にレベルシフト回路の実施例を示す。本実施例は実施例1で述べたハイレベルシフト回路、ロウレベルシフト回路を具体化したものである。Xデコーダ601の出力はハイレベルシフト回路602に入力され、ハイレベルシフト回路はTFT608~613で構成される。まずTFT608、609で構成されるインバータによって、Xデコーダ601の出力は反転される。このインバータの高電位側電源604、低電位側電源605はXデコーダ601と同じであるので、信号の振幅はXデコーダ出力の振幅と同じである。つぎに、Xデコーダ601の出力と、前記インバータの出力をそれぞれTFT613、612のゲートに入力する。

30

【0056】

TFT613のドレインはTFT610のゲート、TFT611のドレインに接続される。TFT612のドレインは611のゲート、610のドレインに接続される。TFT613のゲートとTFT612のゲートに入力される信号は互いに逆相であるため、TFT613がオンするとTFT610がオン、TFT611がオフとなる。このときTFT612はオフであるから、TFT611のドレイン電位は低電位側電源605と同じになり、TFT610のドレイン電位は高電位側電源606と同じとなる。高電位側電源606を高電位側電源604より高く設定することによってハイ側レベルシフトが可能となる。

40

【0057】

次に、TFT610、611のドレインはロウレベルシフト回路603のTFT615、614のゲートにそれぞれ接続される。TFT615のドレインはTFT616のゲート、TFT617のドレインに接続される。TFT614のドレインは617のゲート、616のドレインに接続される。TFT615のゲートとTFT614のゲートに入力される信号は互いに逆相であるため、TFT615がオンするとTFT616がオン、TFT617がオフとなる。このときTFT614はオフであるから、TFT615のドレイン電位は高電位側電源606と同じになり、TFT614のドレイン電位は低電位側電源607と同じとなる。低電位側電源607を低電位側電源605より低く設定することによって、ロウ側レベルシフトが可能となる。そして、TFT615のドレインをメモリセルのワード線へ接続することによって、駆動をおこなうことができる。

50

【0058】

本発明のレベルシフト回路は本実施例に限定されず、他の構成のレベルシフト回路を用いても良い。

【実施例 4】

【0059】

図9にマスクROMに本発明を用いた場合の実施例を示す。図9のマスクROMはメモリセル903、904がスイッチTFT912、913、高電位配線908、909、低電位配線910、911、ビット線906、907によって構成されている。Xデコーダ901は公知のものとし、レベルシフト回路は実施例2でのべたもの、または公知のものとする。Xデコーダの高電位側電源をVDD、低電位側電源をVSSとし、レベルシフタ902の高電位側電源をVDDH、低電位側電源をVSSLとする。また、高電位配線908、909は前記VDDに接続され、低電位配線910、911は前記VSSに接続されるものとする。スイッチTFT912、913がNchの場合にはロウレベルシフト回路はなくとも良い。スイッチTFT912、913がPchの場合にはハイレベルシフト回路はなくとも良い。

10

【0060】

スイッチTFTがNchとして、以下動作を説明する。Xデコーダの出力がハイになると、それにあわせてロウレベルシフト回路の出力もハイとなり、ワード線905が駆動される。スイッチTFT912はソースまたはドレインの一方がビット線906に、他方が高電位配線908に接続されている。スイッチTFT912がオンするとビット線906の電位は高電位配線電位すなわちVDDまで引き上げられる。また、スイッチTFT913はソースまたはドレインの一方がビット線に、他方が低電位配線に接続されている。スイッチTFT913がオンするとビット線907の電位は低電位配線911すなわちVSSまで引き下げられる。

20

【0061】

レベルシフト回路902がない場合、ワード線905の電位はVDDまでしか上がらないため、メモリセル903のようにスイッチTFTが高電位配線に接続されるメモリセルでは、ビット線はVDDよりTFTの閾値分だけ低い電位までしか到達しない。その場合、低電位配線電位との差が小さくなるため、メモリされた値を間違える、また、到達時間が遅くなるなどの不具合が発生する。本発明ではレベルシフト回路の追加によってワード線の電位を高電位配線より高く設定することができ、ビット線電位を高電位配線電位まで上げることができる。また、到達時間を短縮できるなどの長所がある。

30

【実施例 5】

【0062】

図10にDRAMに本発明を用いた場合の実施例を示す。図10のDRAMはメモリセル1003、1004がスイッチTFT1010、1011、保持容量1012、1013、低電位配線1008、1009、ビット線1006、1007によって構成されている。Xデコーダ1001は公知のものとし、レベルシフト回路1002は実施例2でのべたもの、または公知のものとする。Xデコーダ1001の高電位側電源をVDD、低電位側電源をVSSとし、レベルシフト回路1002の高電位側電源をVDDH、低電位側電源をVSSLとする。

40

【0063】

スイッチTFTがNchとして、以下動作を説明する。書き込み時においては、Xデコーダ1001の出力がハイになると、それにあわせてレベルシフト回路1002の出力もハイとなり、ワード線1005が駆動される。スイッチTFT1010、1011はソースまたはドレインの一方がビット線1006、1007に、他方が保持容量1012、1013に接続されている。スイッチTFT1010、1011がオンするとビット線1006、1007のデータは保持容量1012、1013にかきこまれる。次に、ワード線1005がロウになるとスイッチTFT1010、1011がオフになり、保持容量1012、1013に蓄えられた電荷は保持される。読み出し時においては、まずビット線1006、1007を特定の電位に接続しプリチャージをおこなう。次に、接続を解除し

50

て、ビット線1006、1007をフローティングにする。さらに、ワード線1005がハイとなるとスイッチTFT1010、1011がオンし、保持容量1012、1013が放電し、ビット線1006、1007の電位が変化する。この変化をセンスアンプ(図示せず)で検出し、データを読み取ることができる。

【0064】

レベルシフト回路1002がない場合、ワード線1005の電位はVDDまでしか上がらないため、メモリセル903のようにスイッチTFTが高電位配線に接続されるメモリセルでは、ビット線はVDDよりTFTの閾値分だけ低い電位までしか到達しない。その場合、低電位配線電位との差が小さくなるため、メモリされた値を間違える、また、到達時間が遅くなるなどの不具合が発生する。本発明ではレベルシフト回路の追加によってワード線の電位を高電位配線より高く設定することができ、ビット線電位を高電位配線電位まで上げることができる。また、到達時間を短縮できるなどの長所がある。

【実施例6】

【0065】

図11に本発明のメモリ回路を用いた表示装置1101の実施例を示す。図11において、絶縁基板1107上にTFTを形成し、そのTFTを用いて、信号線駆動回路1102、1103、画素部1104、ロジック回路部1105を形成する。ロジック回路部は本発明のメモリ回路1109、CPU1110、コントローラ1111、画像処理回路1112からなる。FPC1106よりクロックなどの外部信号、電源などを供給する。対向基板1108は絶縁基板1107に張り合わせ、外周をシール材1113で封止する。

【0066】

表示に使用する材料は液晶材料、EL(エレクトロルミネッセンス)材料、電気泳動材料が使用可能であり、これらを絶縁基板1107、対向基板1108の間に注入する、または成膜することにより表示装置を形成することが可能である。また、絶縁基板はガラス、プラスチック、石英などの材料をもちいて表示装置を構成することが可能である。

【0067】

また、前述したメモリ回路1109はSRAM、DRAM、マスクROMに限定されず、他のメモリ素子も可能であり、これらを2種類以上組み合わせてもよい。CPUはメモリ回路1109に記憶されたデータやプログラムの処理や、コントローラ1111、画像処理回路1112の制御などをおこなう。コントローラは信号線駆動回路1102、1103に必要なクロック、同期信号、制御パルスなどを形成する。画像処理回路はCPUの指示に従い、必要な画像データを形成する役割を有する。

【0068】

本実施例は実施形態1~2または実施例1~4と併用することが可能である。

【実施例7】

【0069】

図14に本発明をEL表示装置に使用した例を示す。EL表示装置において、階調を表現する方式として、時間階調を用いる方式が提案されている。この方式は特開2001-343933に開示されているように、1フレーム期間を複数のサブフレーム期間に分割し、それぞれのサブフレーム期間の長さを変え、画素ごとにその点灯期間を変えることにより、階調を表現するものである。

【0070】

このような時間階調方式の表示装置では、映像信号をサブフレームに対応したものに变换する必要があり、その具体的方法について図14をもちいて説明をおこなう。図14のEL表示装置はEL画素を複数有する画素部1401、画素部に含まれる複数の信号線を駆動する信号線駆動回路1402、1403、メモリ回路1404および1405、外部のクロックに同期し、基本クロックを生成するPLL回路1406、基本クロックを受けて信号線駆動回路1402、1403やメモリ回路1404、1405にクロックなどを供給するクロックジェネレータ1407、クロックジェネレータを制御する制御ロジック1408より構成されている。

10

20

30

40

50

【 0 0 7 1 】

つぎにその動作について説明する。まず1フレーム分のデジタル映像信号をメモリ回路1404に記憶する。映像が4ビットの映像の場合、それぞれビットごとに記憶するのが望ましい。次のフレームのデジタル映像信号はメモリ回路1405に記憶する。メモリ回路1405がデジタル映像信号を記憶している間に、メモリ回路1404に記憶されたデジタル映像信号を信号線駆動回路1403に出力する。このとき、映像信号はビットごと、すなわち、まず1ビット目の映像信号を全て出力し、次に2ビット目の映像信号を全て出力する。このように、ビットごとに映像信号を出力することにより、サブフレーム変換をおこなうことができる。

【 0 0 7 2 】

以上の手段をTFTで一体形成したEL表示装置において、本発明を応用することが可能である。上述したメモリ回路1404およびメモリ回路1405は通常SRAMまたはDRAMを用いる、本発明を使用することによって、画素部1401と一体化したメモリ回路1404、1405の動作不具合を防止し、歩留まりを向上させることが可能となる。尚、一体化した表示装置はガラス基板上、プラスチック基板上などに構成が可能である。

【 0 0 7 3 】

本実施例は実施形態1~2または実施例1~4と併用することが可能である。

【 実施例 8 】

【 0 0 7 4 】

図15に一体型PDAに本発明を使用した例を示す。図15の一体型PDAは同一基板上に表示部1501、CPU1502、画像処理回路1503、アナログアンプ1504、フラッシュメモリ1505、DRAM1506、VRAM1507、マスクROM1508を一体形成している。また、基板外部にタッチセンサー1509、メモリカードインターフェース1510を接続している。尚DRAM1506はSRAMを使用してもよい。

【 0 0 7 5 】

表示部1501は液晶、EL(エレクトロルミネッセンス)、電気泳動素子などの表示材料をもちいて表示を行い、CPU1502は各メモリ回路のデータ、命令、タッチセンサーの信号に基づきデータ処理をおこなう、画像処理回路1503はCPUに制御され、具体的な画像データを形成する。フラッシュメモリ1505は電源OFF時などにデータの保管をおこない、VRAM1507、DRAM1506は一時的なデータを保管する。また、マスクROM1508は変更不要なOSなどのプログラムを保管する。タッチセンサーはユーザーがデータをペンなどで入力するもので、その信号はアナログアンプ1504、AD変換回路1511を介して、他のブロックに伝達される。インターフェース回路は外部信号接続、メモリカード使用時などにインターフェースをおこなう。

【 0 0 7 6 】

このような一体型PDAを構成するTFT基板に本発明は応用することが可能である。特に、フラッシュメモリ1505、DRAM1506、VRAM1507、マスクROM1508に本発明を使用することにより、画素部1501と一体化したメモリ回路の動作不具合を防止し、歩留まりを向上させることが可能となる。尚、一体化した表示装置はガラス基板上、プラスチック基板上などに構成が可能である。

【 0 0 7 7 】

本実施例は実施形態1~2または実施例1~4と併用することが可能である。

【 実施例 9 】

【 0 0 7 8 】

図16に可変レベルシフト回路の実施例を示す。図16において、可変レベルシフト回路はXデコーダー1601、レベルシフト回路1602、1603、1607、スイッチ1604、1605、切り換え信号入力端子1606、インバータ1608、1609によって構成されている。Xデコーダー1601の出力信号はレベルシフト回路1602お

10

20

30

40

50

よび1603に入力され、それぞれ異なる振幅の信号として出力される。一方切り換え信号入力端子1606に入力された切り換え信号はレベルシフト回路1607でシフトされる。ここで、切り換え信号が十分大きな振幅を持っている場合は、レベルシフト回路1607は不要である。レベルシフト回路1607の出力はインバータ1608に入力され、インバータ1608の出力はインバータ1609とスイッチ1604、1605の制御端子へ入力される。インバータ1609の出力はスイッチ1604、1605の前記と異なる制御端子に入力される。

【0079】

レベルシフト回路1607の出力がハイの場合、スイッチ1605がオンとなり、スイッチ1606がオフとなる、従って、レベルシフト回路1603の出力がワード線に接続される。また、レベルシフト回路1607の出力がロウの場合、スイッチ1605がオフとなり、スイッチ1606がオンとなる。従って、レベルシフト回路1602の出力がワード線に接続される。

10

【0080】

ここで、レベルシフト回路は公知のものが仕様できる。また、可変レベルシフト回路の構成は本実施例に限定されず他の回路を用いてもかまわない。

【実施例10】

【0081】

以上のようにして作製される表示装置は各種電子機器の表示部として用いることができる。以下に、本発明を用いて形成された表示装置を表示媒体として組み込んだ電子機器について説明する。

20

【0082】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図12に示す。

【0083】

図12（A）はデジタルカメラであり、本体3101、表示部3102、受像部3103、操作キー3104、外部接続ポート3105、シャッター3106等を含む。本発明の表示装置をカメラの表示部3102に用いることで、小型軽量のデジタルカメラを構成することができる。

30

【0084】

図12（B）はノートパソコンであり、本体3201、筐体3202、表示部3203、キーボード3204、外部接続ポート3205、ポインティングマウス3206等を含む。本発明の表示装置を表示部3203に使用することで小型軽量のノートパソコンを構成することができる。

【0085】

図12（C）は携帯情報端末であり、本体3301、表示部3302、スイッチ3303、操作キー3304、赤外線ポート3305等を含む。本発明の表示装置を表示部3302に使用することで、小型軽量の携帯情報端末を構成することができる。

40

【0086】

図12（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体3401、筐体3402、記録媒体（CD、LDまたはDVD等）読込部3405、操作スイッチ3406、表示部（a）3403、表示部（b）3404等を含む。表示部Aは主として画像情報を表示し、表示部Bは主として文字情報を表示するが、本発明の表示装置は記録媒体を備えた画像再生装置の表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることで小型軽量の画像再生装置を構成することができる。

【0087】

図12（E）は折りたたみ式携帯表示装置であり、本体3501に本発明を用いた表示

50

部 3 5 0 2 を装着することにより小型軽量の携帯表示装置を構成することができる。

【 0 0 8 8 】

図 1 2 (F) は腕時計型コミュニケータであり、本体 3 6 0 1 は、表示部 3 6 0 2 、操作スイッチ 3 6 0 3 などを含む。本発明の表示装置を表示部 3 6 0 2 に用いることで小型軽量の腕時計型コミュニケータを構成することができる。

【 0 0 8 9 】

図 1 2 (G) は携帯電話であり、本体 3 7 0 1 は、筐体 3 7 0 2 、表示部 3 7 0 3 、音声入力部 3 7 0 4 、アンテナ 3 7 0 5 、操作キー 3 7 0 6 、外部接続ポート 3 7 0 7 などを含む。本発明の表示装置を表示部 3 7 0 3 に用いることで小型軽量の携帯電話を構成することができる。

10

【 0 0 9 0 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施形態 1 および 2 、実施例 1 のどのような組み合わせからなる構成を用いても実現することができる。

【 図面の簡単な説明 】

【 0 0 9 1 】

【 図 1 】 本発明のメモリ回路の実施形態を示す図。

【 図 2 】 従来メモリ回路を示す図。

【 図 3 】 従来 S R A M を示す図。

【 図 4 】 S R A M のメモリセルを示す図。

20

【 図 5 】 本発明のメモリ回路の実施例を示す図。

【 図 6 】 本発明のメモリ回路の実施例を示す図。

【 図 7 】 本発明のメモリ回路の実施形態を示す図。

【 図 8 】 本発明のメモリ回路の実施形態を示す図。

【 図 9 】 本発明をマスク R O M に応用した実施例を示す図。

【 図 1 0 】 本発明を D R A M に応用した実施例を示す図。

【 図 1 1 】 本発明のメモリ回路を一体型した表示装置を示す図。

【 図 1 2 】 本発明を使用した電子機器を示す図。

【 図 1 3 】 マスク R O M のメモリセルの平面図。

【 図 1 4 】 本発明のメモリ回路を一体化した E L 表示装置を示す図。

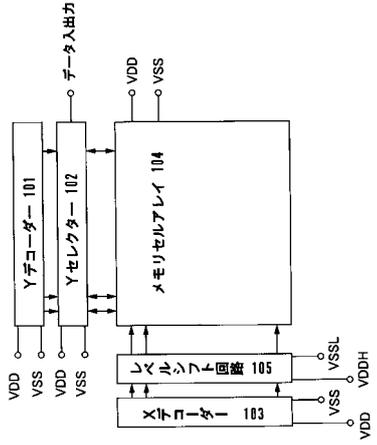
30

【 図 1 5 】 本発明のメモリ回路を一体化した P D A を示す図。

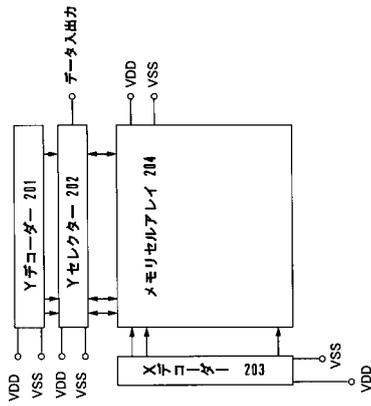
【 図 1 6 】 本発明のメモリ回路の実施例を示す図。

【 図 1 7 】 本発明のメモリ回路の実施例を示す図。

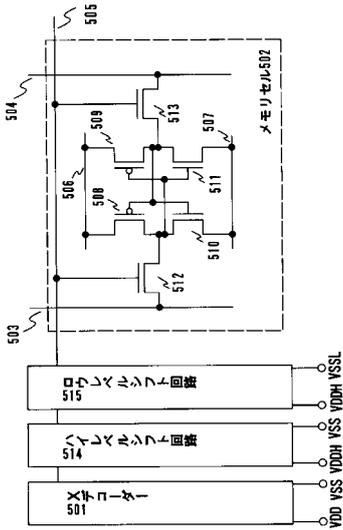
【図1】



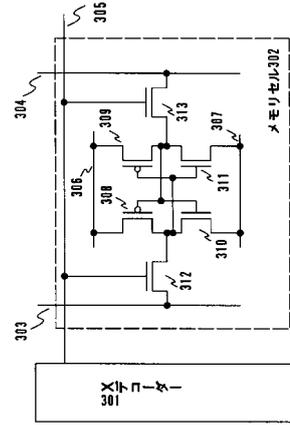
【図2】



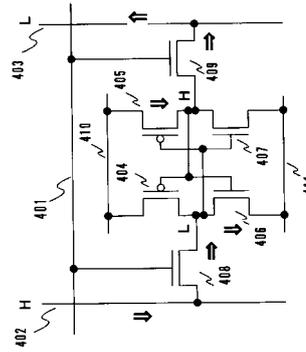
【図5】



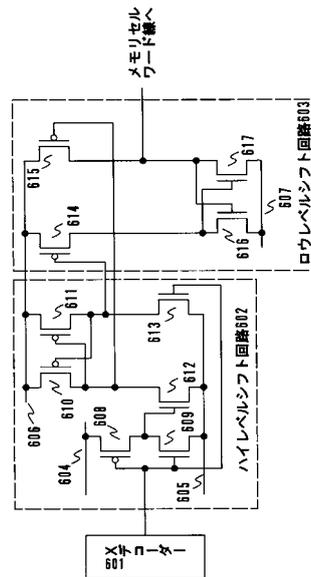
【図3】



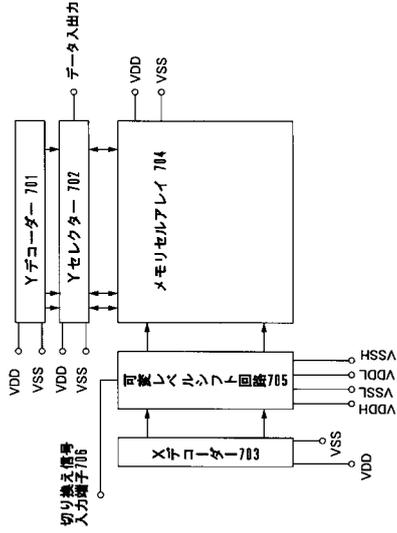
【図4】



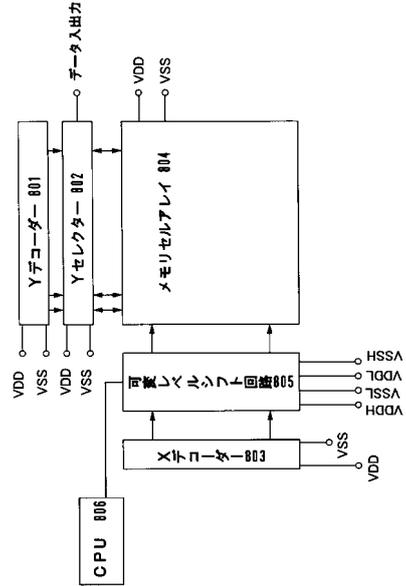
【図6】



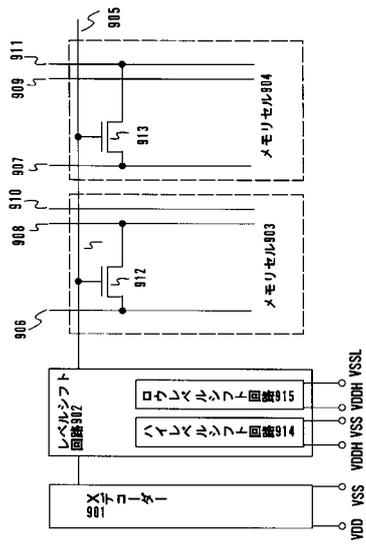
【図7】



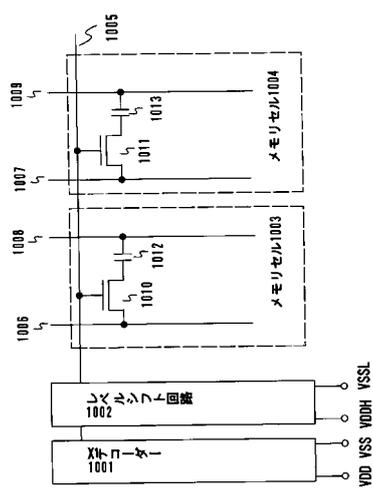
【図8】



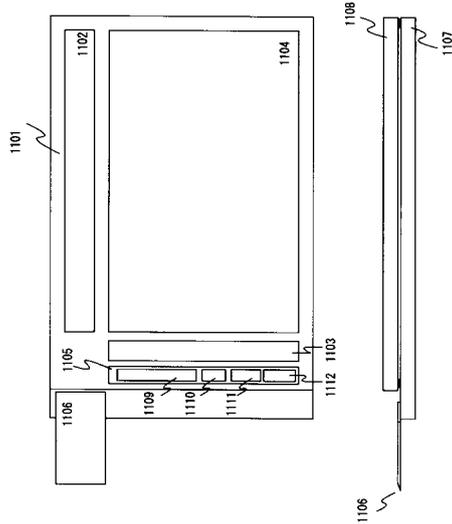
【図9】



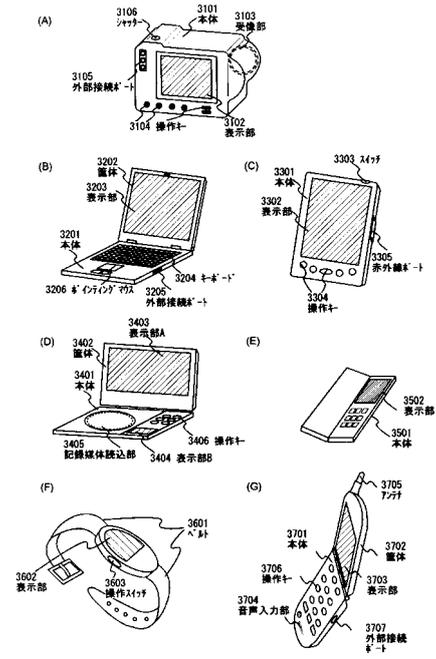
【図10】



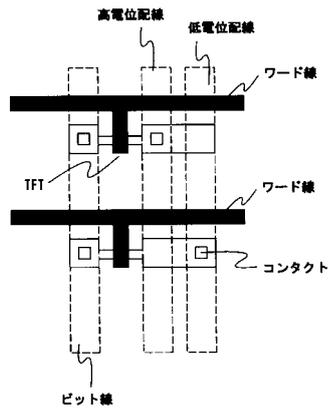
【図11】



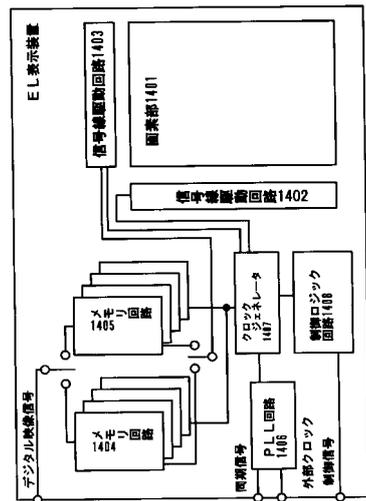
【図12】



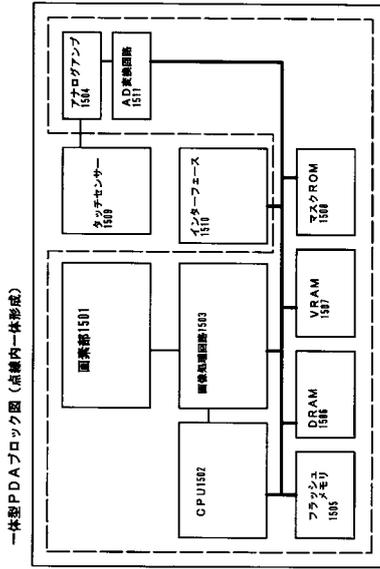
【図13】



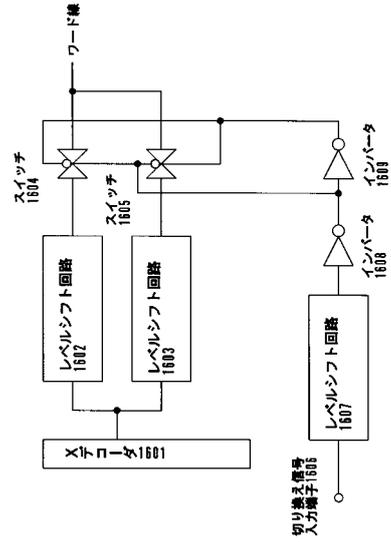
【図14】



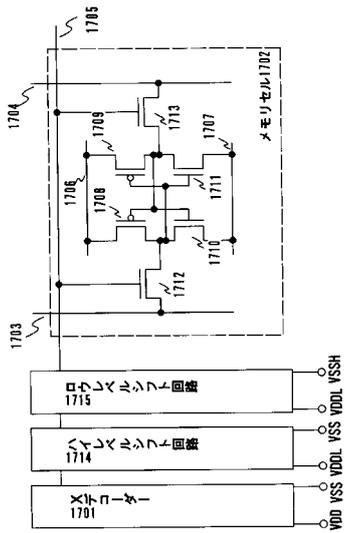
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl.		F I			
<i>G 0 9 G</i>	<i>3/20</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i>	<i>6 2 1 L</i>
<i>G 0 9 G</i>	<i>3/30</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i>	<i>6 3 1 B</i>
<i>G 0 9 G</i>	<i>3/36</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i>	<i>6 4 1 E</i>
<i>G 1 1 C</i>	<i>11/407</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i>	<i>6 7 0 E</i>
<i>G 1 1 C</i>	<i>17/18</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/30</i>	<i>H</i>
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/36</i>	
			<i>G 1 1 C</i>	<i>11/34</i>	<i>3 5 4 D</i>
			<i>G 1 1 C</i>	<i>17/00</i>	<i>3 0 6 Z</i>
			<i>H 0 5 B</i>	<i>33/14</i>	<i>A</i>

- (56)参考文献 特開平02 - 003171 (JP, A)
 特開平02 - 265097 (JP, A)
 特開昭62 - 245592 (JP, A)
 特開2001 - 312893 (JP, A)
 特開平04 - 345992 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
 G 1 1 C 1 1 / 4 1