

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G11C 5/14	(11) 공개번호 특1999-0045050
	(43) 공개일자 1999년06월25일
(21) 출원번호	10-1998-0047374
(22) 출원일자	1998년11월05일
(30) 우선권주장	10-1997-062867 1997년11월25일 대한민국(KR) 10-1998-010992 1998년03월30일 대한민국(KR)
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기도 수원시 팔달구 매탄3동 416 최병순 경기도 수원시 팔달구 매탄동 매탄주공4단지아파트 413동 502호 임영호
(74) 대리인	경기도 수원시 팔달구 우만동 우만주공아파트201동 1303호 임창현

심사청구 : 있음

(54) 다른 워드 라인 전압들을 발생하는 회로를 구비한 반도체 메모리 장치

요약

여기에 개시되는 반도체 메모리 장치는 복수 개의 드레슬드 전압들 중 하나의 드레슬드 전압을 가지며 멀티-비트 데이터를 저장하는 적어도 하나의 메모리 셀, 상기 메모리 셀에 연결된 적어도 하나의 워드 라인, 그리고 데이터 독출 동작 동안 상기 메모리 셀로부터 데이터가 독출될 때 상기 워드 라인으로 인가될 다른 워드 라인 전압들을 순차적으로 발생하는 워드 라인 전압 발생 회로를 포함한다. 상기 다른 워드 라인 전압들은 상기 메모리 셀의 드레슬드 전압 또는 다른 워드 라인 전압들이 변화될 때, 메모리 셀의 게이트-소오스 전압이 일정하게 유지되도록 상기 워드 라인 전압 발생 회로에 의해서 자동으로 조정된다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 하나의 메모리 셀이 2-비트 데이터를 저장하는 경우 멀티-레벨 데이터 상태들에 따른 워드 라인 전압들 및 드레슬드 전압 분포들 사이의 관계를 보여주는 도면;

도 2는 데이터 독출 동작 동안 워드 라인에 인가되는 전압 변화를 보여주는 도면;

도 3은 워드 라인 전압 발생 회로를 구비한 종래 반도체 메모리 장치의 블록도;

도 4는 종래 기술에 따른 도 3의 반도체 메모리 장치의 워드 라인 전압 발생 회로를 보여주는 도면;

도 5는 본 발명의 바람직한 제 1 실시예에 따른 도 3의 반도체 메모리 장치의 워드 라인 전압 발생 회로를 보여주는 도면;

도 6은 도 5의 워드 라인 전압 발생 회로의 동작을 설명하기 위한 타이밍도;

도 7은 본 발명의 바람직한 제 2 실시예에 따른 도 3의 반도체 메모리 장치의 워드 라인 전압 발생 회로를 보여주는 도면; 그리고

도 8은 본 발명의 바람직한 제 2 실시예에 따른 도 3의 반도체 메모리 장치의 워드 라인 전압 발생 회로를 보여주는 도면이다.

*도면의 주요 부분에 대한 부호 설명

- 10 : 메모리 셀 어레이
- 11 : 행 프리 디코더 회로
- 12 : 블록 디코더 회로
- 13 : 워드 라인 전압 발생 회로
- 14 : 워드 라인 전압원
- 15 : 열 디코더 회로
- 16 : 열 패스 게이팅 회로
- 17 : 감지 증폭기 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 구체적으로는 멀티-비트 데이터를 저장하는 반도체 메모리 장치에서 사용하기 위한 워드 라인 전압 발생 회로에 관한 것이다.

예를 들면, 독출 전용 메모리 (read-only memory) (이후, ROM이라 칭함)의 메모리 셀 어레이는 복수의 행들과 복수의 열들로 배열된 복수 개의 메모리 셀들을 포함한다. 복수의 워드 라인들은 상기 메모리 셀들의 행들을 따라 신장하고, 복수의 비트 라인들은 상기 메모리 셀들의 열들을 따라 신장한다. 각 메모리 셀은 대응하는 워드 라인에 연결된 게이트, 접지된 소오스 그리고 대응하는 비트 라인에 연결된 드레인을 가진다. 어드레스된 (또는 선택된) 메모리 셀로부터 데이터를 독출하기 위해서는, 상기 어드레스된 메모리 셀에 연결된 비트 라인이 선택되고, 상기 어드레스된 메모리 셀에 연결된 워드 라인이 워드 라인 전압으로 설정된다.

일반적으로, 1-비트 데이터를 저장하는 메모리 셀은 하나의 트랜지스터를 가진다. 상기 트랜지스터의 드레슬드 전압은 상기 메모리 셀이 데이터를 저장하도록 하이 또는 로우 레벨 (high or low level)로 설정된다. 하지만, 상기 메모리 셀은 한번에 1 비트의 데이터를 저장한다. 많은 양의 데이터를 저장하기 위해서, 상기 메모리 셀 어레이는 저장될 데이터의 양에 비례하여 더 많은 메모리 셀들을 가져야 하며, 이는 칩 사이즈가 불가피하게 증가하게 하는 원인이 된다.

칩 사이즈의 증가 없이 많은 양의 데이터를 저장하는 메모리 디바이스를 제조하기 위해서, 2 비트의 데이터가 하나의 메모리 셀에 저장되는 것이 최근 제안되어 왔다. 그러한 메모리 셀은 '멀티-레벨 메모리' 또는 '멀티-비트 메모리'라 불린다. 여러 가지 종류의 멀티-레벨 메모리들이 제공된다. 한가지 타입에 있어서, 각 메모리 셀 트랜지스터의 게이트 길이 또는 게이트 폭이 상기 메모리 셀이 선택될 때 흐르는 전류가 다양한 값으로 설정되도록 변화된다. 다른 타입에 있어서, MOS 트랜지스터의 드레슬드 전압이 다양한 값으로 변화되도록 각 메모리 셀의 MOS 트랜지스터에 주입되는 불순물 이온의 양이 변화된다. 멀티-레벨 메모리 장치의 각 메모리 셀은 2 또는 그 보다 많은 상태로 설정될 때 2 또는 그 보다 많은 비트들을 저장할 수 있다. 그러므로, 상기 멀티-레벨 메모리 장치의 저장 능력이 증가된다.

도 1은 하나의 메모리 셀이 2-비트의 데이터를 저장하는 경우 멀티-레벨 데이터 상태들에 따른 워드 라인 전압과 드레슬드 전압 분포들의 관계를 보여준다. 멀티-비트 ROM의 각 메모리 셀은 4개의 다른 드레슬드 전압들 (Vth1)-(Vth4) 중 하나를 가진다. 상기 드레슬드 전압들 (Vth1)-(Vth4)은 $V_{th1} < V_{th2} < V_{th3} < V_{th4}$ 의 관계를 가진다. 드레슬드 전압 (Vth1)을 가지는 메모리 셀은 메모리 셀 (M00)로 판별되고, 드레슬드 전압 (Vth2)을 가지는 메모리 셀은 메모리 셀 (M01)로 판별되고, 드레슬드 전압 (Vth3)을 가지는 메모리 셀은 메모리 셀 (M10)로 판별되고, 드레슬드 전압 (Vth4)을 가지는 메모리 셀은 메모리 셀 (M11)로 판별될 것이다. 상기 메모리 셀들 (M00), (M01), (M10) 및 (M11)이 '0', '1', '10' 및 '11'을 각각 저장한다고 가정하자.

도 2는 데이터 독출 동작 동안 워드 라인으로 인가되는 전압 변화를 보여주는 도면이다. 도 1 및 도 2를 참조하여, 2 비트의 데이터를 저장하는 메모리 셀의 데이터 독출 동작이 이하 설명된다.

먼저, 2-비트 데이터를 저장하는 선택된 메모리 셀에 연결된 워드 라인은 제 1 워드 라인 전압 (WL0)으로 구동되고, 그 다음에 선택된 메모리 셀을 통해서 전류가 흐르는지의 여부가 감지 증폭기 회로 (17, 도 3 참조)에 의해서 판별된다. 그 다음에, 상기 제 1 워드 라인 전압 (WL0)보다 높은 제 2 워드 라인 전압 (WL1)이 상기 선택된 메모리 셀에 관련된 워드 라인으로 인가된 후, 셀 전류가 메모리 셀을 통해서 흐르는지의 여부가 그것에 의해서 판별된다. 마지막으로, 상기 제 1 및 제 2 워드 라인 전압들 (WL0) 및 (WL1)보다 높은 제 3 워드 라인 전압 (WL2)이 상기 워드 라인으로 인가되고, 그 다음에 셀 전류가 상기 메모리 셀을 통해서 흐르는지의 여부가 판별된다. 앞서 언급된 바와 같이, 메모리 셀이 2-비트 데이터 (즉, '0', '1', '10' 및 '11' 중 하나)를 저장하는 경우에 있어서, 다른 워드 라인 전압들 (WL0), (WL1) 및 (WL2)을 이용하여 3번의 센싱 동작들이 순차적으로 수행되고, 그 다음에 그렇게 센싱된 결과들이 논리적으로 조합되며, 그 결과 데이터 독출 동작이 완료된다. 데이터 독출 동작 동안 도 2에 도시된 바와 같이 그러한 다른 레벨들을 갖는 워드 라인 전압이 요구되는 레벨로 정확하게 제어되는 것이 멀티-비트 데이터를 저장하는 메모리 디바이스에서 매우 중요하다. 멀티-비트 데이터를 저장하는 종래 반도체 메모리 장치 (1)에서 워드 라인 전압을 제어하는 스킴이 도 3에 도시되어 있다.

도 3을 참조하면, 반도체 메모리 장치 (1)는, 도면에는 도시되지 않았지만, 복수의 워드 라인들, 복수의 비트 라인들, 상기 워드 라인들과 상기 비트 라인들의 교차점에 배열되고 각각 2 또는 그 보다 많은 비트 데이터를 저장하는 복수의 메모리 셀들로 구성되는 메모리 셀 어레이 (10)를 포함한다. 워드 라인들 중 하나는 어드레스 (Ai)에 따라 행 프리 디코더 회로 (11) 및 블록 디코더 회로 (12)에 의해서 선택되며, 워드 라인 전압 발생 회로 (13)는 전압 (VP)을 발생하고 데이터 독출 동작 동안 상기 회로들 (11) 및 (12)을 통해서 상기 전압 (VP)을 상기 선택된 워드 라인으로 공급한다. 상기 전압 (VP)은 도 2에 도시된 바와 같이 다른 전압 레벨들 (WL0), (WL1) 및 (WL2)을 가진다. 상기 장치 (1)가 낮은 전원 전압 하에서 동작할 때, 워드 라인 전압 발생 회로 (13)는 전원 전압으로서 워드 라인 전압원 (14)으로부터의 전압 (VCC) 또는 상기 전압 (VCC)보다 높은 전압 (VPP)을 받아들이며, 상기 전압원 (14)은 고전압 발생기이며, 그 다음에 워드 라인 전압 (VP)으로서 다른 전압들을 발생한다. 상기 선택된 메모리 셀에 연결된 비트 라인은 열 디코더 회로 (15) 및 열 패스 게이트 회로 (16)를 통해서 선택되고, 그 다음에 감지 증폭기 회로 (17)는 셀 전류가 상기 선택된 비트 라인에 연결된 메모리 셀을 통해서 흐르는지의 여부를 판별한다.

종래 기술에 따른 도 3의 반도체 메모리 장치 (1)에서 사용하기 위한 워드 라인 전압 발생 회로 (13)는

도 4에 상세히 도시되어 있다. 상기 워드 라인 전압 발생 회로 (13)는 'APPARATUS AND METHOD FOR READING MULTI-BIT DATA STORED IN A SEMICONDUCTOR MEMORY'라는 제목으로 미국 특허 공보 제5457650호에 게재되었다.

도 4에 도시된 바와 같이, 상기 워드 라인 전압 발생 회로 (13)는 3개의 더미 셀들 (M01), (M10) 및 (M11)을 가지며, 각각이 NMOS 트랜지스터를 포함한다. 상기 더미 셀들 (M01), (M10) 및 (M11)은 각각 드레슬드 전압들 (Vth2), (Vth3) 및 (Vth4)을 가진다. 상기 더미 셀들 (M01), (M10) 및 (M11)은 접지된 소오스들 및 드레인들 그리고 저항들 (RM11), (RM22) 및 (RM33)을 통해서 PMOS 트랜지스터 (47)에 연결된 게이트들을 가진다. 상기 트랜지스터 (47)는 신호 (CEB)를 받아들이도록 연결된 게이트 및 도 3의 상기 워드 라인 전압원 (14)으로부터의 전원 전압 (VCC/VPP)에 연결된 소오스를 가진다. 상기 더미 셀들 (M01), (M10) 및 (M11)의 드레인들은 각각 NMOS 트랜지스터들 (41), (42) 및 (43)의 게이트들에 연결된다. 상기 트랜지스터들 (41), (42) 및 (43)의 소오스들은 저항 (RM44)을 통해서 접지된다. 상기 트랜지스터들 (41), (42) 및 (43)의 드레인들은 PMOS 트랜지스터들 (44), (45) 및 (46)의 드레인들에 각각 연결된다. 상기 트랜지스터들 (44), (45) 및 (46)은 신호들 (NO_ACT1), (NO_ACT2) 및 (NO_ACT3)을 받아들이도록 연결된 게이트들을 가지며, 그들의 소오스들은 상기 전원 전압 (VCC/VPP)에 연결된다. 출력 전압 (VP)은 상기 트랜지스터들 (41), (42) 및 (43)의 소오스들이 저항 (RM44)에 연결된 노드로부터 인가된다.

상기 저항들 (RM11), (RM22) 및 (RM33)은 큰 저항값을 가진다. 상기 트랜지스터들 (41), (42) 및 (43)은 거의 0V에 가까운 드레슬드 전압들을 가지는 증가형 트랜지스터들 (enhancement-type transistors)이다. PMOS 트랜지스터 (47)의 게이트에 공급되는 상기 신호 (CEB)가 로우 레벨일 때, 노드 (4B)의 전압은 두 가지 이유 때문에 거의 드레슬드 전압 (Vth2)이다. 첫째로, 저항 (RM11)이 큰 저항값을 가지기 때문에 전류가 더미 셀 (M01)을 통해서 거의 흐르지 않는다. 둘째로, 노드 (4B)의 전압이 상기 더미 셀 (M01)의 게이트 및 드레인이 서로 연결되어 있기 때문에 상기 더미 셀 (M01)의 드레슬드 전압 (Vth2) 이상으로 증가할 때 전류가 갑자기 더미 셀 (M01)로 흐른다. 전원 전압이 변할 때, 노드 (4B)의 전압 또한 Vth2이다. 이는 노드 (4B)의 전압이 Vth2 이상 증가할 때 더미 셀 (M01)을 통해 흐르는 전류 때문이다.

비슷한 이유 때문에, 노드 (4C)의 전압이 더미 셀 (M10)의 드레슬드 전압 (Vth3)과 동일하고, 노드 (4D)의 전압이 더미 셀 (M11)의 드레슬드 전압 (Vth4)과 동일하다. 상기 트랜지스터들 (41), (42) 및 (43)은 앞서 언급된 바와 같이 0V와 거의 동일한 드레슬드 전압들을 가지는 증가형 트랜지스터들이고, 저항 (RM44)은 큰 저항값을 가진다. 그러므로, 출력 전압 (VP)은 신호 (NO_ACT1)가 로우 레벨일 때 Vth2 (노드 (4B)의 전압과 거의 동일함), 신호 (NO_ACT2)가 로우 레벨일 때 Vth3 (노드 (4C)의 전압과 거의 동일함), 그리고 신호 (NO_ACT3)가 로우 레벨일 때 Vth4 (노드 (4D)의 전압과 거의 동일함)이다.

상기 워드 라인 전압 발생 회로 (13)의 출력 전압 (VP)은 상기 행 프리 디코더 회로 (11)에 인가된다. 그런 까닭에, 워드 라인 전압은 상기 신호 (NO_ACT1)가 로우 레벨일 때 Vth2이고, 워드 라인 전압은 상기 신호 (NO_ACT2)가 로우 레벨일 때 Vth3이고, 워드 라인 전압은 상기 신호 (NO_ACT3)가 로우 레벨일 때 Vth4이다.

종래 기술에 따른 앞서 언급된 워드 라인 전압 발생 회로 (13)는 출력 전압 (VP)이 더 높아지는 경우, 상기 출력 전압 (VP)이 그렇게 증가된 레벨만큼 상기 저항 (RM44)을 통해서 더 낮아지도록 설계되었다. 반면에, 출력 전압 (VP)이 요구되는 워드 라인 전압보다 낮아지는 경우, 상기 출력 전압 (VP)이 증가되게 하는 것이 불가능하다. 이는 더미 셀들 (M01), (M10) 및 (M11)의 드레슬드 전압들 (Vth2), (Vth3) 및 (Vth4)과 상기 트랜지스터들 (41), (42) 및 (43)의 드레슬드 전압들이 고정되었기 때문이다. 게다가, 상기 트랜지스터들 (41), (42) 및 (43)의 드레슬드 전압들이 공정 변화로 인해서 변화될 때, 출력 전압 (VP) 즉, 워드 라인 전압은 더욱 많이 변화될 것이다.

상기 NMOS 트랜지스터들 (41), (42) 및 (43)의 소오스 전압들이 변화되면, 그것들의 드레슬드 전압들이 분야에 잘 알려진 바디 효과에 따라 변한다. 상기 소오스 전압들이 각 센싱 동작에서 서로 다르기 때문에, 각 트랜지스터 (41), (42) 및 (43)의 드레슬드 전압 변화 량 역시 서로 다르다. 이로 인해서, 선택된 메모리 셀의 게이트-소오스 전압 (Vgs)이 각 센싱 동작에서 다르다. 그러므로, 선택된 메모리 셀을 통해서 흐르는 셀 전류는 각 센싱 구간에서 다르며, 그 결과 선택된 메모리 셀의 센싱 마진이 감소될 것이다. 즉, 데이터 독출 동작의 신뢰성이 더 나빠지고, 최악의 경우, 데이터 독출 동작이 패일 된다. 그러므로, 각 메모리 셀의 게이트-소오스 전압이 일정하게 유지되게 하는 반도체 메모리 장치의 워드 라인 전압 발생 회로가 요구된다.

발명이 이루고자하는 기술적 과제

따라서 본 발명의 목적은 하나의 메모리 셀에 멀티-비트 데이터를 저장하는 향상된 신뢰성을 가지는 반도체 메모리 장치를 제공하는 것이다.

본 발명의 다른 목적은 공정 변화에 관계없이 메모리 셀의 게이트-소오스 전압을 일정하게 유지할 수 있는 워드 라인 전압 발생 회로를 구비한 멀티-비트 반도체 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

상술한 바와 같은 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 본 발명의 반도체 메모리 장치는 복수 개의 드레슬드 전압들 중 하나의 드레슬드 전압을 가지며 멀티-비트 데이터를 저장하는 적어도 하나의 메모리 셀, 상기 메모리 셀에 연결된 적어도 하나의 워드 라인, 그리고 데이터 독출 동작 동안 상기 메모리 셀로부터 데이터가 독출될 때 상기 워드 라인으로 인가될 다른 워드 라인 전압들을 순차적으로 발생하는 워드 라인 전압 발생 회로를 포함한다.

이와 같은 반도체 메모리 장치에 의하면, 상기 다른 워드 라인 전압들은 상기 메모리 셀의 드레슬드 전압 또는 다른 워드 라인 전압들이 변화될 때, 메모리 셀의 게이트-소오스 전압이 일정하게 유지되도록

상기 워드 라인 전압 발생 회로에 의해서 자동으로 조정된다.

이하 본 발명의 실시예들이 참조도면들에 의거하여 상세히 설명된다.

도 5는 본 발명의 바람직한 제 1 실시예에 따른 멀티-비트 데이터를 저장하는 반도체 메모리 장치 (1)에서 사용하기 위한 워드 라인 전압 발생 회로 (13-1)를 보여주는 회로도이다. 제 1 실시예에 있어서, 상기 회로 (13-1)가 도 3의 반도체 메모리 장치 (1)에 구현됨은 이 분야에 숙련된 자에게 자명하며, 다른 구성 요소들의 설명은 그러므로 생략된다. 도 5에 도시된 바와 같이, 워드 라인 전압 발생 회로 (13-1)는 전원 전압이 변화하더라도 또는 메모리 셀들이 설계된 특성과 다른 특성을 갖더라도 데이터를 독출하기 위한 최적의 워드 라인 전압 (VP)을 발생하기 위해서 드레슬드 전압들 (Vth1), (Vth2) 및 (Vth3)을 가지는 3개의 더미 셀들 (M00), (M01) 및 (M10)을 사용한다.

도 5에 관련하여, 상기 회로 (13-1)는 레퍼런스 전압 발생기 (62) 및 제 1 내지 제 3 워드 라인 전압 발생기들 (100a), (100b) 및 (100c)을 포함한다. 상기 레퍼런스 전압 발생기 (62)는 전원 전압 변화에 관계없이 일정한 레벨, 예를 들면, 2V의 레퍼런스 전압 (Vref)을 발생하고, 상기 레퍼런스 전압 (Vref)을 상기 제 1 내지 제 3 워드 라인 전압 발생기들 (100a), (100b) 및 (100c)으로 공급한다. 상기 제 1 내지 제 3 워드 라인 전압 발생기들 (100a), (100b) 및 (100c)은 전압 (VP) 즉, 워드 라인 전압을 출력하기 위한 노드 (ND1)에 연결된다. 상기 발생기들 (100a), (100b) 및 (100c) 각각은 전원 전압으로서 도 3의 워드 라인 전압원 (14)으로부터의 전압 (VCC/VPP)을 받아들인다. 게다가, 상기 노드 (ND1)는 데이터 독출 동작 직후에 신호 (STG)에 따라 스위치 온/오프 되는 NMOS 트랜지스터 (59)를 통해서 방전된다. 상기 제 1 워드 라인 전압 발생기 (100a)는 제 1 센싱 동작이 수행될 때 도 2의 제 1 워드 라인 전압 (WL0) 레벨의 전압 (VP)을 발생하고, 상기 제 2 워드 라인 전압 발생기 (100b)는 제 2 센싱 동작이 수행될 때 도 2의 제 2 워드 라인 전압 (WL1) 레벨의 전압 (VP)을 발생하고, 상기 제 3 워드 라인 전압 발생기 (100c)는 제 3 센싱 동작이 수행될 때 도 2의 제 3 워드 라인 전압 (WL2) 레벨의 전압 (VP)을 발생한다.

상기 제 1 워드 라인 전압 발생기 (100a)는 검출 회로 (110a), 더미 셀 (M00), PMOS 트랜지스터 (54), NMOS 트랜지스터 (58) 및 커패시터 (60)로 구성된다. 상기 검출 회로 (110a)는 3개의 PMOS 트랜지스터들 (51), (52) 및 (53) 및 2개의 NMOS 트랜지스터들 (56) 및 (57)으로 이루어졌다. 상기 PMOS 트랜지스터들 (51) 및 (53)은 전류 미러 회로로서 기능한다. 게이트가 신호 (NO_ACT1)를 받아들이는 상기 PMOS 트랜지스터 (51)는 도 3의 전압원 (14)으로부터의 전압 (VCC/VPP)을 받아들이는 일 전류 전극과 노드 (5C)에 연결된 다른 전류 전극을 가진다. 상기 신호 (NO_ACT1)는 제 1 센싱 동작이 수행되는 구간 동안만 하이 레벨로 활성화된다. 상기 PMOS 트랜지스터 (52)는 상기 전압 (VCC/VPP)과 상기 노드 (5C) 사이에 형성되는 전류 통로 및 노드 (5C) 즉, 드레인에 연결된 게이트를 가진다. 게이트가 상기 노드 (5C)에 연결된 PMOS 트랜지스터 (53)는 상기 전압 (VCC/VPP)과 노드 (ND1) 사이에 형성된 전류 통로를 가진다. 전류 통로들이 상기 노드 (5C)와 접지 사이에 직렬로 형성되는 NMOS 트랜지스터들 (56) 및 (57)은 각각 노드 (5A)에 연결되고 신호 (NO_ACT1)를 받아들이는 게이트들을 가진다. 상기 더미 셀 (M00)은 드레슬드 전압 (Vth1)을 갖도록 설정되고, 상기 커패시터 (60)의 일단에 연결된 게이트를 가진다. 상기 셀 (M00)의 일 전류 전극은 접지 되고 그것의 다른 전류 전극은 게이트가 접지 된 PMOS 트랜지스터 (54)를 통해서 레퍼런스 전압 발생기 (62)에 연결된다. 상기 커패시터 (60)의 다른 단은 상기 노드 (ND1)에 연결된다. 게이트가 신호 (STG)를 공급받는 NMOS 트랜지스터 (58)는 노드 (5B) 즉, 더미 셀 (M00)의 게이트와 접지 사이에 형성되는 전류 통로를 가진다.

제 1 실시예에 있어서, 상기 PMOS 트랜지스터 (54)의 전류 구동 능력은 상기 더미 셀 (M00)의 그것보다 작다. 즉, 상기 PMOS 트랜지스터 (54)는 노드 (5A)를 프리차지하는 트랜지스터로서 기능한다. 상기 신호 (STG)는 데이터 독출 동작이 수행되기 전후에 하이 레벨로 활성화되고, 상기 신호 (NO_ACT1)는 제 1 센싱 동작 (또는 구간)을 나타낸다.

상기 제 2 및 제 3 워드 라인 전압 발생기들 (100b) 및 (100c)에 있어서, 제 1 워드 라인 전압 발생기 (100a)의 그것과 동일한 구성 요소들은 동일한 참조 번호들로 표기된다. 편의상, 그러한 구성 요소들에 대한 설명은 반복되지 않는다. 상기 제 2 워드 라인 전압 발생기 (100b)는 더미 셀 (M01)이 상기 더미 셀 (M00)의 드레슬드 전압 보다 높은 드레슬드 전압 (Vth2)을 가진다는 점이 제 1 워드 라인 전압 발생기 (100a)와 다르다. 그러므로, 신호 (NO_ACT2)가 활성화될 때, 즉, 제 2 센싱 구간 동안에, 상기 전압 (VPP)은 제 1 센싱 구간보다 더 높아진다. 그리고, 상기 제 3 워드 라인 전압 발생기 (100c)는 더미 셀 (M10)이 상기 더미 셀들 (M00) 및 (M01)의 드레슬드 전압들 보다 높은 드레슬드 전압 (Vth3)을 가진다는 점이 제 1 및 제 2 워드 라인 전압 발생기들 (100a) 및 (100b)과 다르다. 그러므로, 신호 (NO_ACT3)가 활성화될 때, 즉, 제 3 센싱 구간 동안에, 상기 전압 (VPP)은 제 2 센싱 구간보다 더 높아진다.

도 6은 본 발명의 바람직한 제 1 실시예에 따른 워드 라인 전압 발생 회로 (13-1)의 동작을 설명하기 위한 타이밍도이다. 상기 워드 라인 전압 발생 회로 (13-1)의 동작이 도 5 및 도 6에 의거하여 이하 설명된다.

전압 (VP) 즉, 선택된 메모리 셀에 공급될 워드 라인 전압이 상기 워드 라인 전압 발생 회로 (13-1)로부터 발생되지 않을 때, 도 6에 도시된 바와 같이, 신호 (STG)는 하이 레벨의 상태이고 상기 신호들 (NO_ACT1), (NO_ACT2) 및 (NO_ACT3)은 로우 레벨의 상태에 있다. 이는 트랜지스터들 (51) 및 (56)이 도전되게 하고 트랜지스터 (57)가 도전되지 않게 하며, 그 결과 노드 (5C)는 PMOS 트랜지스터 (51)를 통해서 전압 (VCC/VPP)까지 충전된다. 결과적으로, 상기 PMOS 트랜지스터 (53)의 전류 통로가 생기지 않는다. 이때, 더미 셀들 (M00), (M01) 및 (M10)의 게이트들은 상기 신호 (STG)에 의해서 스위치 온된 NMOS 트랜지스터 (58)를 통해서 로우 레벨 즉, 0V로 초기화된다. 제 1 실시예에 있어서, 데이터 독출 동작이 수행되지 않을 때 워드 라인 전압 발생기들 (100a), (100b), (100c)에 의해서 소모되는 전류는 없으며, 이는 트랜지스터 (57)의 전류 통로가 형성되지 않기 때문이다.

만약 데이터 독출 동작이 시작되면, 도 6에 도시된 바와 같이, 신호 (STG)는 하이 레벨에서 로우 레벨로 가고, 신호 (NO_ACT1)는 하이 레벨이 된다. 이와 동시에, 상기 신호들 (NO_ACT2) 및 (NO_ACT3)은 계속해서 로우 레벨로 유지된다. 이는 상기 제 1 워드 라인 전압 발생기 (100a)가 활성화되게 하고 상기 제

2 및 제 3 워드 라인 전압 발생기들 (100b) 및 (100c)이 비활성화되게 한다. 상기 제 1 워드 라인 전압 발생기 (100a)의 PMOS 트랜지스터 (51)는 비활성화되고 그것의 NMOS 트랜지스터 (57)는 상기 활성화된 신호 (NO_ACT1)에 따라 활성화되며, 그 결과 노드 (5C)는 NMOS 트랜지스터들 (56) 및 (57)을 통해서 방전된다.

PMOS 트랜지스터 (53)의 게이트 전위가 접지 전압이 될 때, 상기 노드 (ND1)의 전위는 요구되는 워드 라인 전압으로 점차 더 증가된다. 노드 (ND1) 전위가 증가됨에 따라 더미 셀 (M00)의 게이트 전위 역시 부스팅 커패시터 (60)에 의해서 높아진다. 즉, 게이트 커패시턴스와 커패시터 (60) 커패시턴스 사이의 커플링 비율에 비례하는 전압 (Vg)이 더미 셀 (M00)의 게이트에 인가된다. 그렇게 높아진 전압 (Vg)은 다음과 같이 표현된다.

$$Vg = VPTIMES \frac{Ccap}{(Ccap + Ccel)}$$

여기서, 기호 (Ccap)는 커패시터 (60)의 커패시턴스를 나타내고 기호 (Ccel)는 더미 셀 (M00)의 게이트 커패시턴스를 나타낸다.

노드 (ND1) 전위가 계속해서 높아짐에 따라, 더미 셀 (M00)의 게이트 전압 (Vg)은 더미 셀 (M00)의 드레슬드 전압 (Vth1)이 되고, 그 결과 상기 더미 셀 (M00)이 턴 온된다. 레퍼런스 전압 (Vref)을 가지는 노드 (5A)는 상기 더미 셀 (M00)을 통해서 NMOS 트랜지스터 (56)의 드레슬드 전압 이하로 방전되며, 이는 상기 NMOS 트랜지스터 (56)가 턴오프 되게 한다. 노드 (5C)는 (VCC/VPP-Vtp) (Vtp는 트랜지스터 (52)의 드레슬드 전압이다)의 전압이 되고, 그 다음에 상기 PMOS 트랜지스터 (53)가 턴오프 된다. 즉, 상기 검출 회로 (110a)는 상기 더미 셀 (M00)을 통해서 전류가 흐르는지의 여부를 검출하고, 그 다음에 검출 결과에 따라 전류를 노드 (ND1)로 공급한다. 결과적으로, 전압 (VP) 즉, 워드 라인 전압 (WLO)은 (Vth1+Voffset)의 전압으로 설정된다. 상기 전압 (Voffset)은 메모리 셀의 게이트-소스 전압 (Vgs)으로서 센싱 마진을 의미한다. 상기 전압 (Voffset)은 커플링 비율에 의해서 결정되고 일정하게 유지된다.

계속해서, 상기 신호 (NO_ACT1)가 로우 레벨로 비활성화되는 반면에 신호 (NO_ACT2)는 도 6에 도시된 바와 같이 하이 레벨로 활성화된다. 상기 제 2 및 제 3 워드 라인 전압 발생기 (100b) 및 (100c)은 (Vth2+Voffset) 및 (Vth3+Voffset)의 전압들을 발생한다. 설명의 중복을 피하기 위해서 상기 발생기들 (100b) 및 (100c)의 동작 설명은 생략된다. 3번의 센싱 동작들이 완료된 후, 신호 (STG)는 로우 레벨에서 하이 레벨이 된다. 이는 노드 (ND1)가 접지 전압 (0V)이 되게 하며, 그 결과 워드 라인 전압 발생 회로 (13-1)는 비활성화된다.

제 1 실시예에 있어서, 각 워드 라인 전압 발생기 (100a), (100b) 및 (100c)에는, 각각 드레슬드 전압들 (Vth1), (Vth2) 및 (Vth3)으로 설정된 더미 셀들 (M00), (M10) 및 (M10)이 제공된다. 이 때문에, 메모리 셀의 드레슬드 전압이 공정 변화로 인해서 변화되더라도, 더미 셀들의 드레슬드 전압들 역시 동일하게 변화된다. 특히, 전압 (VP) 즉, 워드 라인 전압이 (Vth1/2/3+Voffset)의 전압으로 유지됨에 유의해야 한다. 이는 메모리 셀의 게이트-소스 전압 (Vgs)이 각 센싱 동작 동안 상기 전압 (Voffset)으로 고정됨을 의미한다 (셀 전류가 메모리 셀을 통해서 일정하게 흐름을 의미한다). 그러므로, 데이터 독출 동작이 신뢰성 있게 수행될 수 있다.

더욱이, 제 1 실시예에 있어서, 제 1 내지 제 3 워드 라인 전압 발생기들 (100a), (100b) 및 (100c) 내의 커패시터들 (60)의 커패시턴스는 센싱 마진이 각 센싱 동작 동안 서로 동일하도록 설정된다. 하지만, 커패시터들 (60)의 값들을 다르게 설정함으로써 각 센싱 동작에서 센싱 마진이 서로 다르게 설정될 수 있음은 이 분야에 숙련된 자들에게 자명하다.

도 7은 본 발명의 바람직한 제 2 실시예에 따른 도 3의 반도체 메모리 장치 (1)에서 사용하기 위한 워드 라인 전압 발생 회로 (13-2)의 회로도이다. 도 7에서, 도 5의 구성 요소들과 동일한 구성 요소들은 동일한 참조 번호들로 표기된다.

도 7에 도시된 바와 같이, 워드 라인 전압 발생 회로 (13-2)는 레퍼런스 전압 발생기 (62) 및 전압 (VP) 즉, 워드 라인 전압을 출력하기 위한 노드 (ND2)에 공통으로 연결된 3개의 워드 라인 전압 발생기들 (120a), (120b) 및 (120c)으로 구성된다. 상기 제 2 실시예는 도 5의 커플링 커패시터 (60)가 제거되었다는 점에서 그리고 각 발생기 (120a), (120b) 및 (120c)의 PMOS 트랜지스터들 (61)이 프리차지 트랜지스터 대신에 저항 소자로서 기능한다는 점에서 제 1 실시예와 다르다. 도 5의 회로 (13-1)와 마찬가지로, 상기 워드 라인 전압 발생 회로 (13-2) 역시 도 6의 타이밍도에 따라 동작한다.

전압 (VP) 즉, 선택된 메모리 셀에 공급될 워드 라인 전압이 상기 워드 라인 전압 발생 회로 (13-2)로부터 발생되지 않을 때, 도 6에 도시된 바와 같이, 신호 (STG)는 하이 레벨의 상태이고 상기 신호들 (NO_ACT1), (NO_ACT2) 및 (NO_ACT3)은 로우 레벨의 상태에 있다. 이는 트랜지스터들 (51) 및 (56)이 도전되게 하고 트랜지스터 (57)가 도전되지 않게 하며, 그 결과 노드 (5E)는 PMOS 트랜지스터 (51)를 통해서 전압 (VCC/VPP)까지 충전된다. 결과적으로, 상기 PMOS 트랜지스터 (53)의 전류 통로가 생기지 않는다. 이때, 노드 (ND2)는 상기 신호 (STG)에 의해서 스위치 온된 NMOS 트랜지스터 (59)를 통해서 로우 레벨 즉, 0V로 초기화된다. 제 1 실시예와 마찬가지로, 데이터 독출 동작이 수행되지 않을 때 워드 라인 전압 발생기들 (120a), (120b) 및 (120c)에 의해서 소모되는 전류는 없으며, 이는 트랜지스터 (57)의 전류 통로가 형성되지 않기 때문이다.

만약 데이터 독출 동작이 시작되면, 도 6에 도시된 바와 같이, 신호 (STG)는 하이 레벨에서 로우 레벨로 가고, 신호 (NO_ACT1)는 하이 레벨이 된다. 이와 동시에, 상기 신호들 (NO_ACT2) 및 (NO_ACT3)은 계속해서 로우 레벨로 유지된다. 이는 상기 제 1 워드 라인 전압 발생기 (120a)가 활성화되게 하고 상기 제 2 및 제 3 워드 라인 전압 발생기들 (120b) 및 (120c)이 비활성화되게 한다. 상기 제 1 워드 라인 전압 발생기 (120a)의 PMOS 트랜지스터 (51)는 비활성화되고 그것의 NMOS 트랜지스터 (57)는 상기 활성화된 신호 (NO_ACT1)에 따라 활성화되며, 그 결과 노드 (5E)는 NMOS 트랜지스터들 (56) 및 (57)을 통해서 방

전된다.

소정 시간이 경과한 후 즉, PMOS 트랜지스터 (53)의 게이트 전위가 접지 전압이 될 때, 상기 노드 (ND2)의 전위는 요구되는 워드 라인 전압으로 점차 더 증가된다. 노드 (ND2) 전위가 증가함에 따라 더미 셀 (M00)의 게이트 전위 역시 노드 (ND2) 전위까지 높아지며, 그 결과 더미 셀 (M00)은 턴 온 된다. PMOS 트랜지스터 (61)의 전류 구동 능력이 상기 더미 셀 (M00)의 그것보다 크기 때문에, 노드 (5D) 전압은 계속해서 상기 트랜지스터 (56)의 드레슬드 전압보다 높은 전압으로 유지된다.

노드 (ND2) 전위가 계속해서 높아짐에 따라, 더미 셀 (M00)의 게이트 전압은 더미 셀 (M00)의 드레슬드 전압 (V_{th1})보다 더 높아지고, 그 결과 상기 노드 (5D) 전압이 상기 트랜지스터 (56)의 드레슬드 전압 이하로 낮아진다. 결과적으로, 상기 NMOS 트랜지스터 (56)가 턴오프 되고, 노드 (5E)는 ($V_{CC}/V_{PP}-V_{tp}$) (V_{tp} 는 트랜지스터 (52)의 드레슬드 전압이다)의 전압이 되며, 상기 PMOS 트랜지스터 (53)가 턴오프 된다. 즉, 상기 검출 회로 (130a)는 상기 더미 셀 (M00)을 통해서 전류가 흐르는지의 여부를 검출하고, 그 다음에 검출 결과에 따라 전류를 노드 (ND2)로 공급한다. 그러므로, 전압 (VP) 즉, 워드 라인 전압 (WLO)은 ($V_{th1}+V_{offset}$)의 전압으로 설정된다. 상기 전압 (V_{offset})은 메모리 셀의 게이트-소스 전압 (V_{gs})으로서 센싱 마진을 의미한다. 상기 전압 (V_{offset})은 상기 PMOS 트랜지스터 (61)와 상기 더미 셀 (M00)의 턴 온 저항 비율에 의해서 결정되고 일정하게 유지된다.

계속해서, 상기 신호 (NO_ACT1)가 로우 레벨로 비활성화되는 반면에 신호 (NO_ACT2)는 도 6에 도시된 바와 같이 하이 레벨로 활성화된다. 상기 제 2 및 제 3 워드 라인 전압 발생기 (120b) 및 (120c)은 상기 제 1 워드 라인 전압 발생기 (120a)와 동일한 방법으로 동작하며 각각 ($V_{th2}+V_{offset}$) 및 ($V_{th3}+V_{offset}$)의 전압들을 발생한다. 설명의 중복을 피하기 위해서 상기 발생기들 (100b) 및 (100c)의 동작 설명은 생략된다. 3번의 센싱 동작들이 완료된 후, 신호 (STG)는 로우 레벨에서 하이 레벨이 된다. 이는 노드 (ND2)가 접지 전압 (0V)이 되게 하며, 그 결과 워드 라인 전압 발생 회로 (13-2)는 비활성화된다.

여기서, 전압 (VP) 즉, 워드 라인 전압이 ($V_{th1}/2/3+V_{offset}$)의 전압으로 유지됨에 유의해야 한다. 이는 메모리 셀의 게이트-소스 전압 (V_{gs})이 각 센싱 동작 동안 상기 전압 (V_{offset})으로 고정됨을 의미한다 (셀 전류가 메모리 셀을 통해서 일정하게 흐름을 의미한다). 그러므로, 데이터 독출 동작이 신뢰성 있게 수행될 수 있다.

상술한 제 2 실시예에 있어서, 제 1 내지 제 3 워드 라인 전압 발생기들 (120a), (120b) 및 (120c) 내의 각 PMOS 트랜지스터 (61)의 저항값은 센싱 마진이 각 센싱 동작 동안 서로 동일하도록 설정된다. 하지만, 상기 PMOS 트랜지스터들 (61)의 각 턴 온 저항값을 서로 다르게 설정함으로써 각 센싱 동작에서 센싱 마진이 서로 다르게 설정될 수 있음은 이 분야에 숙련된 자들에게 자명하다.

도 8은 본 발명의 바람직한 제 3 실시예에 따른 도 3의 반도체 메모리 장치 (1)에 사용하기 위한 워드 라인 전압 발생 회로 (13-3)의 회로도이다. 도 8에 있어서, 도 5의 구성 요소들과 동일한 구성 요소들은 동일한 참조 번호들로 표기된다. 상기 제 3 실시예는 도 5의 각 발생기 (100a), (100b) 및 (100c)의 커패시터들이 각각이 도 8에 도시된 바와 같이 연결된 2 개의 저항들 (R0, R1), (R0, R2) 및 (R0, R3)과 하나의 NMOS 트랜지스터 (62)로 구성되는 전압 분배기들 (160a), (160b) 및 (160c)으로 대체된다는 점만이 제 1 실시예와 다르다. 상기 전압 분배기들 (160a), (160b) 및 (160c)의 각 NMOS 트랜지스터 (62)는 대응하는 신호들 (NO_ACT1), (NO_ACT2) 및 (NO_ACT3)에 따라 스위치 온/오프 된다. 제 3 실시예에 있어서, 각 전압 분배기 (160a), (160b) 및 (160c)의 저항 (R0)은 동일한 값을 가지며, 저항들 (R1), (R2) 및 (R3)은 다른 저항값을 가진다. 도 5의 회로 (13-1)와 마찬가지로, 워드 라인 전압 발생 회로 (13-3) 역시 도 6의 타이밍도에 따라 동작한다.

제 3 실시예에 따른 워드 라인 전압 발생 회로 (13-3)의 동작이 도 6 및 도 8에 의거하여 이하 설명된다.

전압 (VP) 즉, 선택된 메모리 셀에 공급될 워드 라인 전압이 상기 워드 라인 전압 발생 회로 (13-3)로부터 발생되지 않을 때, 도 6에 도시된 바와 같이, 신호 (STG)는 하이 레벨의 상태이고 상기 신호들 (NO_ACT1), (NO_ACT2) 및 (NO_ACT3)은 로우 레벨의 상태에 있다. 이는 트랜지스터들 (51) 및 (56)이 도전되게 하고 트랜지스터 (57)가 도전되지 않게 하며, 그 결과 노드 (5H)는 PMOS 트랜지스터 (51)를 통해서 전압 (V_{CC}/V_{PP})까지 충전된다. 결과적으로, 상기 PMOS 트랜지스터 (53)의 전류 통로가 생기지 않는다. 이때, 노드 (ND3)는 상기 신호 (STG)에 의해서 스위치 온된 NMOS 트랜지스터 (59)를 통해서 로우 레벨 즉, 0V로 초기화된다. 제 1 실시예와 마찬가지로, 데이터 독출 동작이 수행되지 않을 때 워드 라인 전압 발생기들 (140a), (140b) 및 (140c)에 의해서 소모되는 전류는 없으며, 이는 트랜지스터 (57)의 전류 통로가 형성되지 않기 때문이다.

만약 데이터 독출 동작이 시작되면, 도 6에 도시된 바와 같이, 신호 (STG)는 하이 레벨에서 로우 레벨로 가고, 신호 (NO_ACT1)는 하이 레벨이 된다. 이와 동시에, 상기 신호들 (NO_ACT2) 및 (NO_ACT3)은 계속해서 로우 레벨로 유지된다. 이는 상기 제 1 워드 라인 전압 발생기 (140a)가 활성화되게 하고 상기 제 2 및 제 3 워드 라인 전압 발생기들 (140b) 및 (140c)이 비활성화되게 한다. 상기 제 1 워드 라인 전압 발생기 (140a)의 PMOS 트랜지스터 (51)는 비활성화되고 그것의 NMOS 트랜지스터 (57)는 상기 활성화된 신호 (NO_ACT1)에 따라 활성화되며, 그 결과 노드 (5H)는 NMOS 트랜지스터들 (56) 및 (57)을 통해서 방전된다.

소정 시간이 경과한 후 즉, PMOS 트랜지스터 (53)의 게이트 전위가 접지 전압이 될 때, 상기 노드 (ND3)의 전위는 요구되는 워드 라인 전압으로 점차 더 증가된다. 노드 (ND3) 전위가 증가함에 따라 더미 셀 (M00)의 게이트 전위 역시 전압 분배기 (160a)를 통해서 노드 (ND3) 전위까지 높아진다. 하지만, 상기 전압 분배기 (160a)의 출력 전압이 상기 노드 (ND3) 전압보다 낮기 때문에, 상기 노드 (ND3) 전압이 더미 셀 (M00)의 드레슬드 전압 (V_{th1})에 도달하더라도 상기 더미 셀 (M00)은 도전되지 않는다.

노드 (ND3) 전위가 계속해서 높아짐에 따라, 더미 셀 (M00)의 게이트 전압은 더미 셀 (M00)의 드레슬드 전압 (V_{th1})과 동일하거나 또는 더 높아지며, 그 결과 상기 노드 (5F) 전압이 상기 트랜지스터 (56)의

드레슬드 전압 이하로 낮아진다. 결과적으로, 상기 NMOS 트랜지스터 (56)가 턴오프 되고, 노드 (5H)는 (VCC/VPP-Vtp) (Vtp는 트랜지스터 (52)의 드레슬드 전압이다)의 전압이 되며, 상기 PMOS 트랜지스터 (53)가 턴오프 된다. 즉, 상기 검출 회로 (150a)는 상기 더미 셀 (M00)을 통해서 전류가 흐르는지의 여부를 검출하고, 그 다음에 검출 결과에 따라 전류를 노드 (ND3)로 공급한다. 그러므로, 전압 (VP) 즉, 워드 라인 전압 (WL0)은 (Vth1+Voffset)의 전압으로 설정된다. 상기 전압 (Voffset)은 메모리 셀의 게이트-소오스 전압 (Vgs)으로서 센싱 마진을 의미한다. 상기 전압 (Voffset)은 상기 저항들 (R0) 및 (R1) 사이의 저항 비율에 의해서 결정되고 일정하게 유지된다.

계속해서, 상기 신호 (NO_ACT1)가 로우 레벨로 비활성화되는 반면에 신호 (NO_ACT2)는 도 6에 도시된 바와 같이 하이 레벨로 활성화된다. 상기 제 2 및 제 3 워드 라인 전압 발생기 (140b) 및 (140c)은 상기 제 1 워드 라인 전압 발생기 (140a)와 동일한 방법으로 동작하며 각각 (Vth2+Voffset) 및 (Vth3+Voffset)의 전압들을 발생한다. 설명의 중복을 피하기 위해서 상기 발생기들 (140b) 및 (140c)의 동작 설명은 생략된다. 3번의 센싱 동작들이 완료된 후, 신호 (STG)는 로우 레벨에서 하이 레벨이 된다. 이는 노드 (ND3)가 접지 전압 (0V)이 되게 하며, 그 결과 워드 라인 전압 발생 회로 (13-3)는 비활성화된다.

여기서, 전압 (VP) 즉, 워드 라인 전압이 (Vth1/2/3+Voffset)의 전압으로 유지됨에 유의해야 한다. 이는 메모리 셀의 게이트-소오스 전압 (Vgs)이 각 센싱 동작 동안 상기 전압 (Voffset)으로 고정됨을 의미한다 (셀 전류가 메모리 셀을 통해서 일정하게 흐름을 의미한다). 그러므로, 데이터 독출 동작이 신뢰성 있게 수행될 수 있다.

상술한 제 2 실시예에 있어서, 제 1 내지 제 3 워드 라인 전압 발생기들 (140a), (140b) 및 (140c) 내의 각 저항 (R1), (R2) 및 (R3) 값은 센싱 마진이 각 센싱 동작 동안 서로 동일하도록 설정된다. 하지만, 상기 저항들 (R1), (R2) 및 (R3)의 저항값을 변화시킴으로써 각 센싱 동작에서 센싱 마진이 서로 다르게 설정될 수 있음은 이 분야에 숙련된 자들에게 자명하다.

예시적인 바람직한 실시예들을 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위에는 다양한 변형예들 및 그 유사한 구성들을 모두 포함될 수 있도록 하려는 것이다. 따라서, 청구 범위는 그러한 변형예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

발명의 효과

상기한 바와 같이, 워드 라인 전압이 (Vth1/2/3+Voffset)의 전압으로 유지됨에 따라 메모리 셀의 게이트-소오스 전압이 각 센싱 동작 동안 상기 전압 (Voffset)으로 고정된다. 즉, 셀 전류가 메모리 셀을 통해서 일정하게 흐른다. 그러므로, 데이터 독출 동작이 신뢰성 있게 수행될 수 있다.

(57) 청구의 범위

청구항 1

복수 개의 드레슬드 전압들 중 하나의 드레슬드 전압을 가지며 멀티-비트 데이터를 저장하는 적어도 하나의 메모리 셀과;

상기 메모리 셀에 연결된 적어도 하나의 워드 라인 및;

데이터 독출 동작 동안 상기 메모리 셀로부터 데이터가 독출될 때 상기 워드 라인으로 인가될 다른 워드 라인 전압들을 순차적으로 발생하는 수단을 포함하고,

상기 메모리 셀의 드레슬드 전압 또는 다른 워드 라인 전압들이 변화될 때, 메모리 셀의 게이트-소오스 전압이 일정하게 유지되도록 상기 다른 워드 라인 전압들이 상기 수단에 의해서 자동으로 조정되는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 수단은, 상기 다른 워드 라인 전압들을 출력하기 위한 출력 단자 및; 상기 출력 단자에 공통으로 연결되며, 메모리 셀이 도전 상태일 때 상기 메모리 셀을 통해서 흐르는 전류가 일정하게 유지되도록 상기 다른 워드 라인 전압들을 발생하는 복수 개의 워드 라인 전압 발생기들을 포함하는 반도체 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 수단은 상기 출력 단자와 접지 전압 사이에 연결된 리셋 트랜지스터를 부가적으로 포함하며, 상기 리셋 트랜지스터는 상기 데이터 독출 동작 전후에 스위치 온되는 반도체 메모리 장치.

청구항 4

제 2 항에 있어서,

상기 각 워드 라인 전압 발생기는,

상기 출력 단자에 연결된 게이트, 접지된 일 전류 전극 및 레퍼런스 전압을 받아들이는 다른 전류 전극을 가지며, 상기 메모리 셀의 드레슬드 전압들 중 하나로 설정되는 더미 셀과;

상기 더미 셀의 게이트와 상기 출력 단자 사이에 연결된 커플링 커패시터 및;

상기 더미 셀의 일 전류 전극에 연결되며, 상기 더미 셀이 도전되었는지의 여부를 검출하여 검출 결과에 따라 상기 출력 단자로 전류를 공급하는 검출 회로를 포함하는 반도체 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 각 워드 라인 전압 발생기는 상기 더미 셀의 게이트 및 접지 전압 사이에 연결되고 상기 데이터 독출 동작 전후에 스위치 온되는 리셋 트랜지스터를 부가적으로 포함하는 반도체 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 각 워드 라인 전압 발생기는 접지된 게이트, 상기 기준 전압을 받아들이는 일 전류 전극 및 상기 더미 셀의 다른 전류 전극에 연결된 다른 전류 전극을 가지는 PMOS 트랜지스터를 부가적으로 포함하는 반도체 메모리 장치.

청구항 7

제 6 항에 있어서,

상기 PMOS 트랜지스터의 전류 구동 능력은 상기 더미 셀의 그것보다 작은 반도체 메모리 장치.

청구항 8

제 4 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안 서로 동일하도록 상기 워드 라인 전압 발생기들의 커플링 커패시터들의 값들은 동일하게 설정되는 반도체 메모리 장치.

청구항 9

제 4 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안 서로 다르도록 상기 워드 라인 전압 발생기들의 커플링 커패시터들의 값들은 다르게 설정되는 반도체 메모리 장치.

청구항 10

제 2 항에 있어서,

상기 각 워드 라인 전압 발생기는,

상기 출력 단자에 연결된 게이트, 접지된 일 전류 전극 및 레퍼런스 전압을 받아들이는 다른 전류 전극을 가지며, 상기 메모리 셀의 드레슬드 전압들 중 하나로 설정되는 더미 셀과;

상기 더미 셀의 다른 전류 전극과 상기 기준 전압 사이에 연결된 저항 소자 및;

상기 더미 셀의 다른 전류 전극 및 상기 저항 소자의 일단에 연결되며, 상기 더미 셀이 도전되었는지의 여부를 검출하여 상기 검출 결과에 따라 상기 출력 단자로 전류를 공급하는 검출 회로를 포함하는 반도체 메모리 장치.

청구항 11

제 10 항에 있어서,

상기 저항 소자는 상기 레퍼런스 전압과 상기 더미 셀의 다른 전류 전극 사이에 형성되는 전류 통로 및 접지된 게이트를 가지는 PMOS 트랜지스터로 구성되는 반도체 메모리 장치.

청구항 12

제 11 항에 있어서,

상기 더미 셀의 전류 구동 능력은 상기 PMOS 트랜지스터의 그것보다 작은 반도체 메모리 장치.

청구항 13

제 12 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안에 서로 동일하도록 상기 워드 라인 전압 발생기들의 저항 소자들의 값들은 동일하게 설정되는 반도체 메모리 장치.

청구항 14

제 12 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안에 서로 다르도록 상기 워드 라인 전압 발생기들의 저항 소자들의 값들은 다르게 설정되는 반도체 메모리 장치.

청구항 15

제 2 항에 있어서,

상기 각 워드 라인 전압 발생기는,

상기 출력 단자에 연결된 게이트, 접지된 일 전류 전극 및 레퍼런스 전압을 받아들이는 다른 전류 전극을 가지며, 상기 메모리 셀의 드레슬드 전압들 중 하나로 설정되는 더미 셀과;

상기 더미 셀의 게이트와 상기 출력 단자 사이에 연결되며, 상기 출력 단자의 전압을 분배하여 상기 분배된 전압을 상기 더미 셀의 게이트로 공급하는 전압 분배기 및;

상기 더미 셀의 다른 전류 전극에 연결되며, 상기 더미 셀이 도전되었는지의 여부를 검출하여 검출 결과에 따라 상기 출력 단자로 전류를 공급하는 검출 회로를 포함하는 반도체 메모리 장치.

청구항 16

제 15 항에 있어서,

상기 각 워드 라인 전압 발생기는 접지된 게이트, 상기 레퍼런스 전압을 받아들이는 일 전류 전극 및 상기 더미 셀의 다른 전류 전극에 연결된 다른 전류 전극을 가지는 PMOS 트랜지스터를 부가적으로 포함하는 반도체 메모리 장치.

청구항 17

제 16 항에 있어서,

상기 PMOS 트랜지스터 전류 구동 능력은 상기 더미 셀의 그것보다 작은 반도체 메모리 장치.

청구항 18

제 16 항에 있어서,

상기 전압 분배기는,

상기 출력 단자에 연결된 일단과 상기 더미 셀의 게이트에 연결된 타단을 가지는 제 1 저항 소자 및;

상기 더미 셀의 게이트 및 상기 제 1 저항 소자의 타단에 연결된 일단과 접지된 타단을 가지는 제 2 저항 소자를 포함하는 반도체 메모리 장치.

청구항 19

제 18 항에 있어서,

상기 각 워드 라인 전압 발생기의 제 1 저항 소자는 서로 동일한 값을 가지며, 제 2 저항 소자는 서로 다른 값을 가지는 반도체 메모리 장치.

청구항 20

제 19 항에 있어서,

상기 전압 분배기는 상기 제 2 저항 소자의 타단과 접지 전압 사이에 연결되고 대응하는 센싱 구간 동안만 스위치 온되는 트랜지스터를 부가적으로 포함하는 반도체 메모리 장치.

청구항 21

제 4 항, 제 11 항 또는 제 15 항에 있어서,

상기 검출 회로는,

전원 전압에 연결된 소오스와 서로 연결된 게이트 및 드레인을 가지는 제 1 PMOS 트랜지스터와;

상기 전원 전압에 연결된 소오스, 상기 제 1 PMOS 트랜지스터의 게이트에 연결된 게이트 및 상기 출력 단자에 연결된 드레인을 가지는 제 2 PMOS 트랜지스터와;

상기 전원 전압에 연결된 소오스, 상기 제 1 PMOS 트랜지스터의 드레인에 연결된 드레인 및 선택 신호를 받아들이는 게이트를 가지는 제 3 PMOS 트랜지스터와;

상기 제 1 PMOS 트랜지스터의 드레인에 연결된 드레인, 상기 레퍼런스 전압과 상기 더미 셀의 다른 전류 전극에 연결된 게이트 및 소오스를 가지는 제 1 NMOS 트랜지스터 및;

상기 제 1 NMOS 트랜지스터의 소오스에 연결된 드레인, 접지된 소오스 및 상기 선택 신호를 받아들이는 게이트를 가지는 제 2 NMOS 트랜지스터를 포함하며,

상기 제 1 및 제 2 PMOS 트랜지스터들은 전류 미러 회로로서 기능하는 반도체 메모리 장치.

청구항 22

각각이 적어도 2 비트의 정보를 나타내는 멀티-비트 데이터를 저장하고 게이트 및 전류 통로를 가지는 행들과 열들로 배열된 복수 개의 메모리 셀들과;

상기 메모리 셀들의 게이트들에 연결된 복수 개의 워드 라인들과;

상기 워드 라인들에 연결되며, 어드레스 신호에 따라 상기 워드 라인들 중 하나를 선택하는 행 디코더 회로 및;

상기 행 디코더 회로에 연결되며, 데이터 독출 동작 동안 선택된 메모리 셀로부터 데이터가 독출될 때 상기 선택된 워드 라인으로 인가될 다른 워드 라인 전압들을 발생하는 워드 라인 전압 발생회로를 포함하며,

상기 메모리 셀의 드레슬드 전압 또는 다른 워드 라인 전압들이 변화될 때, 메모리 셀의 게이트-소스 전압이 일정하게 유지되도록 상기 다른 워드 라인 전압들이 상기 수단에 의해서 자동으로 조정되고; 그리고

상기 워드 라인 전압 발생 회로는 상기 다른 워드 라인 전압들을 출력하기 위한 출력 단자와; 상기 다른 워드 라인 전압들을 각각 발생하는 복수 개의 워드 라인 전압 발생기들과; 상기 각 워드 라인 전압 발생기들에 공통으로 연결된 레퍼런스 전압 발생기 및; 상기 출력 단자와 접지 전압에 연결되며, 데이터 독출 동작 전후에 스위치 온되는 제 1 리셋 트랜지스터로 구성되는 반도체 메모리 장치.

청구항 23

제 22 항에 있어서,

상기 각 워드 라인 전압 발생기는,

상기 출력 단자에 연결된 게이트, 접지된 일 전류 전극 및 상기 레퍼런스 전압 발생기에 연결된 다른 전류 전극을 가지며, 상기 각 메모리 셀의 드레슬드 전압들 중 하나로 설정되는 더미 셀과;

상기 더미 셀의 게이트와 상기 출력 단자 사이에 연결된 커플링 커패시터와;

상기 더미 셀의 다른 전류 전극에 연결되며, 상기 더미 셀이 도전되었는지의 여부를 검출하여 검출 결과에 따라 상기 출력 단자로 전류를 공급하는 검출 회로 및;

상기 더미 셀의 게이트와 접지 전압 사이에 연결되고 상기 데이터 독출 동작 전후에 스위치 온되는 제 2 리셋 트랜지스터를 포함하는 반도체 메모리 장치.

청구항 24

제 23 항에 있어서,

상기 각 워드 라인 전압 발생기는 접지된 게이트, 상기 레퍼런스 전압 발생기에 연결된 일 전류 전극 및 상기 더미 셀의 다른 전류 전극에 연결된 다른 전류 전극을 가지는 PMOS 트랜지스터를 부가적으로 포함하며, 상기 PMOS 트랜지스터의 구동 능력은 상기 더미 셀의 그것보다 작은 반도체 메모리 장치.

청구항 25

제 24 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안에 서로 동일하도록 상기 워드 라인 전압 발생기들의 커플링 커패시터들의 값들은 동일하게 설정되는 반도체 메모리 장치.

청구항 26

제 24 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안에 서로 다르도록 상기 워드 라인 전압 발생기들의 커플링 커패시터들의 값들은 다르게 설정되는 반도체 메모리 장치.

청구항 27

제 22 항에 있어서,

상기 각 워드 라인 전압 발생기는,

상기 출력 단자에 연결된 게이트, 접지된 일 전류 전극 및 상기 레퍼런스 전압 발생기에 연결된 다른 전류 전극을 가지며, 상기 각 메모리 셀의 드레슬드 전압들 중 하나로 설정되는 더미 셀과;

상기 더미 셀의 다른 전류 전극과 상기 레퍼런스 전압 발생기 사이에 연결된 저항 소자 및;

상기 더미 셀의 다른 전류 전극과 상기 저항 소자에 연결되며, 상기 더미 셀이 도전되었는지의 여부를 검출하여 검출 결과에 따라 상기 출력 단자로 전류를 공급하는 검출 회로를 포함하는 반도체 메모리 장치.

청구항 28

제 27 항에 있어서,

상기 저항 소자는 상기 레퍼런스 전압 발생기와 상기 더미 셀의 다른 전류 전극 사이에 형성되는 전류 통로 및 접지된 게이트를 가지는 트랜지스터로 구성되며, 상기 더미 셀의 전류 구동 능력은 상기 트랜지스터의 그것보다 작은 반도체 메모리 장치.

청구항 29

제 28 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안에 서로 동일하도록 상기 워드 라인 전압 발생기들의 저항 소자들의 값들은 동일하게 설정되는 반도체 메모리 장치.

청구항 30

제 28 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안에 서로 다르도록 상기 워드 라인 전압 발생기들의 저항 소자들의 값들은 다르게 설정되는 반도체 메모리 장치.

청구항 31

제 22 항에 있어서,

상기 각 워드 라인 전압 발생기는,

상기 출력 단자에 연결된 게이트, 접지된 일 전류 전극 및 레퍼런스 전압 발생기에 연결된 다른 전류 전극을 가지며, 상기 메모리 셀의 드레슬드 전압들 중 하나로 설정되는 더미 셀과;

상기 더미 셀의 게이트와 상기 출력 단자 사이에 연결되며, 상기 출력 단자의 전압을 분배하여 상기 분배된 전압을 상기 더미 셀의 게이트로 공급하는 전압 분배기 및;

상기 더미 셀의 다른 전류 전극에 연결되며, 상기 더미 셀이 도전되었는지의 여부를 검출하여 검출 결과에 따라 상기 출력 단자로 전류를 공급하는 검출 회로를 포함하는 반도체 메모리 장치.

청구항 32

제 31 항에 있어서,

상기 각 워드 라인 전압 발생기는 접지된 게이트, 상기 레퍼런스 전압 발생기에 연결된 일 전류 전극 및 상기 더미 셀의 다른 전류 전극에 연결된 다른 전류 전극을 가지는 PMOS 트랜지스터를 부가적으로 포함하며, 상기 PMOS 트랜지스터 전류 구동 능력은 상기 더미 셀의 그것보다 작은 반도체 메모리 장치.

청구항 33

제 32 항에 있어서,

상기 전압 분배기는,

상기 출력 단자에 연결된 일단과 상기 더미 셀의 게이트에 연결된 타단을 가지는 제 1 저항 소자와;

상기 더미 셀의 게이트 및 상기 제 1 저항 소자의 타단에 연결된 일단과 접지된 타단을 가지는 제 2 저항 소자 및;

상기 제 2 저항 소자의 타단과 접지 전압 사이에 연결되고 대응하는 센싱 구간 동안만 스위치 온되는 NMOS 트랜지스터를 포함하는 반도체 메모리 장치.

청구항 34

제 33 항에 있어서,

상기 각 워드 라인 전압 발생기의 제 1 저항 소자는 서로 동일한 값을 가지며, 제 2 저항 소자는 서로 다른 값을 가지는 반도체 메모리 장치.

청구항 35

제 23 항, 제 27 항 또는 제 31 항에 있어서,

상기 검출 회로는 전원 전압에 연결된 소오스와 서로 연결된 게이트 및 드레인을 가지는 제 1 PMOS 트랜지스터와; 상기 전원 전압에 연결된 소오스, 상기 제 1 PMOS 트랜지스터의 게이트에 연결된 게이트 및 상기 출력 단자에 연결된 드레인을 가지는 제 2 PMOS 트랜지스터와; 상기 전원 전압에 연결된 소오스, 상기 제 1 PMOS 트랜지스터의 드레인에 연결된 드레인 및 선택 신호를 받아들이는 게이트를 가지는 제 3 PMOS 트랜지스터와; 상기 제 1 PMOS 트랜지스터의 드레인에 연결된 드레인, 상기 레퍼런스 전압과 상기 더미 셀의 다른 전류 전극에 연결된 게이트 및 소오스를 가지는 제 1 NMOS 트랜지스터 및; 상기 제 1 NMOS 트랜지스터의 소오스에 연결된 드레인, 접지된 소오스 및 상기 선택 신호를 받아들이는 게이트를 가지는 제 2 NMOS 트랜지스터를 포함하며, 상기 제 1 및 제 2 PMOS 트랜지스터들은 전류 미러 회로로서 기능하는 반도체 메모리 장치.

청구항 36

각각이 적어도 2 비트의 정보를 나타내는 멀티-비트 데이터를 저장하고 게이트 및 전류 통로를 가지는 행들과 열들로 배열된 복수 개의 메모리 셀들과;

상기 메모리 셀들의 게이트들에 연결된 복수 개의 워드 라인들과;

상기 워드 라인들에 연결되며, 어드레스 신호에 따라 상기 워드 라인들 중 하나를 선택하는 행 디코더 회로 및;

상기 행 디코더 회로에 연결되며, 데이터 독출 동작 동안 선택된 메모리 셀로부터 데이터가 독출될 때 상기 선택된 워드 라인으로 인가될 다른 워드 라인 전압들을 발생하는 워드 라인 전압 발생 회로를 포함하며,

상기 워드 라인 전압 발생 회로는 상기 다른 워드 라인 전압들을 출력하기 위한 출력 단자와; 상기 다른 워드 라인 전압들을 각각 발생하는 복수 개의 워드 라인 전압 발생기들 및; 상기 출력 단자와 접지 전압에 연결되며, 데이터 독출 동작 전후에 스위치 온되는 제 1 리셋 트랜지스터로 구성되며; 그리고

상기 각 워드 라인 전압 발생기는 상기 출력 단자에 연결된 게이트, 접지된 일 전류 전극 및 상기 레퍼런스 전압을 받아들이는 다른 전류 전극을 가지며, 상기 각 메모리 셀의 드레슬드 전압들 중 하나로 설정되는 더미 셀과; 상기 더미 셀의 게이트와 상기 출력 단자 사이에 연결된 커플링 커패시터와; 상기 더미 셀의 다른 전류 전극에 연결되며, 상기 더미 셀이 도전되었는지의 여부를 검출하여 검출 결과에 따라 상기 출력 단자로 전류를 공급하는 검출 회로 및; 상기 더미 셀의 게이트와 접지 전압 사이에 연결되고 상기 데이터 독출 동작 전후에 스위치 온되는 제 2 리셋 트랜지스터로 구성되는 반도체 메모리 장치.

청구항 37

제 36 항에 있어서,

상기 각 워드 라인 전압 발생기는 접지된 게이트, 상기 레퍼런스 전압을 받아들이는 일 전류 전극 및 상기 더미 셀의 다른 전류 전극에 연결된 다른 전류 전극을 가지는 PMOS 트랜지스터를 부가적으로 포함하며, 상기 PMOS 트랜지스터의 구동 능력은 상기 더미 셀의 그것보다 작은 반도체 메모리 장치.

청구항 38

제 37 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안에 서로 동일하도록 상기 워드 라인 전압 발생기들의 커플링 커패시터들의 값들은 동일하게 설정되는 반도체 메모리 장치.

청구항 39

제 37 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안에 서로 다르도록 상기 워드 라인 전압 발생기들의 커플링 커패시터들의 값들은 다르게 설정되는 반도체 메모리 장치.

청구항 40

각각이 적어도 2 비트의 정보를 나타내는 멀티-비트 데이터를 저장하고 게이트 및 전류 통로를 가지는 행들과 열들로 배열된 복수 개의 메모리 셀들과;

상기 메모리 셀들의 게이트들에 연결된 복수 개의 워드 라인들과;

상기 워드 라인들에 연결되며, 어드레스 신호에 따라 상기 워드 라인들 중 하나를 선택하는 행 디코더 회로 및;

상기 행 디코더 회로에 연결되며, 데이터 독출 동작 동안 선택된 메모리 셀로부터 데이터가 독출될 때 상기 선택된 워드 라인으로 인가될 다른 워드 라인 전압들을 발생하는 워드 라인 전압 발생회로를 포함하며,

상기 워드 라인 전압 발생 회로는 상기 다른 워드 라인 전압들을 출력하기 위한 출력 단자와; 상기 다른 워드 라인 전압들을 각각 발생하는 복수 개의 워드 라인 전압 발생기들 및; 상기 출력 단자와 접지 전압에 연결되며, 데이터 독출 동작 전후에 스위치 온되는 리셋 트랜지스터로 구성되며; 그리고

상기 각 워드 라인 전압 발생기는 상기 출력 단자에 연결된 게이트, 접지된 일 전류 전극 및 레퍼런스 전압을 받아들이는 다른 전류 전극을 가지며, 상기 각 메모리 셀의 드레슬드 전압들 중 하나로 설정되는 더미 셀과; 상기 더미 셀의 다른 전류 전극과 상기 레퍼런스 전압 사이에 연결된 저항 소자 및; 상기 더미 셀의 다른 전류 전극과 상기 저항 소자에 연결되며, 상기 더미 셀이 도전되었는지의 여부를 검출하여 검출 결과에 따라 상기 출력 단자로 전류를 공급하는 검출 회로로 구성되는 반도체 메모리 장치.

청구항 41

제 40 항에 있어서,

상기 저항 소자는 상기 레퍼런스 전압과 상기 더미 셀의 다른 전류 전극 사이에 형성되는 전류 통로 및 접지된 게이트를 가지는 트랜지스터로 구성되며, 상기 더미 셀의 전류 구동 능력은 상기 트랜지스터의 그것보다 작은 반도체 메모리 장치.

청구항 42

제 41 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안에 서로 동일하도록 상기 워드 라인 전압 발생기들의 저항 소자들의 값들은 동일하게 설정되는 반도체 메모리 장치.

청구항 43

제 42 항에 있어서,

상기 메모리 셀의 셀 전류량이 상기 데이터 독출 동작의 각 센싱 구간 동안에 서로 다르도록 상기 워드 라인 전압 발생기들의 저항 소자들의 값들은 다르게 설정되는 반도체 메모리 장치.

청구항 44

각각이 적어도 2 비트의 정보를 나타내는 멀티-비트 데이터를 저장하고 게이트 및 전류 통로를 가지는 행들과 열들로 배열된 복수 개의 메모리 셀들과;

상기 메모리 셀들의 게이트들에 연결된 복수 개의 워드 라인들과;

상기 워드 라인들에 연결되며, 어드레스 신호에 따라 상기 워드 라인들 중 하나를 선택하는 행 디코더 회로 및;

상기 행 디코더 회로에 연결되며, 데이터 독출 동작 동안 선택된 메모리 셀로부터 데이터가 독출될 때 상기 선택된 워드 라인으로 인가될 다른 워드 라인 전압들을 발생하는 워드 라인 전압 발생회로를 포함하며,

상기 워드 라인 전압 발생 회로는 상기 다른 워드 라인 전압들을 출력하기 위한 출력 단자와; 상기 다른 워드 라인 전압들을 각각 발생하는 복수 개의 워드 라인 전압 발생기를 및; 상기 출력 단자와 접지 전압에 연결되며, 데이터 독출 동작 전후에 스위치 온되는 리셋 트랜지스터로 구성되며; 그리고

상기 각 워드 라인 전압 발생기는 상기 출력 단자에 연결된 게이트, 접지된 일 전류 전극 및 레퍼런스 전압을 받아들이는 다른 전류 전극을 가지며, 상기 메모리 셀의 드레슬드 전압들 중 하나로 설정되는 더미 셀과; 상기 더미 셀의 게이트와 상기 출력 단자 사이에 연결되며, 상기 출력 단자의 전압을 분배하여 상기 분배된 전압을 상기 더미 셀의 게이트로 공급하는 전압 분배기 및; 상기 더미 셀의 다른 전류 전극에 연결되며, 상기 더미 셀이 도전되었는지의 여부를 검출하여 검출 결과에 따라 상기 출력 단자로 전류를 공급하는 검출 회로로 구성되는 반도체 메모리 장치.

청구항 45

제 31 항에 있어서,

상기 각 워드 라인 전압 발생기는 접지된 게이트, 상기 레퍼런스 전압을 받아들이는 일 전류 전극 및 상기 더미 셀의 다른 전류 전극에 연결된 다른 전류 전극을 가지는 PMOS 트랜지스터를 부가적으로 포함하며, 상기 PMOS 트랜지스터 전류 구동 능력은 상기 더미 셀의 그것보다 작은 반도체 메모리 장치.

청구항 46

제 32 항에 있어서,

상기 전압 분배기는 상기 출력 단자에 연결된 일단과 상기 더미 셀의 게이트에 연결된 타단을 가지는 제 1 저항 소자와; 상기 더미 셀의 게이트 및 상기 제 1 저항 소자의 타단에 연결된 일단과 접지된 타단을 가지는 제 2 저항 소자 및; 상기 제 2 저항 소자의 타단과 접지 전압 사이에 연결되고 대응하는 센싱 구간 동안만 스위치 온되는 트랜지스터를 포함하는 반도체 메모리 장치.

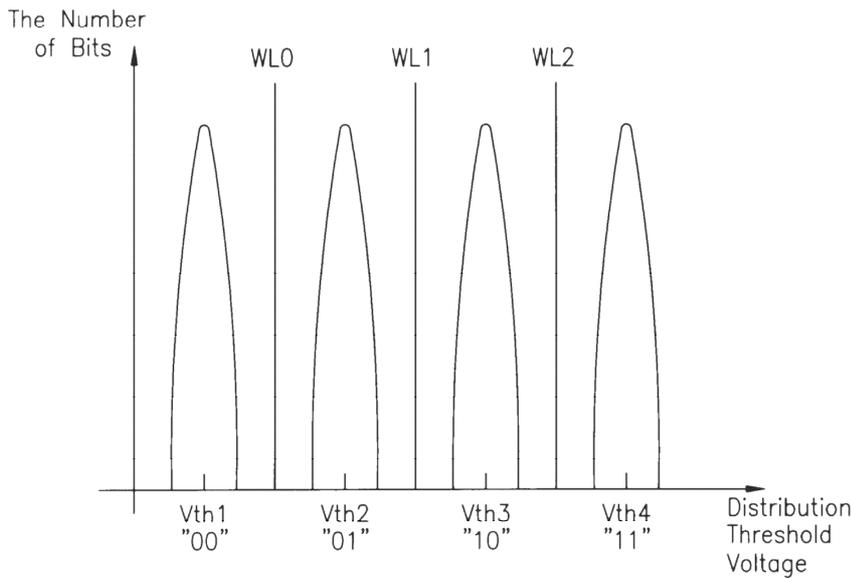
청구항 47

제 46 항에 있어서,

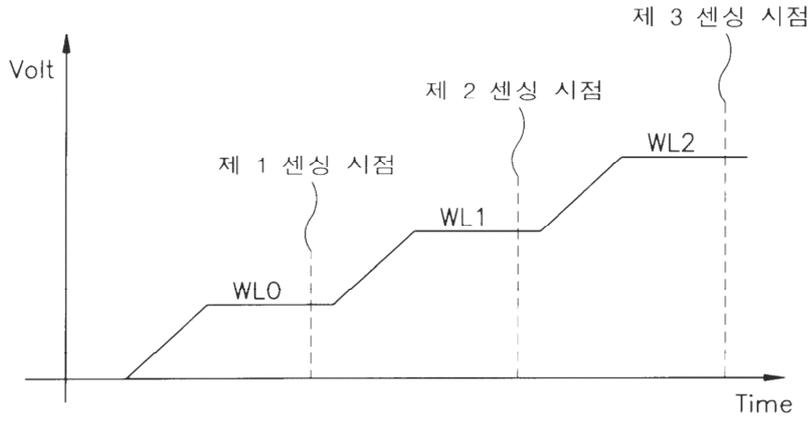
상기 각 워드 라인 전압 발생기의 제 1 저항 소자는 서로 동일한 값을 가지며, 제 2 저항 소자는 서로 다른 값을 가지는 반도체 메모리 장치.

도면

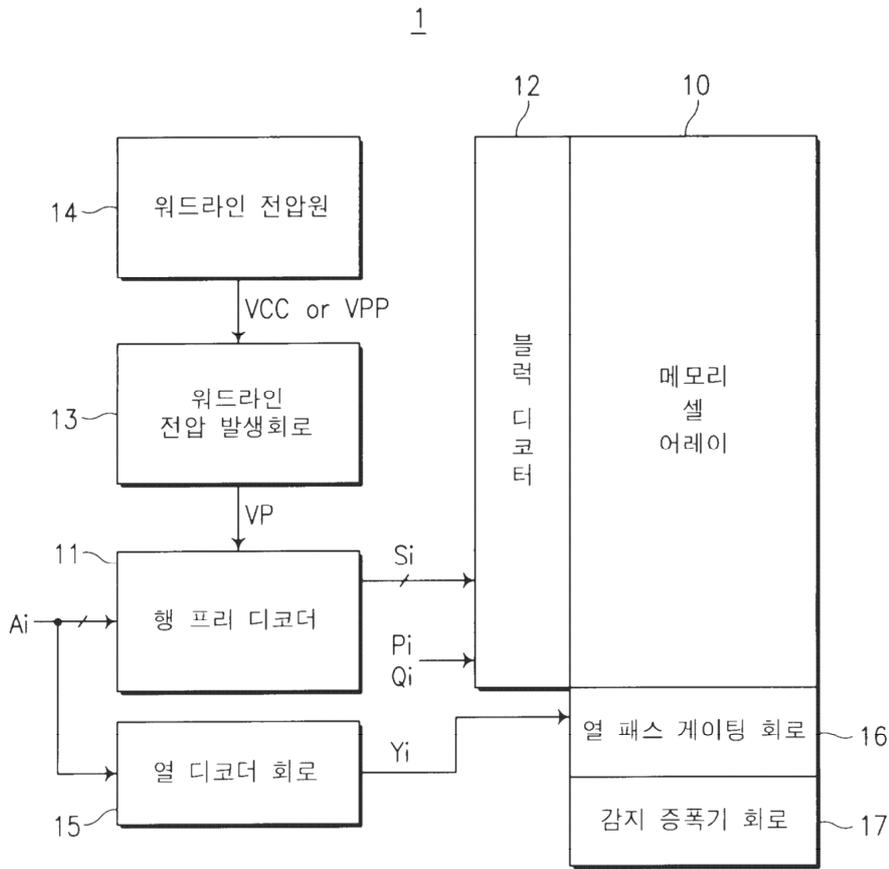
도면1



도면2

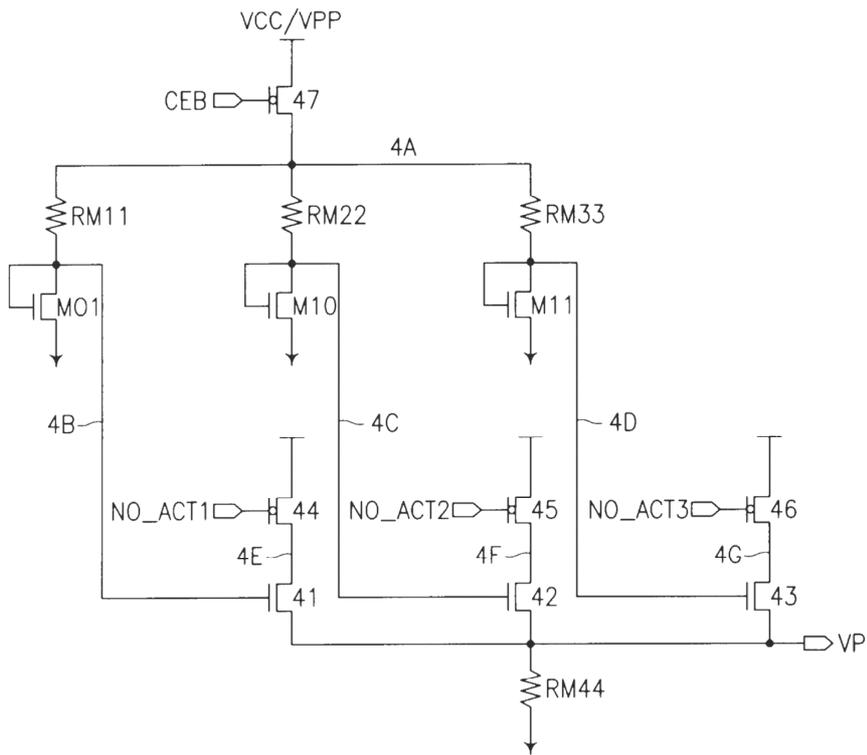


도면3



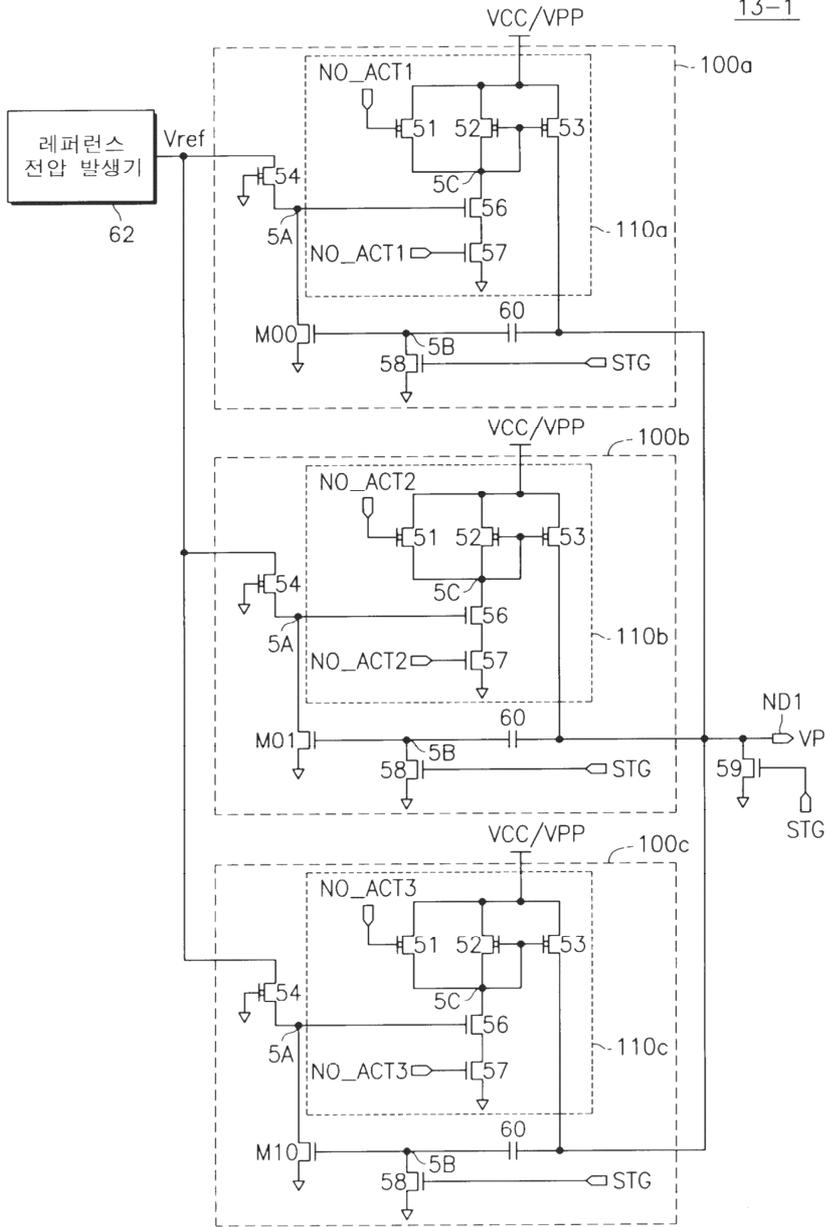
도면4

13

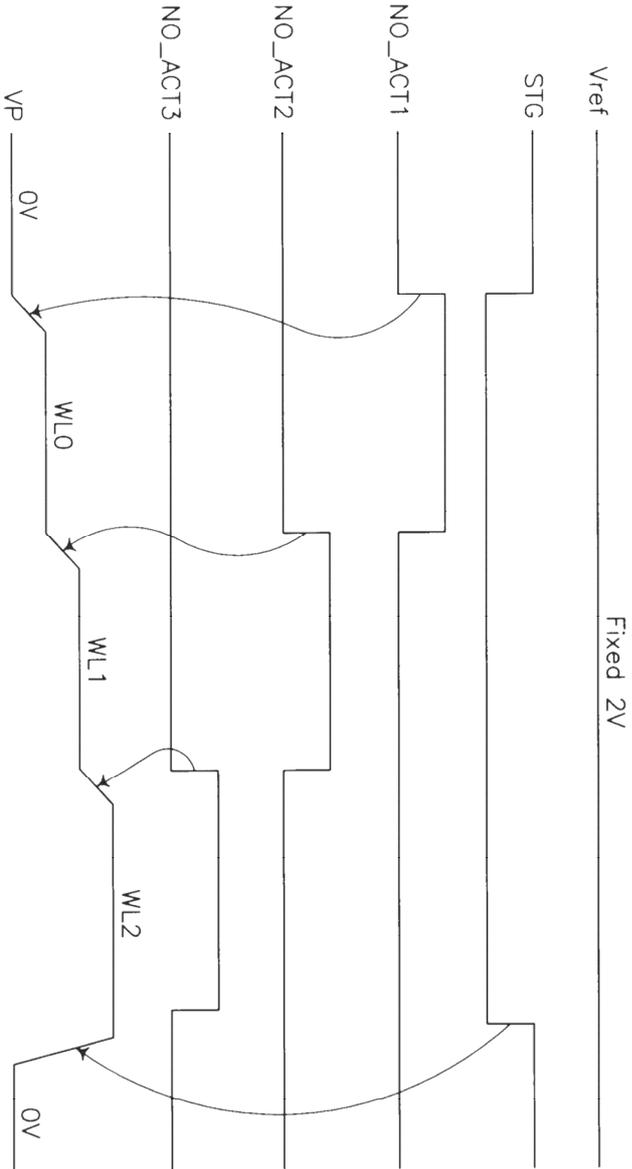


도면5

13-1



도면6



도면8

