(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
G11C 11/40

(45) 공고일자 1991년07월10일
(11) 공고번호 특1991-0004733

(21) 출원번호	특1987-0010293	(65) 공개번호	특1988-0004481
(22) 출원일자	1987년09월16일	(43) 공개일자	1988년06월07일

(30) 우선권주장 221019 1986년09월19일 일본(JP)

(71) 출원인 후지쓰 가부시끼가이샤 야마모도 다꾸마
일본국 가나가와껜 가와사끼시 나까하라구 가미고다나까 1015번지후지쓰 브이 엘 에스 아이 가부시기가이샤 나까노 히로유끼
일본국 아미찌껜 487 가수가이시 2쪼메 고조지쪼 1884-2

(72) 발명자 나가노 마사오
일본국 아이찌껜 487 가수가이시 주오다이 2-3-2 주오다이단찌 228-911
오히라 쓰요시
일본국 가나가와껜 211 가와사끼시 다가쓰구 시모사꾸노베 926 후도가오까 하이쓰 102
모찌주끼 히로히꼬
일본국 가나가와껜 213 가와사끼시 미야마에구 아리마 2393-1-401
고다마 유끼노리
일본국 가나가와껜 222 요꼬하마시 고호구구 기꾸나 7-3-38 메존기꾸나 301
노무라 히데노리
일본국 가나가와껜 227 요꼬하마시 미도리구 에다쪼 466-18 후지쓰-다이-이찌-에다-료

(74) 대리인 문병암

심사관 : 김영길 (책자공보 제2363호)

(54) 데이타 버스 리셋트 회로를 지닌 반도체 기억장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

데이타 버스 리셋트 회로를 지닌 반도체 기억장치

[도면의 간단한 설명]

제 1 도는 종래의 기억장치의 일예를 보인 시스템 블록도.

제 2 도는 종래의 기억장치의 데이타 버스 부분을 보인 등가회로도.

제 3 도는 데이타 버스쌍을 전원 전압으로 리셋트하기 위한 종래의 리셋트 회로의 일예를 보인 회로도.

제 4 도는 제 3 도에서 도시한 리셋트 회로를 사용한 종래의 기억장치의 리이드 동작을 설명하기 위한 타이밍도.

제 5 도는 데이타 버스쌍을 접지 전압으로 리셋트하기 위한 종래의 리셋트 회로의 일예를 보인 회로도.

제 6 도는 제 5 도에서 도시한 리셋트 회로를 사용한 종래의 기억장치의 리이드 동작을 설명하기 위한 타이밍도.

제 7 도는 본 발명에 따른 반도체 기억장치의 첫번째 실시예의 필요부분을 보인 회로도.

제 8 도는 제 7 도에서 도시한 기억장치의 첫번째 실시예의 리이드 동작을 설명하기 위한 타이밍도.

제 9 도는 본 발명에 따른 반도체 기억장치의 두번째 실시예의 필요부분을 보인 회로도.

[발명의 상세한 설명]

본 발명은 통상 반도체 기억장치들에 관한것이며, 특히 데이타 버스쌍에 연결된 리셋트 회로를 지닌 반도체 기억장치에 관한 것이다.

알려진 바와 같이 반도체 기억장치는 보통 메모리 셀 어레이, 워어드 라인들을 통하여 메모리 셀 어레이에 연결된 로우 디코우더, 로우 디코우더와 연결된 어드레스 버퍼, 버트라인쌍들을 통하여 메모리 셀 어레이에 연결된 센스 증폭기 및 입력/출력게이트, 센스 증폭기 및 입력/출력게이트에 연결된 컬럼디코우더, 컬럼디코우더에 연결된 어드레스 버퍼, 데이타 버스쌍을 통하여 센스 증폭기 및 입력/출력게이트에 연결된 입력 및 출력 버퍼등으로 이루어져 있다. 데이타 버스쌍은 각 리이드 동작전에 전원 전압 또는 접지 전압으로 리셋트된다.

데이타 버스쌍의 리셋트 전압이 전원 전압으로 셋트되는 경우에 있어서, 입력/출력게이트를 열고 닫는(즉, ON 및 OFF하는)클록신호의 전압이 입력/출력게이트를 이루는 트랜지스터들의 쓰레쉬홀드(threshold)전압과 비트 라인 전위와의 합을 초과할 때까지 입력/출력게이트 ON상태로 되지 아니한다. 그러나, 데이타 버스쌍의 리셋트 전압이 접지 전압으로 셋트되는 경우에 있어서는, 입력/출력게이트는 클록신호의 전압이 쓰레쉬홀드 전압 이상으로 될 때 ON상태로 되고, 입력/출력게이트가 ON상태로 되는 타이밍은 데이타 버스쌍의 리셋트 전압이 전원 전압으로 셋트되는 경우에 비하여 더 빠르다.

출력 버퍼는 데이타 버스쌍을 이루는 두 데이타 버스들 사이의 전위차를 증폭함으로써 읽어낸 데이타를 출력한다. 이러한 이유로, 데이타 버스쌍에서 전위차가 발생하는 데에는 시간이 걸리고, 출력버퍼가 읽어낸 데이타를 출력하는 데에는 더욱더 시간이 걸린다. 고속으로 동작하는 기억장치를 실현하기 위하여 비트 라인쌍과 데이타 버스쌍과의 사이의 데이타 전송속도를 높이는 것이 필요하다.

비트 라인쌍과 데이타 버스쌍과의 사이의 고속 데이타 전송을 실현하기 위하여, 데이타 버스쌍의 리셋트 전압을 접지 전압으로 셋트하는 것이 바람직스럽다. 그러나 리셋트 전압이 접지전압으로 셋트될 때, 클록신호 안으로 노이즈가 혼합되서 클록신호 전압이 쓰레쉬홀드 전압 이상으로 될 때에도 입력/출력게이트는 ON상태로 된다. 노이즈에 기인하여 입력/출력게이트가 ON상태로 되는 것은 순간적이지만, 그로 인하여 비트 라인쌍에서 전하 누출이 있다는 문제가 있다. 입력/출력게이트용 클록신호를 발생시키는 클록발생 회로의 접지선은 데이타 버스쌍을 리셋트하기 위한 리셋트 회로의 접지선과 다르고, 상대적으로 큰 전류가 클록 발생회로의 접지선에 흐를 때 노이즈가 발생되기 때문에, 클록 신호에서의 노이즈(또는 전압의 증가)는 피할 수가 없다.

따라서 지금까지 서술한 문제점들을 갖지 아니하는 기발하고 유용한 반도체 기억장치를 제공하는 것이 본 발명의 일반 목적이다.

소정의 전압을 데이타 버스쌍에 가함으로써 레싯트 클록신호에 응하여 데이타 버스쌍을 리셋트하기 위한 리셋트 회로를 포함하는 반도체 기억장치를 제공하는 것이 본 발명의 또 다른 특별한 목적이다. 이 소정의 저압은 비트 라인쌍을 데이타 버스쌍에 연결하도록 입력/출력게이트를 ON상태로 되게 하는 클록신호 안으로 혼합될 수 있는 노이즈의 최대 레벨에 의하여 결정된다.

본 발명의 반도체 기억장치에 따르면, 비트 라인쌍으로부터 데이타 버스쌍으로 데이타 전송을 고속으로 행할 수 있고, 그것으로서 반도체 기억장치의 액세스 타임을 짧게 할 수 있다는 것이다. 또한, 리셋트 회로가 정해진 전압을 데이타 버스쌍에 가하기 때문에 반도체 기억장치의 동작은 실제로 입력/출력게이트에 가해지는 클록신호안의 노이즈에 영향을 받지 아니한다.

메트릭스(matrix)형태 배열된 다수의 메모리 셀들로 이루어진 메모리 셀 어레이, 메모리 셀 어레이에 연결되어 있고, 메모리 셀들중 하나의 메모리 셀로부터 읽어낸 신호를 증폭하고 보수(complementary) 신호를 출력하는 한쌍의 출력단자를 가지는 센스 증폭기, 보수신호를 전송하는 한쌍의 데이타 버스, 리이드 동작에 응하여 출력단자쌍을 데이타쌍에 연결하는 전송 게이트, 출력신호를 출력하는 한쌍의 데이타 버스에 연결된 데이타 출력 버퍼, 리셋트 클록신호에 응하여 각 리이드 동작전에 한쌍의 데이타 버스를 소정의 전압으로 리셋트하는 리셋트 회로로 이루어진 반도체 기억장치를 제공하는 것이 본 발명의 다른 목적이다.

리셋트 회로는 리셋트 클록신호에 응하여 데이타 버스쌍을 공통 절점에 연결하며 데이타 버스쌍에 연결되어 있는 첫번째 회로, 공통절점에 있어서의 전위를 접지 전압보다 더 큰 소정의 전압으로 쉬프트하기 위한 접지 저압과 공통 절점 사이에 연결되어 있는 두번째 회로로 이루어져 있다.

본 발명의 다른 목적 및 양상들은 도면을 참조하여 상세히 서술되어지는 다음의 설명으로부터 명확해질 것이다.

제 1 도는 종래의 동적 랜덤 엑세스 메모리(DRAM)의 일예를 보인 것이다. DRAM은 일반적으로 메모리셀 10, 로우 디코우더 12, 컬럼 디코우더 14, 센스 증폭기 및 입력/출력게이트 16, 어드레스 버퍼 18 및 20, 데이타 입력 버퍼 22, 데이타 출력 버퍼 24, 클록 발생장치 26 및 28, 라이트 클록 발생장치 30, 리프레쉬(refresh)제어장치 32, 어드레스 카운터 34 및 도시된 바와 같이 연결되어 있는 AND회로 38, 바이어스 전압을 DRAM의 기판(도시되어 있지 않음)에 공급하는 기판 바이어스 발생 장치로 구성되어 있다.

제 1 도에서 $\overline{WE}$ 는 반전라이트인에이블신호를, Din은 입력 데이타(또는 라이트 인 데이타)을 나타낸다.

메모리 셀 어레이 10은 각기 워어드 라인 및 비트 라인에 연결되어 있는 메모리 셀들의 어레이로 구성되어 있다. 일반적으로, DRAM의 각 메모리 셀은 하나의 트랜지스터와 하나의 캐패시터로 이루어져 있으며, 트랜지스터의 드레인은 비트 라인에 연결되어 있고 트랜지스터의 게이트는 워어드라인에 연결되어 있다.

워어드 라인이 로우 디코우더 12에 의하여 선택될 때 선택된 워어드 라인에 연결되어 있는 모든 메모리 셀들의 트랜지스터들은 ON상태로 되고, 이들 메모리 셀들의 캐패시터들은 비트 라인들에 연결되어 있다. 결과적으로, 각 비트 라인에 있어서의 전위는 메모리 셀의 관련 캐패시터(정보를 저장하는)의 전하에 따라 변화된다.

제 2 도에 하나의 비트 라인쌍에 대한 종래의 기억장치의 데이타 버스 부분의 등가 회로도이다. 메모리 셀 MC는 워어드 라인 WL과 비트라인 BL 또는 $\overline{BL}$ 에 연결되어 있다. 각 리이드 동작전에 비트 라인 BL 및 $\overline{BL}$ 은 Vcc/2로 미리 충전되어 있다.

여기에서 Vcc는 전원 전압을 의미한다. 센스 증폭기 SA는 클록신호 ψ_s에 응하여 저장된 정보가 메모리 셀 MC로부터 읽혀지는 비트 라인 BL과 $\overline{BL}$ 사이의 전위차를 감지하여 증폭한다. 센스 증폭기 SA는 도시된 바와 같이 플립-플롭을 형성하도록 연결된 두개의 P채널 트랜지스터 Tr1 및 Tr2세개의 N채널 트랜지스터 Tr3, Tr4 및 Tr5로 이루어져 있고, 클록신호 ψ_s에 응하여 트랜지스터 Tr5가 ON상태로 될 때 센스 증폭기 SA가 활성화된다.

결과적으로 하이 레벨을 가지는 비트 라인 BL 및 $\overline{BL}$ 중의 하나가 전원 전압 Vcc롤 풀-업되는 반면에, 다른 하나는 접지 전압 Vss롤 풀-다운 된다.

컬럼 디코우더 14에 의하여 선택되는 입력/출력게이트 I/O는 클록신호 ϕ_T에 응하여 ON상태로 되고, 비트 라인 BL 및 $\overline{BL}$ 에 의하여 구성된 비트 라인쌍을 통하여 얻어진 센스 증폭기 SA의 출력은 데이타 버스 DB 및 $\overline{DB}$ 에 의하여 구성된 데이타 버스쌍에 공급되어진다. 다시 말해서, 입력/출력게이트 I/O가 ON 상태로 될 대 I/O는 비트 라인쌍을 데이타 버스쌍에 연결해 주, OFF상태로 될 때 데이타 버스쌍으로부터 비트 라인쌍으로의 연결을 차단한다. 데이타 버스쌍의 데이타(보수신호)는 데이타 출력 버퍼 24를 통하여 리이드 아웃트(read-out)데이타 Dout로서 읽어내어진다. 입력/출력게이트 I/O는 한쌍의 n채널 트랜지스터 Tr6 및 Tr7(전송 게이트들)로 구성되어 있고, 그들 각각은 비트 라인 BL 및 $\overline{BL}$ 에 각각 연결되어 있다. 센스 증폭기 SA 및 입력/출력게이트 I/O는 하나의 비트 라인에 대한 센스 증폭기 및 입력/출력 게이트 16으로 이루어져 있다.

데이타 버스쌍은 DRAM의 반도체 칩의 긴측의 폭의 반 또는 전체 길이를 갖는다. 그러므로 데이타 버스쌍은 제 2 도에서 점선에 의하여 지시된 등가회로에 의하여 서술될 수 있고, 제 2 도의 RC회로는 분포 저항 R 및 기행 캐패시터 C로 구성되어 있다. 데이타가 메모리 셀 MC로부터 읽어내어질 때 데이타 버스쌍 중의 한 데이타 버스쌍에 있어서의 전위는 하이가 되는 반면에, 다른 하나는 로우(Low)가 된다. 다음 데이타를 읽기전에 데이타 버스쌍은 리셋트 클록신호 ψ_R(또는 $\overline{\phi_R}$)에 응하여 동작하는 리셋트 회로 40에 의하여 전원 전압 Vcc 및, 접지 전압 또는 전원 전압과 접지 전압 범위내에 있는 소정의 전압으로 리셋트되고, 관련 비트 라인 BL 및 $\overline{BL}$ 에서의 전위에 따라 데이타 버스 DB 및 $\overline{DB}$가 각기 하이 레벨과 로우 레벨을 취하도록 리셋트 데이타 버스쌍이 비트 라인쌍에 연결되어진다.

제 3 도는 데이타 버스쌍을 전원 전압 Vcc로 리셋트하기 위한 리셋트 회로 40A의 일예를 보인 것이다. 제 3 도에서, 제 2 도와 같은 동일 부분들은 제 2 도와 같은 동일 참조 번호들을 부여하였고, 그에 대한 설명은 하지 않을것이다. 리셋트 회로 40A는 리셋트 클록신호 $\overline{\phi_R}$ 에 응하여 ON상태로 되는 P 채널 트랜지스터 Tr8 및 Tr9로 이루어져 있다. 그러므로 데이타 버스 DB 및 $\overline{DB}$는 제 4 도에 도시된 바와 같이 리셋트 클록신호 $\overline{O_R}$에 응하여 전원 전압 Vcc로 리셋트된다.

제 4 도는 리셋트 회로 40A를 사용할 때 리이드 동작 동안에 신호 파형들을 도시한 타이밍도이다. 반전 로우 어드레스 스트로브(strobe) $\overline{RAS}$가 제 1 도에 도시된 클록 발생장치 26에 가하여질때 클록 발생장치 26은 내부 클록신호 ψ_1을 발생한다. 어드레스 버퍼 20 및 로우 디코우더 12는 내부 클록신호 ψ_1에 응하여 동작을 하고, 제 2 도에서 도시한 워어드 라인 WL이 선택된다. 제 4 도에서 비트 라인쌍의 프리차아지(precharge)레벨은 Vcc/2로 세트되어 있다. 메모리 셀 MC의 캐패시터는 저장된 정보에 따라 비트 라인 BL의 전하를 충전하거나 방전하고, 시간 T1 및 그 이후에서 비트 라인 BL과 $\overline{BL}$과의 사이에서 전위차가 발생한다. 내부 클록신호 ψ_1은 로우레벨 반전 컬럼 어드레스 스트로브 $\overline{CAS}$로 인하여 오픈하는 AND회로를 통과하여 클록 발생장치 28에 공급한다. 클록 발생장치 28은 시간 T2 및 그후에 상승하는 상승 클록신호 ϕ_s를 발생하고, 센스 증폭기 SA 및 입력/출력게이트 16은 클록신호 ψ_s에 응하여 활성화된다. 그러므로 이 예에서 제 4 도에서 도시한 바와 같이 센스 증폭기 SA는 비트 라인 BL에 있어서의 전위를 전원 전압 Vcc로 풀-업하고 비트 라인 $\overline{BL}$에 있어서의 전위를 전지 전압 Vss로 풀-다운한다.

클록신호 ψ_s는 클록 발생장치 28로 부터 컬럼 디코우더 14에 공급되고, 컬럼 디코우더 14는 어드레스 버

퍼 18로부터 어드레스에 따라 클록신호 ϕ_T을 발생한다. 전술한 바와 같이 클록신호 ϕ_T는 선택된 입력/출력게이트 I/O(즉, 트랜지스터 Tr6 및 Tr7)를 ON상태로 만들때에 사용된다. N채널 금속 산화 반도체(MOS)트랜지스터들이 트랜지스터 Tr6 및 Tr7 에 사용된다면, 게이트 전위들(즉, 클록신호 ϕ_T)이 각각의 소오스 전위들(즉, 비트 라인 BL 및 $\overline{BL}$에 있어서의 전위)보다 더 높은 Vth가 될 때 트랜지스터 Tr6 및 Tr7은 비트 라인쌍을 데이타 버스쌍에 연결하기 위하여 ON상태로 된다. 여기에서, Vth는 트랜지스터 Tr6 및 Tr7의 쓰레쉬홀드 전압을 나타낸다. 제 4 도에서 클록신호 ϕ_T는 시간 T3에서 비트 라인 BL에 있어서의 전위보다 Vth만큼 더 높고, 클록신호 ϕ_T는 시간 T4에서 비트 라인 BL에 있어서의 전위보다 Vth만큼 더 높다. 따라서 데이타 버스 DB와 DB사이의 전위차는 제 4 도에서 도시한 바와 같이 시간 T4 및 그 이후에서 일어난다.

제 5 도는 데이타 버스쌍을 접지 전압 Vss로 리셋트하기 위한 리셋트 회로 40B의 일예를 보인 것이다.

제 5 도에서, 제 3 도와 같은 동일 부분들은 제 3 도와 같은 동일 참조 번호들은 부여하였고, 그에 대한 설명을 하지 않을 것이다. 리셋트 회로 40B에 따르면, 데이타 버스 DB 및 $\overline{BL}$는 제 6 도에서 도시한 바와 같이 리셋트 클록신호 ϕ_R에 응하여 접지 전압 Vss로 리셋트 한다.

제 6 도는 리셋트 회로 40B를 사용할 때 리드 동작동안에 신호 파형들을 도시한 타이밍도이다.

이 경우에서 비트 라인쌍의 프리차아지 레벨은 Vcc/2이다. 클록신호 ϕ_T이 상승할 때 비트 라인 BL과 $\overline{BL}$과의 사이는 전위차는 시간 T1 그 이후에서 일어나고, 센스 증폭기 SA는 시간 T2 및 그 이후에서 비트 라인 BL과 $\overline{BL}$과의 사이의 전위차를 증폭하기 시작한다.

이 경우에서, 비트 라인 BL은 전원 전압 Vcc로 풀-업하는 반면에 비트 라인 $\overline{BL}$은 접지 전압 Vss로 풀-다운한다. 입력/출력게이트 I/O의 트랜지스터 Tr6 및 Tr7은 시간 T5에서 클록신호 ϕ_R에 응하여 ON상태로 되고 비트 라인 쌍은 데이타 버스쌍에 연결된다. 결과적으로 데이타 버스 DB는 비트 라인 BL에 의하여 전원 전압으로 풀-업된다. 다른 한편, 데이타 버스 $\overline{DB}$ 는 비트 라인 $\overline{BL}$에 의하여 우선 약간 풀업되지만 그 이후에는 비트 라인 $\overline{BL}$에 의하여 접지 전압 Vss로 풀-다운된다.

제 4 도 및 제 6 도를 보면, 데이타 버스쌍의 전위 변화는 제 4 도에서의 시간 T3으로부터 시작한다.

다시 말해서, 제 4 도에서 도시한 경우에서 입력/출력게이트 I/O는 클록신호 ϕ_T가 비트 라인 $\overline{BL}$에 있어서의 전위와 쓰레쉬홀드 전압 Vth의 합보다 크거나 같게 될 때까지 ON상태로 되지 아니하지만, 입력/출력게이트 I/O는 클록신호 ϕ_T가 제 6 도에서 도시한 경우에서 쓸레쉬홀드 전압 Vth보다 크거나 같게 될 때 ON상태로 된다. 그러므로 제 6 도에서 도시한 경우에서, 데이타 버스쌍의 전위 변화는 시간 T3전에 일어나는 시간 T5에서 시작한다.

데이타 출력버퍼 24는 데이타 버스쌍을 이루는 데이타 버스 DB와 $\overline{DB}$ 와의 사이의 전위차를 증폭함으로써 리이드-아웃트 데이타 Dout를 출력한다. 이러한 이유로, 데이타 버스쌍에서 전위차가 발생하는데에 시간이 걸릴때 출력데이타 버스 24가 리이드-아웃트 데이타 Dout를 출력하는데 오랜시간이 걸린다. 고속으로 동작하는 기억장치를 실현하기 위하여 비트 라인쌍과 데이타 버스쌍사이의 데이타 전송속도를 높이는 것이 필요하다.

비트 라인쌍과 데이타 버스쌍과의 고속 데이타 전송을 실현하기 위하여 데이타 버스쌍의 리셋트 전압을 제 5 도에 도시된 경우에서와 같이 접지전압 Vss로 고정시키는 것이 바람직스럽다. 그러나, 리셋트 전압이 접지전압 Vss로 셋트될 때 입력/출력게이트 I/O는 노이즈가 클록신호 ϕ_T가 쓰레쉬홀드 전압 Vth이상으로 될 때에도 또한 ON상태로 된다. 노이즈로 인하여 순간적으로 입력/출력게이트 I/O가 ON상태로 되는 것은 순간적이지만, 그것으로서 비트 라인쌍에서 전하 누출이 있을지 모른다는 문제점이 있다.

입력/출력게이트 I/O에 대한 클록신호 ϕ_T를 발생하는 클록 발생회로(도시되어 있지 않음)의 접지라인은 데이타 버스쌍을 리셋트하기 위한 리셋트 회로 40B의 접지라인과 다르고 또한, 상대적으로 큰 전류가 클록 발생회로의 접지라인에 흐를때 노이즈가 발생되기 때문에 클록신호 ϕ_T에서의 노이즈(또는 전압 상승)를 피할 수가 없다.

본 발명은 데이타 버스쌍을 클록신호 ϕ_T안으로 혼합될 수도 있는 노이즈의 최대레벨에 의하여 결정되는 소정의 전압으로 리셋트하는 리셋트 회로를 사용함으로써 종래의 기억장치의 문제점들을 제거하는 것이다.

제 7 도는 본 발명에 따른 반도체 기억장치의 첫번째 실시예의 필요부분을 보인 것이다. 제 7 도에서, 제 2 도와 같은 동일 부분들은 제 2 도와 같은 동일 참조 번호들을 부여하였고, 그에 대한 설명은 하지 않을 것이다.

본 실시예에서, 리셋트 회로 50은 N 채널 트랜지스터 Tr8 및 Tr9와 N채널 트랜지스트 Tr10으로 구성되어 있다. 트랜지스터 Tr10은 접지와 트랜지스터 Tr8 및 Tr9의 소오스들 사이에 연결되어 있다.

본 실시예에 따르면, 데이타 버스 DB 및 $\overline{DB}$ 는 트랜지스터 Tr8 및 Tr9가 클록신호 ϕ_R에 응하여 ON상

태로 될 때 트랜지스터 Tr10을 거쳐서 접지에 연결되어지고, 이렇게 하여 데이타 버스 DB 및 DB는 트랜지스터 Tr10의 쓰레쉬홀드 Vth_1으로 리셋트된다. 데이타 버스쌍의 쓰레쉬홀드 전압 Vth_1으로 리셋트 될 때, 입력/출력게이트 I/O는 노이즈 레벨이 $Vth+Vth_1$1내에 있는 한 노이즈가 클록신호 ϕ_r안으로 혼합될 때라도 입력/출력게이트 I/O는 ON되지 않을 것이다. 결과적으로, 클록신호 안의 노이즈로 인한 비트 라인 BL 및 $\overline{BL}$ 에서의 전하의 누출을 방지할 수 있다.

제 8 도는 리셋트 회로 50을 사용할 때 리이드 동작 동안에 신호 파형을 보인 타이밍도이다. 이 경우에도 비트 라인쌍의 프리차아지 레벨은 Vcc/2이다.

클록신호 Ψ_1이 상승할 때 비트 라인 BL과 $\overline{BL}$ 와의 사이의 전위차는 시간 T1 및 그 이후에서 발생하고, 센스 증폭기 SA는 시간 T2 및 그 이후에서 비트 라인 BL과 $\overline{BL}$ 와의 사이의 전위차를 증폭하기 시작한다. 이 경우에서, 비트 라인 BL은 전원 전압 Vcc 풀-업되는 반면에, 비트 라인 $\overline{BL}$ 은 접지 전압 Vss으로 풀-다운된다. 또 입력/출력게이트 I/O의 트랜지스터 Tr6 및 Tr7은 클록신호 Ψ_r에 응하여 시간 T6에서 ON상태로 되고, 비트 라인쌍은 데이타 버스쌍에 연결되어진다. 결과적으로, 데이타 버스 DB는 비트라인 BL에 의하여 전원 전압 Vcc로 풀-업된다. 다른 한편, 데이타 버스 $\overline{DB}$ 는 처음에는 비트 라인 $\overline{BL}$ 에 의하여 약간 풀-업되지만, 그 이후에는 비트 라인 $\overline{BL}$ 에 의하여 접지 전압 Vss 풀-다운된다. 제 8 도 및 제 6 도를 보면, 데이타 버스쌍에서 전위 변화는 시간 T5후에 발생하는 제 8 도에서의 시간 T6으로부터 시작 한다.

제 9 도는 본 발명에 따른 반도체 기억장치의 두번째 실시예의 필요부분을 보인 것이다. 제 9 도에서 입력/출력게이트 I/O, 센스 증폭기 SA 등에 대하여서는 설명하지 아니하고, 제 7 도와 같은 동일 부분들은 제 7 도와 같은 동일 참조 번호들을 부여하였다. 제 9 도에서 리셋트 회로 60은 N채널 트랜지스터 Tr8 및 Tr9와, N채널 트랜지스터 Tr10 및 Tr11으로 이루어져 있다. 트랜지스터 Tr11 및 Tr10은 접지와, 트랜지스터 Tr8 및 Tr9의 소모스들과의 사이에 직렬로 연결되어 있다.

본 실시예에 따르면, 데이타 버스 DB 및 $\overline{DB}$ 는 트랜지스터 Tr8 및 Tr9가 클록신호 ΨR에 응하며 ON상태로 될때 트랜지스터에 Tr10 및 Tr11을 거쳐서 접지에 연결되어 있고, 이렇게 데이타 버스 DB 및 DB는 트랜지스터 Tr10 및 Tr11의 쓰레쉬홀드 전압 Vth_1의 합, 즉 $2Vth_1$으로 리셋트된다. 데이타 버스쌍이 전압 $2Vth_1$로 리셋트될 때 입력/출력게이트 I/O는노이즈가 클록신호 ϕ_T 안으로 혼입될 때라도 노이즈 레벨이 $Vth+2Vth_1$내에 있는 한 ON상태로 되지 않을 것이다. 결과적으로, 클록신호 ϕ_T안의 노이즈로 인한 비트 라인 BL 및 $\overline{BL}$ 에서의 전하의 누출을 방지할 수 있다. 비트 라인쌍을 데이타 버스쌍에 연결하는 것은 첫번째 실시예와 비교하여 느리고, 비트 라인쌍은 단지 클록신호 ϕ_T가 첫번째 실시에에서 요구된 신호 양보다 더 큰 양으로 상승한 후에 데이타 버스쌍에 연결되어진다.

본 분야에서 통상의 지식 가진 자라면 제 8 도로부터 그 동작을 쉽게 이해할 수 있기 때문에 두번째 실시예에서의 리이드 동작을 설명하는 타이밍도는 도시하지 않는다.

첫번째 실시예에서의 트랜지스터 Tr10과 두번째 실시예에서의 트랜지스터 Tr10 및 Tr11은 접지 전압으로부터 정해진 전압으로 쉬프트시키고 데이타 버스 DB 및 $\overline{DB}$ 의 리셋트 전압을 접지 전압 Vss보다 크고 전원 전압 Vcc보다 작은 정해진 전압으로 셋트하기 위한 레벨쉬프트 회로를 이룬다. 트랜지스터 Tr10의 쓰레쉬홀드 전압과 트랜지스터 Tr11의 쓰레쉬홀드 전압과 꼭같을 필요는 없다.

데이타 버스쌍의 리셋트 전압은 가능한한 작은 전압으로 셋트하는 것이 좋지만, 입력/출력게이트 I/O가 클록신호 ϕ_T에 있는 노이즈에 응하여 ON상태로 되는 것을 막을 만큼 충분히 커야 한다. 그러므로 리셋트 전압은 클록신호 ϕ_T안으로 혼합되는 노이즈의 최대 레벨에 따라 결정되어야 하고, 리셋트 전압은 첫번째 및 두번째 실시예에서처럼 Vth_1 또는 $2Vth_1$으로 셋트될 때 리셋트 회로의 회로구성을 간단하게 만들 수 있다. 다시 말해서, 접지와 트랜지스터 Tr8 및 Tr9의 소오스들과의 사이에 단지 하나 또는 두개의 MOS 트랜지스터만 연결하면 되나, 리셋트 전압이 다른 전압으로 셋트될 때는 전압 분배 회로등을 사용해야 하며 리셋트 회로의 구성은 서술한 실시예의 회로 구성과 비교하여 복잡하게 된다.

비트 라인 BL과 BL과의 사이의 전위차가 안정하게 될 때까지 클록신호가 상승하지 아니하는 기억장치에 대하여 본 발명은 효과적이 아니다. 그러나, 고속으로 동작하는 기억장치를 실현하기 위하여 비트 라인 BL과 BL과의 사이의 전위차가 안정하게 되기전에 클록신호 ϕ_T는 자연적으로 상승하게 되고, 따라서 본 발명은 고속으로 동작하는 그러한 기억장치에 대하여 효과적일 것이다.

또한, 본 발명은 이들 실시예들에 제한하지 아니하며, 본 발명의 범위내에서 다양한 변화와 수정이 행하여질 수 있다.

(57) 청구의 범위

청구항 1

반도체 기억장치에 있어서, 메트릭스 형태로 배열된 다수의 메모리 셀들로 이루어진 메모리 셀 어레이, 상기 메모리 셀 어레이에 연결되어지고, 상기 메모리 셀들중의 하나의 메모리 셀로부터 읽어낸 신호를 증폭하고, 보수신호를 출력하기 위한 한쌍의 출력단자를 지닌 센스 증폭기, 보수신호를 전송하기 위한 한쌍의 데이타 버스, 리이드 동작에 응하여 상기 한쌍의 출력단자를 상기 한쌍의 데이타 버스에 연결하기 위한 전송 게이트, 출력신호를 출력하기 위하여 상기 한쌍의 데이타 버스에 연결되어 있는 데이타 출력 버퍼 및 리셋트 클록신호에 응하여 각 리이드 동작전에 상기 한쌍의 데이타 버스를 소정의 전압에 리셋트하기 위한 리셋트 회로를 구비하며, 상기 리셋트 회로는 상기 리셋트 클록신호에 응하여 상기 한쌍의 데이타 버스를 공통절점에 연결하기 위한 상기 한쌍의 데이타 버스에 연결되어 있는 첫번째 회로와, 상기 공통 절점의 전위를 접지 전압보다 더 큰 상기 소정의 전압으로 쉬프트 시키기 위하여 상기 공통절점과 상기 접지 전압사이에 연결되어 있는 두번째 회로로 이루어진 것을 특징으로 하는 반도체 기억장치.

청구항 2

제 1 항에 있어서, 상기 첫번째 회로는 상기 한쌍의 데이타버스중의 하나와 공통절점과의 사이에 연결되어 있는 첫번째 트랜지스터 및 상기 한쌍의 데이타 버스중의 다른 하나와 상기 공통 절점과의 사이에 연결되어 있는 두번째 트랜지스터로 이루어지며, 상기 첫번째 및 두번째 트랜지스터는 상기 리셋트 클록신호에 응하여 ON/OFF상태로 제어되고, 상기 두번째 회로는 상기 공통 절점과 상기 접지 전압과의 사이에 연결되어 있는 세번째 트랜지스터로 구성되며, 상기 세번째 트랜지스터는, 상기 공통절점에 있어서의 전위에 응하여 ON/OFF상태로 제어되고 상기 소정의 전압은 상기 세번째 트랜지스터의 쓰레쉬홀드 전압에 의하여 결정되는 것을 특징으로 하는 반도체 메모리장치.

청구항 3

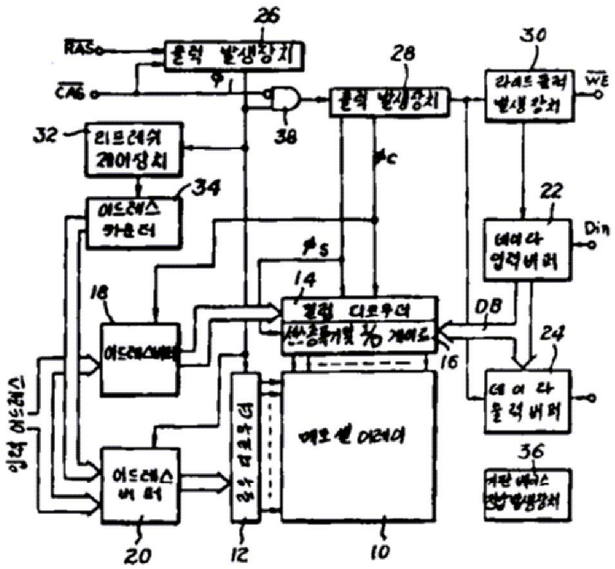
제 1 항에 있어서, 상기 첫번째 회로가 상기 한쌍의 데이타 버스중의 하나와 공통 절점과의 사이에 연결되어 있는 첫번째 트랜지스터 및, 상기 한쌍의 데이타 버스중의 다른 하나와 상기 공통 절점과의 사이에 연결되어 있는 두번째 트랜지스터로 이루어지며, 상기 첫번째 및 두번째 트랜지스터는 상기 리셋트 클록신호에 응하여 ON/OFF 상태로 제어되고, 상기 두번째 회로는 상기 공통 절점과 상기 접지 전압과의 사이에 연결되어 있는 세번째 및 네번째 트랜지스터로 이루어지며, 상기 세번째 및 네번째 트랜지스터는 상기 공통절점에 있어서의 전위에 응하여 ON/OFF상태로 제어되고, 상기 소정의 전압은 상기 세번째 트랜지스터의 쓰레쉬홀드 전압과 상기 네번째 트랜지스터의 쓰레쉬홀드 전압과의 합에 의하여 결정되는 것을 특징으로 하는 반도체 기억장치.

청구항 4

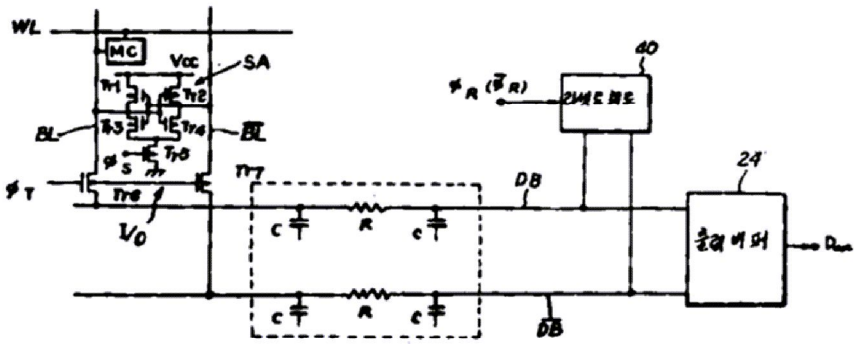
제 1 항에 있어서, 상기 전송게이트는 클록신호에 응하여 상기 한쌍의 출력단자를 상기 한쌍의 데이타 버스에 연결하고, 상기 클록신호 안으로 혼합될 수 있는 노이즈의 최대 레벨이 상기 정해진 전압과 상기 전송 게이트를 이루는 트랜지스터들의 쓰레쉬홀드 전압의 합보다 작도록 상기 소정의 전압이 결정되는 것을 특징으로 하는 반도체 기억장치.

도면

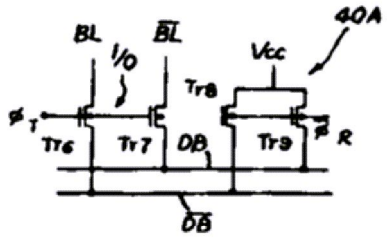
도면1



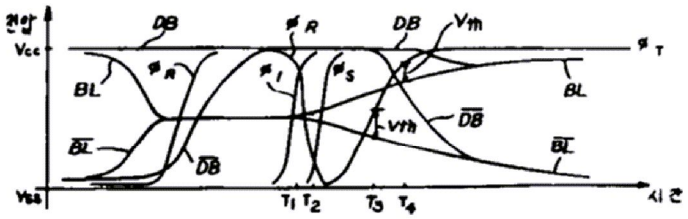
도면2



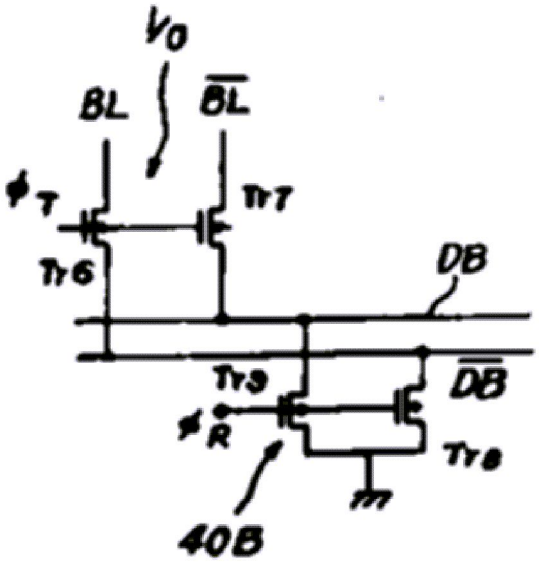
도면3



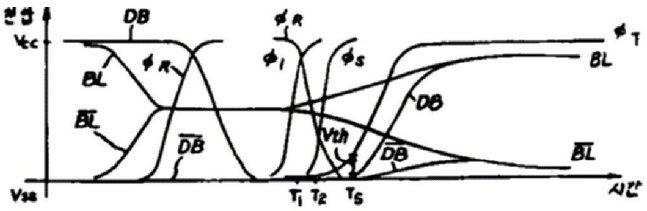
도면4



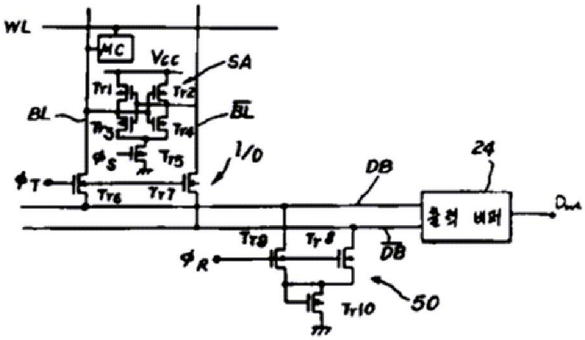
도면5



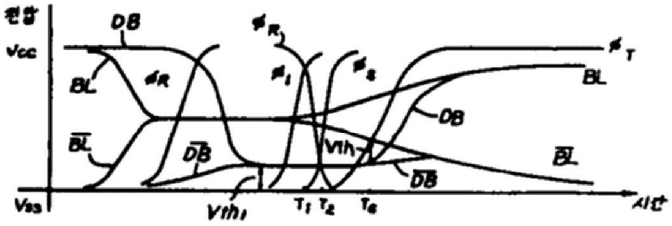
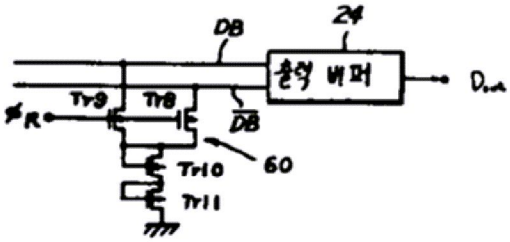
도면6



도면7



도면8



도면9