

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6099986号
(P6099986)

(45) 発行日 平成29年3月22日 (2017.3.22)

(24) 登録日 平成29年3月3日 (2017.3.3)

(51) Int.Cl.		F I			
HO 1 L	27/06	(2006.01)	HO 1 L	27/06	3 1 1 C
HO 1 L	21/8234	(2006.01)	HO 1 L	27/08	1 0 2 D
HO 1 L	27/088	(2006.01)	HO 1 L	27/04	H
HO 1 L	21/822	(2006.01)	HO 1 L	27/04	D
HO 1 L	27/04	(2006.01)			

請求項の数 3 (全 6 頁)

(21) 出願番号	特願2013-7153 (P2013-7153)	(73) 特許権者	715010864 エスアイアイ・セミコンダクタ株式会社 千葉県千葉市美浜区中瀬一丁目8番地
(22) 出願日	平成25年1月18日 (2013.1.18)	(72) 発明者	島崎 洸一 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
(65) 公開番号	特開2014-138146 (P2014-138146A)	(72) 発明者	廣瀬 嘉胤 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
(43) 公開日	平成26年7月28日 (2014.7.28)	審査官	岩本 勉
審査請求日	平成27年11月6日 (2015.11.6)	(56) 参考文献	特開2013-008715 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

E S D保護回路用のN M O Sトランジスタを備える半導体装置であって、
交互に配置された複数のソース及び複数のドレイン、前記ソースと前記ドレインとの間に形成された複数の偶数のチャンネル、前記複数の偶数のチャンネルの上に設けられた複数のゲート、及び、前記複数のソースの中で最も端の前記複数のソースの近傍に配置されたバックゲートを備える前記N M O Sトランジスタと、

外部接続用の接地電圧パッドに電氣的に接続された接地電圧配線と、

外部接続用の入力電圧パッドに電氣的に接続された入力電圧配線と、

同一形状の金属膜でそれぞれ構成され、前記複数のソースを前記接地電圧配線にそれぞれ電氣的に接続する複数のソース配線と、

同一形状の金属膜でそれぞれ構成され、前記複数のドレインを前記入力電圧配線にそれぞれ電氣的に接続する複数のドレイン配線と、

金属膜でそれぞれ構成され、前記複数のゲートを抵抗を介して前記接地電圧配線にそれぞれ電氣的に接続する複数のゲート配線と、

金属膜で構成され、前記複数のソース配線から分離され、前記バックゲートを前記接地電圧配線に電氣的に接続するバックゲート配線と、
を有する半導体装置。

【請求項2】

複数の前記ゲート配線は、同一形状の金属膜でそれぞれ構成されていることを特徴とす

る請求項 1 記載の半導体装置。

【請求項 3】

E S D 保護回路用の N M O S トランジスタを備える半導体装置であって、
交互に配置された複数のソース及び複数のドレイン、前記ソースと前記ドレインとの間に形成された複数の偶数のチャンネル、前記複数の偶数のチャンネルの上に設けられた複数のゲート、及び、前記複数のソースの中で最も端の前記複数のソースの近傍に配置されたバックゲートを備える前記 N M O S トランジスタと、
外部接続用の接地電圧パッドに電氣的に接続された接地電圧配線と、
外部接続用の入力電圧パッドに電氣的に接続された入力電圧配線と、
同一形状の金属膜でそれぞれ構成され、前記複数のソースを前記接地電圧配線にそれぞれ電氣的に接続する複数のソース配線と、
同一形状の金属膜でそれぞれ構成され、前記複数のドレインを前記入力電圧配線にそれぞれ電氣的に接続する複数のドレイン配線と、
同一形状の金属膜でそれぞれ構成され、コンタクトを介して前記複数のゲートをそれぞれ前記接地電圧配線に電氣的に接続する複数のゲート配線と、
金属膜で構成され、前記複数のソース配線から分離され、前記バックゲートを前記接地電圧配線に電氣的に接続するバックゲート配線と、
を有する半導体装置。

10

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、E S D（静電気放電）保護回路用の N M O S トランジスタを備える半導体装置に関する。

【背景技術】

【0002】

まず、従来の半導体装置について説明する。図 2 は、従来の半導体装置を示す平面図である。

E S D から内部回路を保護する E S D 保護回路には、通常 N M O S トランジスタが使用される。この N M O S トランジスタのパターンは、例えば、図 2 に示すようにレイアウトされる。

30

【0003】

N M O S トランジスタは、交互に配置される複数のソース 5 及び複数のドレイン 4、ソース 5 とドレイン 4 との間の複数の偶数のチャンネル、複数のチャンネルの上に設けられる複数のゲート 3、複数のソース 5 の中で最も端のソース 5 に隣接して配置されるバックゲート 1 a 及び他のソース 5 に埋め込まれるバックゲート 1 b、及び、N M O S トランジスタを囲うよう配置されるバックゲート 1 c を備える（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2 0 0 8 - 1 9 3 0 1 9 号公報（図 3）

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

ここで、特許文献 1 で開示された技術において、複数のソース 5 の中で最も端のソース 5 からバックゲート 1 a およびバックゲート 1 c への各配線が 1 つのパターンでレイアウトされることが考えられる。すると、このソースにおいては、配線の面積が広くなるので、配線の寄生抵抗の値が小さくなる。E S D によるサージ電流が E S D 保護回路用の N M O S トランジスタに流れる場合、配線の寄生抵抗の値が小さい前述のソース 1 に集中しやすくなるので、広い面積の配線を有するソースに集中しやすくなり、極所発熱による破壊が発生しやすくなる。つまり、半導体装置の E S D 耐量が低くなりやすい。

50

【 0 0 0 6 】

本発明は、上記課題に鑑みてなされ、ESD耐量の高い半導体装置を提供するものである。

【課題を解決するための手段】

【 0 0 0 7 】

本発明は、上記課題を解決するため、ESD保護回路用のNMOSトランジスタを備える半導体装置において、交互に配置される複数のソース及び複数のドレイン、前記ソースと前記ドレインとの間の複数の偶数のチャンネル、複数の前記チャンネルの上に設けられる複数のゲート、及び、複数の前記ソースの中で最も端の前記ソースの近傍に配置されるバックゲートを備える前記NMOSトランジスタと、外部接続用の接地電圧パッドに電氣的に接続される接地電圧配線と、外部接続用の入力電圧パッドに電氣的に接続される入力電圧配線と、を備え、複数のソース配線は、同一形状の金属膜でそれぞれ構成され、複数の前記ソースを前記接地電圧配線にそれぞれ電氣的に接続し、複数のドレイン配線は、同一形状の金属膜でそれぞれ構成され、複数の前記ドレインを前記入力電圧配線にそれぞれ電氣的に接続し、複数のゲート配線は、金属膜でそれぞれ構成され、複数の前記ゲートを前記接地電圧配線にそれぞれ電氣的に接続し、バックゲート配線は、金属膜で構成され、前記ソースの上の前記ソース配線から分離され、前記バックゲートを前記接地電圧配線に電氣的に接続する、ことを特徴とする半導体装置を提供する。

【発明の効果】

【 0 0 0 8 】

本発明では、全てのソース配線のパターンが同一にレイアウトされる。すると、NMOSトランジスタでのサージ電流が、各ソース配線で均一に流れやすくなる。つまり、サージ電流が集中しにくくなる。よって、極所発熱による破壊が発生しにくくなり、ESD耐量が高くなる。

【図面の簡単な説明】

【 0 0 0 9 】

【図1】半導体装置を示す平面図である。

【図2】従来の半導体装置を示す平面図である。

【発明を実施するための形態】

【 0 0 1 0 】

以下、本発明の実施形態について、図面を参照して説明する。

まず、半導体装置の構成について説明する。図1は、半導体装置を示す平面図である。

半導体装置は、ESD保護回路用のNMOSトランジスタ10、接地電圧配線22a、及び、入力電圧配線23aを備える。

【 0 0 1 1 】

NMOSトランジスタ10は、交互に配置される複数のソース12及び複数のドレイン13、ソース12とドレイン13との間の複数の偶数のチャンネル、複数のチャンネルの上に設けられる複数のゲート11、及び、複数のソース12の中で最も端のソース12の近傍に配置されるバックゲート14を備える。ここで、NMOSトランジスタ10のチャンネル長方向の最も端の拡散領域は、ソース12である。

【 0 0 1 2 】

接地電圧配線22aは、外部接続用の接地電圧パッドに電氣的に接続されている。入力電圧配線23aは、外部接続用の入力電圧パッドに電氣的に接続されている。複数のソース配線22は、同一形状の金属膜でそれぞれ構成され、コンタクト19を介し、複数のソース12を接地電圧配線22aにそれぞれ電氣的に接続する。複数のドレイン配線23は、同一形状の金属膜でそれぞれ構成され、コンタクト19を介し、複数のドレイン12を入力電圧配線23aにそれぞれ電氣的に接続する。複数のゲート配線21は、同一形状の金属膜でそれぞれ構成され、コンタクト19を介し、複数のゲート11を接地電圧配線22aにそれぞれ電氣的に接続する。バックゲート配線24は、金属膜で構成され、コンタクト19を介し、バックゲート14を接地電圧配線22aに電氣的に接続する。また、バ

10

20

30

40

50

ックゲート配線 2 4 は、ソース 1 2 の上のソース配線 2 2 から分離される。

【 0 0 1 3 】

ここで、NMOSトランジスタ 1 0 において、ゲート 1 1 は、半導体基板上で、ポリシリコンで構成される。ソース 1 2 及びドレイン 1 3 は、P型の半導体基板の表面に設けられるN型の拡散領域である。バックゲート 1 4 は、P型の半導体基板の表面に設けられるP型の拡散領域である。ゲート配線 2 1 などの全ての配線は、半導体基板上で、アルミニウムや銅で構成される。

【 0 0 1 4 】

次に、外部接続用の入力電圧パッドへの入力電圧が通常である場合の、ESD（静電気放電）から内部回路を保護するESD保護回路用のNMOSトランジスタ 1 0 の動作について説明する。

10

ソース 1 2 とゲート 1 1 とバックゲート 1 4 との電圧は、接地電圧であり、ドレイン 1 3 の電圧は、入力電圧である。よって、通常時では、NMOSトランジスタ 1 0 は、オフし、ドレイン 1 3 の入力電圧に影響を与えない。

【 0 0 1 5 】

次に、外部接続用の入力電圧パッドにESDによるサージ電流が流れる場合の、NMOSトランジスタ 1 0 のESD保護動作について説明する。

ESDによるサージ電流が、入力電圧パッドから接地電圧パッドに流れる。この時、NMOSトランジスタ 1 0 の寄生ダイオードは、ブレイクダウン動作により、このサージ電流を逆方向に流している。すると、入力電圧パッドは半導体装置の内部回路に電氣的に接続されているが、入力電圧パッドからのサージ電流は内部回路に流れない。よって、内部回路がサージ電流から保護される。

20

【 0 0 1 6 】

この時、複数のソース 1 2 の中で最も端のソース 1 2 及びバックゲート 1 4 への各配線が1つのパターンでレイアウトされず、これらの各配線が別々の2つのパターンでレイアウトされるようにする。つまり、全てのソース配線 2 2 のパターンは、同一にレイアウトされるようにする。すると、NMOSトランジスタ 1 0 でのサージ電流が、各ソース配線 2 2 で均一に流れやすくなり、サージ電流集中が集中しにくくなる。よって、極所発熱による破壊が発生しにくくなり、半導体装置のESD耐量が高くなる。

【 0 0 1 7 】

30

なお、各ゲート 1 1 同士は、ポリシリコンで接続しても良い。

また、各ゲート 1 1 は、接地電圧配線 2 2 a でなくて各ソース配線 2 2 に、それぞれ接続しても良い。

また、各ゲート 1 1 において、ゲート 1 1 と接地電圧配線 2 2 a との間に、抵抗成分が存在しても良い。

また、ソース 1 2 とドレイン 1 3 とバックゲート 1 4 とは、P型の半導体基板ではなくてP型のウェルの表面に設けても良い。

【符号の説明】

【 0 0 1 8 】

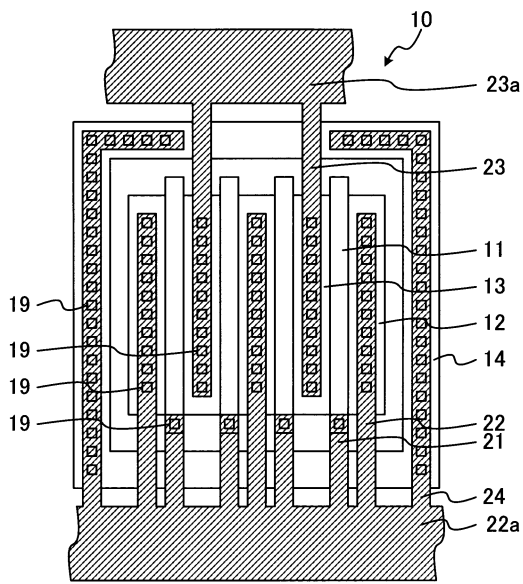
- 1 0 NMOSトランジスタ
- 1 1 ゲート
- 1 2 ソース
- 1 3 ドレイン
- 1 4 バックゲート
- 1 9 コンタクト
- 2 1 ゲート配線
- 2 2 ソース配線
- 2 2 a 接地電圧配線
- 2 3 ドレイン配線
- 2 3 a 入力電圧配線

40

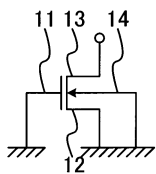
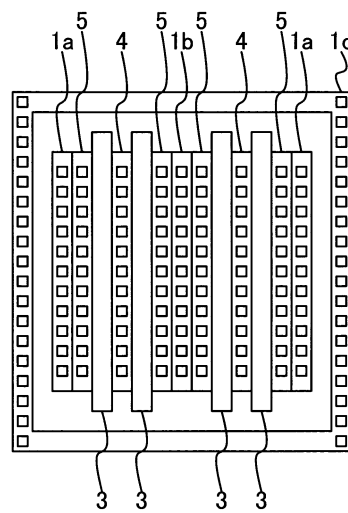
50

2 4 バックゲート配線

【図1】



【図2】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H01L 21/336、21/822、27/04、29/76、
29/772 - 29/78