



(12) 发明专利申请

(10) 申请公布号 CN 105259491 A

(43) 申请公布日 2016. 01. 20

(21) 申请号 201510797008. X

(22) 申请日 2015. 11. 18

(71) 申请人 上海兆芯集成电路有限公司

地址 201203 上海市浦东新区张江高科技园
区金科路 2537 号 301 室

(72) 发明人 王鹏

(74) 专利代理机构 北京汇泽知识产权代理有限
公司 11228

代理人 张瑾

(51) Int. Cl.

G01R 31/26(2014. 01)

G01R 21/00(2006. 01)

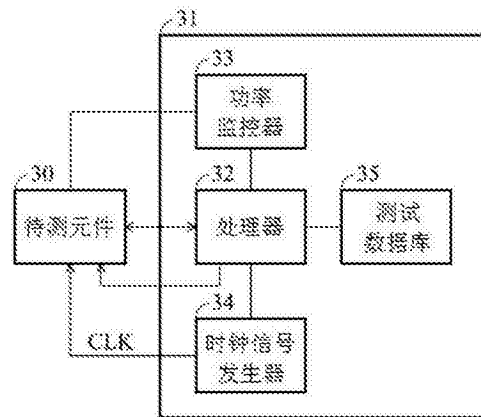
权利要求书2页 说明书5页 附图4页

(54) 发明名称

具有自适应功率调整的测试装置与测试方法

(57) 摘要

本发明关于一种具有自适应功率调整的测试方法,包括:电性连接待测元件与自动测试主机;该自动测试主机向待测元件提供时钟信号与测试数据以进行测试;监控该待测元件的功率;当待测元件的功率大于等于预定功率时,该自动测试主机使得该待测元件无法接收该时钟信号;以及当待测元件的该功率小于该预定功率时,该自动测试主机维持输出该时钟信号给该待测元件。



1. 一种具有自适应功率调整的测试方法,其特征在于,包括:
电性连接待测元件与自动测试主机;
该自动测试主机向该待测元件提供时钟信号与测试数据以进行测试;
监控该待测元件的功率;
当该待测元件的该功率大于等于预定功率时,该自动测试主机使得该待测元件无法接收该时钟信号;以及
当该待测元件的该功率小于该预定功率时,该自动测试主机维持输出该时钟信号给该待测元件。
2. 根据权利要求1所述的具有自适应功率调整的测试方法,其特征在于,其中该待测元件还包括自我监控装置,以监控该待测元件的该功率,并将该功率传送给该自动测试主机。
3. 根据权利要求1所述的具有自适应功率调整的测试方法,其特征在于,其中该自动测试主机还包括功率监控装置,以监控该待测元件的该功率。
4. 根据权利要求1所述的具有自适应功率调整的测试方法,其特征在于,其中该自动测试主机还输出控制信号给该待测元件,当该控制信号的逻辑电位由第一逻辑电位变成第二逻辑电位时,该待测元件无法接收该时钟信号。
5. 一种具有自适应功率调整的测试装置,用以测试待测元件,其特征在于,包括:
处理器,所述处理器向该待测元件传送测试数据与控制信号;
时钟信号发生器,所述时钟信号发生器向该待测元件输出时钟信号;以及
功率监控装置,用以监控该待测元件的功率,其中
当该待测元件的该功率大于等于预定功率时,该处理器使得该待测元件无法接收该时钟信号,
当该待测元件的该功率小于该预定功率时,该时钟信号发生器维持输出该时钟信号给该待测元件。
6. 根据权利要求5所述的具有自适应功率调整的测试装置,其特征在于,其中该测试数据由外部输入。
7. 根据权利要求5所述的具有自适应功率调整的测试装置,其特征在于,还包括测试数据库,该处理器根据该待测元件的信息自该测试数据库中选择该测试数据。
8. 根据权利要求5所述的具有自适应功率调整的测试装置,其特征在于,其中当该待测元件的该功率大于等于该预定功率时,该控制信号的逻辑电位由第一逻辑电位变成第二逻辑电位时,所述控制信号使得该待测元件无法接收该时钟信号。
9. 根据权利要求5所述的具有自适应功率调整的测试装置,其特征在于,其中当该待测元件的该功率小于该预定功率一段时间后,该控制信号的逻辑电位由第二逻辑电位变成第一逻辑电位时,使得该待测元件再次接收该时钟信号。
10. 根据权利要求5所述的具有自适应功率调整的测试装置,其特征在于,该时钟信号为第一时钟信号,当待测元件的该功率大于等于预定功率时,该处理器控制该时钟信号发生器产生并传送第二时钟信号给该待测元件,其中该第二时钟信号的频率低于该第一时钟信号的频率。
11. 一种测试系统,其特征在于,包括:

待测元件,该待测元件具有自我监控装置,以监控该待测元件的功率;以及具有自适应功率调整的测试装置,包括:
处理器,接收该待测元件输出的该功率,且传送测试数据与控制信号给该待测元件;以及
时钟信号发生器,输出时钟信号给该待测元件;
其中当待测元件的该功率大于等于预定功率时,该处理器使得该待测元件无法接收该时钟信号,
当待测元件的该功率小于该预定功率时,该时钟信号发生器维持输出该时钟信号给该待测元件。

12. 根据权利要求 11 所述的测试系统,其特征在于,其中该测试数据由外部输入,或该处理器根据该待测元件的信息自测试数据库中选择该测试数据。

13. 根据权利要求 11 所述的测试系统,其特征在于,其中当该待测元件的该功率大于等于预定功率时,该控制信号的逻辑电位由第一逻辑电位变成第二逻辑电位时,使得该待测元件无法接收该时钟信号。

14. 根据权利要求 11 所述的测试系统,其特征在于,其中当该待测元件的该功率小于该预定功率一段时间后,该控制信号的逻辑电位由第二逻辑电位变成第一逻辑电位时,使得该待测元件再次接收该时钟信号。

15. 根据权利要求 11 所述的测试系统,其特征在于,其中该时钟信号为第一时钟信号,当待测元件的该功率大于等于预定功率时,该处理器控制该时钟信号发生器产生并传送第二时钟信号给该待测元件,其中该第二时钟信号的频率低于该第一时钟信号的频率。

具有自适应功率调整的测试装置与测试方法

技术领域

[0001] 本发明为一种测试装置与测试方法,特别是一种具有自适应功率调整的测试装置与测试方法。

背景技术

[0002] 随着集成电路持续发展,各种元件的尺寸也不断缩小,而如此密集的电路与缩小的元件往往也造成半导体制程变得更加复杂。一般而言,当晶圆(wafer)上的集成电路完成制作后,将晶圆进行分割,再加以包装成封装(package)元件的型式。然而在上述过程中,所形成的晶片尚需经历各种不同的测试,以确保最后制作完成的封装元件可符合所需的功能规范,且具备足够要求的良率。

[0003] 在故障性分析(failure analysis)技术中对晶片进行分析时,一般先对晶片进行封装(Package),再将该封装晶片放置于合适的测试承接器(TEST SOCKET)上进行测试。当该封装晶片中集成电路具有如断路或短路等缺陷时,往往会在该缺陷处造成额外的发热。甚至如果测试的速度过快,也可能造成额外的发热,使得原本正常的晶片也会受到损坏。

[0004] 而目前的测试技术已经不限于只能针对封装晶片进行测试,目前的晶片已经可以针对晶圆分割后的芯片(die)或是晶圆直接进行测试。当在自动测试设备(Automatic Test Equipment, ATE)上对芯片或封装晶片进行测试时,通常会使用自动测试信号产生(automatic test pattern generation)的测试方式对芯片或封装晶片进行测试。自动测试设备向芯片或封装晶片传送测试信号,接着接收芯片或封装晶片回传的测试结果,自动测试设备会判断测试结果是否正确。如果回传测试结果与预设的测试结果并没有产生不匹配(mismatch)的情形,则芯片或封装晶片通过测试,反之芯片或封装晶片被判断没有通过测试。

[0005] 为了降低测试的成本,自动测试设备的测试速度越快越好,因此对每一个芯片或封装晶片也就越短。但是进行测试的时钟信号的频率却不能太快,即使不会对晶片逻辑路径(chip logic path)造成时钟信号错误(timing violation)。因为过快的时钟信号会造成芯片过热,且因为温度的关系产生电压衰退(IR drop),造成芯片或封装晶片失效或是产生错误的测试结果。

发明内容

[0006] 本发明的一实施例为一种测试方法,包括:电性连接待测元件与自动测试主机;该自动测试主机提供时钟信号与测试数据给该待测元件以进行测试;监控该待测元件的功率;当待测元件的该功率大于等于预定功率时,该自动测试主机使得该待测元件无法接收该时钟信号;以及当待测元件的该功率小于该预定功率时,该自动测试主机维持输出该时钟信号给该待测元件。

[0007] 本发明的另一实施例为一种具有自适应功率调整的测试装置,用以测试待测元件。具有自适应功率调整的测试装置包括处理器、时钟信号发生器以及功率监控装置。处

理器, 传送测试数据与控制信号给该待测元件。时钟信号发生器, 输出时钟信号给该待测元件。功率监控装置, 用以监控该待测元件的功率。当待测元件的该功率大于等于预定功率时, 该处理器使得该待测元件无法接收该时钟信号。当待测元件的该功率小于该预定功率时, 该时钟信号发生器维持输出该时钟信号给该待测元件。

[0008] 本发明的另一实施例提供一种测试系统, 包括: 待测元件以及具有自适应功率调整的测试装置。待测元件, 该待测元件具有自我监控装置, 以监控该待测元件的功率。具有自适应功率调整的测试装置, 包括处理器以及时钟信号发生器。处理器, 接收该待测元件输出的该功率, 且传送测试数据与控制信号给该待测元件。时钟信号发生器, 输出时钟信号给该待测元件。当待测元件的该功率大于等于预定功率时, 该处理器使得该待测元件无法接收该时钟信号。当待测元件的该功率小于该预定功率时, 该时钟信号发生器维持输出该时钟信号给该待测元件。

[0009] 本发明测试系统和方法能够避免过快的时钟信号所造成的芯片过热, 并且避免因温度的关系所产生的电压衰退, 而造成的芯片或封装晶片失效或是产生错误的测试结果。

附图说明

[0010] 图 1 为测试系统的示意图;

[0011] 图 2 为测试系统的另一示意图;

[0012] 图 3 为根据本发明的测试系统的一个实施例的示意图;

[0013] 图 4 为根据本发明的测试系统的另一实施例的示意图;

[0014] 图 5 为根据本发明的测试系统的另一实施例的示意图;

[0015] 图 6 为根据本发明的测试系统的波形图; 以及

[0016] 图 7 为根据本发明的具有自适性功率调整的测试方法的实施例的流程图。

具体实施方式

[0017] 图 1 为测试系统的示意图。自动测试主机 11 (Automatic Test Equipment, ATE) 主要用来提供测试信号, 通过连接线连接至测试板 13, 待测元件 15 (Device Under Test, DUT) 则置于测试板 13 上。当测试信号输入到待测元件上, 待测元件 15 的反应信号会回传给自动测试主机 11, 以进行储存比较分析等动作, 最后得到该待测元件 15 的测试结果。自动测试主机 11 则根据测试结果判断待测元件 15 是否通过测试。在本实施例中, 待测元件 15 可以是芯片或是封装晶片。

[0018] 图 2 为测试系统的另一示意图。测试系统包括了自动测试主机 21 与待测元件 20。在本实施例中, 待测元件 20 可以是芯片或是封装晶片。自动测试主机 21 包括处理器 211、测试数据发生器 212、时钟信号发生器 213、测试结果数据库 214、比较器 215、测试界面 216 以及数据库 217。在本实施例中, 测试界面 216 包括了实体的连接器界面以及以软件与硬件实现的人机测试界面。

[0019] 当待测元件 20 与自动测试主机 21 取得待测元件 20 的数据, 如型号, 识别数据后, 传送给测试数据发生器 212。测试数据发生器 212 根据接收到关于待测元件 20 的数据后, 从数据库 217 中取得对应的测试数据并传送给处理器 211。在另一个实施方式中, 测试数据

是由外部直接输入给自动测试主机 21。接着处理器 211 根据时钟信号发生器 213 输出的时钟信号,将测试数据通过测试界面 216 传送给待测元件 20。

[0020] 接着,待测元件 20 将响应数据回传给比较器 215。比较器 215 比较测试结果数据库 214 内的预定数据,以判断响应数据与预定数据是否相同。比较器 215 将测试结果传送给处理器 211 以判断待测元件 20 是否正常。在另一实施方式中,测试的结果通过测试界面 216 传送给显示装置,以告知使用者测试结果。在另一实施方式中,当测试失败时,自动测试主机 21 通过喇叭发出警告声,以告知用户待测元件 20 无法正常工作。

[0021] 图 3 为根据本发明的测试系统的一个实施例的示意图。测试系统包括待测元件 30 与具有自适应功率调整的自动测试主机 31。在本实施例中,待测元件 30 可能是芯片或是封装晶片。当待测元件 30 与自动测试主机 31 电性连接时,自动测试主机 31 内的处理器 32 侦测待测元件 30 的信息,并自测试数据库 35 中取得对应的测试数据。在另一实施例中,测试数据是由外部输入给自动测试主机 31。

[0022] 接着,处理器 32 控制时钟信号发生器 34 以输出时钟信号 CLK 给待测元件 30。处理器 32 还输出控制信号给待测元件 30,当该控制信号的逻辑电位为高逻辑电位时,待测元件 30 才能接收该时钟信号。在另一实施例中,当该控制信号的逻辑电位为高逻辑电位时,处理器 32 控制时钟信号发生器 34 停止向待测元件 30 输出时钟信号 CLK。

[0023] 处理器 32 传送测试数据给待测元件 30。待测元件 30 根据测试数据与时钟信号进行测试。自动测试主机 31 内的功率监控器 33 持续监控待测元件 30 的消耗功率,并判断待测元件 30 的功率是否大于预定功率。如果自动测试主机 31 判断待测元件 30 的功率小于预定功率,控制信号的逻辑电位维持在第一逻辑电位,自动测试主机 31 持续输出第一时钟信号给待测元件 30 以进行测试。

[0024] 如果自动测试主机 31 判断待测元件 30 的功率大于预定功率,控制信号的逻辑电位由第一逻辑电位转变为第二逻辑电位,使得自动测试主机 31 停止输出第一时钟信号给待测元件 30 或是待测元件 30 停止接收第一时钟信号,以降低待测元件 30 消耗的功率。在另一实施例中,自动测试主机 31 输出第二时钟信号给待测元件 30,其中第二时钟信号的频率低于第一时钟信号的频率。

[0025] 图 4 为根据本发明的测试系统的另一实施例的示意图。测试系统包括待测元件 40 与具有自适应功率调整的自动测试主机 41。在本实施例中,待测元件 40 可能是芯片或是封装晶片。当待测元件 40 与自动测试主机 41 电性连接时,自动测试主机 41 内的处理器 42 侦测待测元件 40 的信息,并自测试数据库 45 中取得对应的测试数据。在另一实施例中,测试数据是由外部输入给自动测试主机 41。

[0026] 接着,处理器 42 控制时钟信号发生器 44 以输出时钟信号 CLK 给待测元件 40。处理器 42 更输出控制信号给待测元件 40,当该控制信号的逻辑电位为高逻辑电位时,待测元件 40 才能接收该时钟信号。在另一实施例中,当该控制信号的逻辑电位为高逻辑电位时,处理器 42 控制时钟信号发生器 44 停止输出时钟信号 CLK 给待测元件 40。

[0027] 处理器 42 传送测试数据给待测元件 40。待测元件 40 根据测试数据与时钟信号进行测试。自动测试主机 41 内的监控装置 43 持续监控待测元件 40 的电性特征,如温度、功率、电流变化、电压变化、信号抖动等等。以温度来说,监控装置 43 判断待测元件 40 的温度是否大于预定温度。如果自动测试主机 41 判断待测元件 40 的温度小于预定温度,控制信

号的逻辑电位维持在第一逻辑电位,自动测试主机 41 持续输出第一时钟信号给待测元件 40 以进行测试。

[0028] 如果自动测试主机 41 判断待测元件 40 的温度大于预定温度,控制信号的逻辑电位由第一逻辑电位转变为第二逻辑电位,使得自动测试主机 41 停止输出第一时钟信号给待测元件 40 或是待测元件 40 停止接收第一时钟信号,以降低待测元件 40 的温度。在另一实施例中,自动测试主机 41 输出第二时钟信号给待测元件 40,其中第二时钟信号的频率低于第一时钟信号的频率。

[0029] 图 5 为根据本发明的测试系统的另一实施例的示意图。测试系统包括待测元件 50 与具有自适应功率调整的自动测试主机 51。在本实施例中,待测元件 50 可能是芯片或是封装晶片。当待测元件 50 与自动测试主机 51 电性连接时,自动测试主机 51 内的处理器 52 侦测待测元件 50 的信息,并自测试数据库 55 中取得对应的测试数据。在另一实施例中,测试数据是由外部输入给自动测试主机 51。

[0030] 接着,处理器 52 控制时钟信号发生器 54 以输出时钟信号 CLK 给待测元件 50。处理器 52 更输出控制信号给待测元件 50,当该控制信号的逻辑电位为高逻辑电位时,待测元件 50 才能接收该时钟信号。在另一实施例中,当该控制信号的逻辑电位为高逻辑电位时,处理器 52 控制时钟信号发生器 54 停止输出时钟信号 CLK 给待测元件 50。

[0031] 处理器 52 传送测试数据给待测元件 50。待测元件 50 根据测试数据与时钟信号进行测试,且待测元件 50 内的自我监控装置 53 持续监控待测元件 50 的消耗功率,并将功率值传送给处理器 52,由处理器 52 判断待测元件 50 的功率是否大于预定功率。如果处理器 52 判断待测元件 50 的功率小于预定功率,控制信号的逻辑电位维持在第一逻辑电位,自动测试主机 51 持续输出第一时钟信号给待测元件 50 以进行测试。

[0032] 如果处理器 52 判断待测元件 50 的功率大于预定功率,控制信号的逻辑电位由第一逻辑电位转变为第二逻辑电位,使得自动测试主机 51 停止输出第一时钟信号给待测元件 50 或是待测元件 50 停止接收第一时钟信号,以降低待测元件 50 消耗的功率。在另一实施例中,自动测试主机 51 输出第二时钟信号给待测元件 50,其中第二时钟信号的频率低于第一时钟信号的频率。

[0033] 图 6 为根据本发明的测试系统的波形图。时钟信号由自动测试主机提供给待测元件。控制信号由自动测试主机传送给待测元件。消耗功率为待测元件的功率消耗情况。当消耗功率等于或大于截止功率时,控制信号的逻辑电位由逻辑电位 1 变为逻辑电位 0,此时待测元件接收到的时钟信号维持在逻辑电位 0。因为待测元件接收不到时钟信号,故待测元件的测试会被暂停。要注意的是此时待测元件并非不动作,只是停止进行测试,故仍会有功率消耗。在预定时间后,或是待测元件的温度或功率低于预定值时,控制信号的逻辑电位由逻辑电位 0 变为逻辑电位 1,待测元件重新接收到正确的时钟信号并持续进行测试。

[0034] 图 7 为根据本发明的具有自适性功率调整的测试方法的实施例的流程图。在步骤 S701 中,待测元件与自动测试主机电性连接。在本实施例中,待测元件可能是芯片或是封装晶片。接着,在步骤 S702 中,自动测试主机会根据待测元件的信息,如型号、识别码,进行测试。在本实施例中,自动测试主机会自动产生测试信号或测试数据。在另一实施例中,自动测试主机接收外部输入的测试信号或测试数据。在另一实施例中,测试信号或测试数据是内建在待测元件内,且正确的测试结果也被储存在待测元件内。当待测元件与自动测试主

机电性连接时,自动测试主机接收测试信号或测试数据以及正确的测试结果。

[0035] 在步骤 S703 中,自动测试主机监控待测元件的功率消耗变化,并判断待测元件的功率是否大于预定功率。在本实施例中,自动测试主机根据待测元件的电压与电流监控待测元件的功率消耗变化。在另一实施例中,待测元件内建有监控模组,用以监测待测元件的功率,并将接收到的功率值传送给自动测试主机,由自动测试主机判断待测元件的功率是否大于预定功率。

[0036] 如果自动测试主机判断待测元件的功率大于预定功率,步骤 S705 被执行。在步骤 S705 中,控制信号的逻辑电位由第一逻辑电位转变为第二逻辑电位,使得自动测试主机停止输出第一时钟信号给待测元件或是待测元件停止接收第一时钟信号,以降低待测元件消耗的功率。在另一实施例中,得自动测试主机输出第二时钟信号给待测元件,其中第二时钟信号的频率低于第一时钟信号的频率。

[0037] 如果自动测试主机判断待测元件的功率小于预定功率,步骤 S704 被执行。此时,控制信号的逻辑电位维持在第一逻辑电位,自动测试主机持续输出第一时钟信号给待测元件以进行测试。

[0038] 惟以上所述者,仅为本发明的较佳实施例而已,当不能以此限定本发明实施的范围,即大凡依本发明申请专利范围及发明说明内容所作的简单的等效变化与修饰,皆仍属本发明专利涵盖的范围内。另外本发明的任一实施例或申请专利范围不须达成本发明所揭露的全部目的或优点或特点。此外,摘要部分和标题仅是用来辅助专利文件搜寻之用,并非用来限制本发明的权利范围。

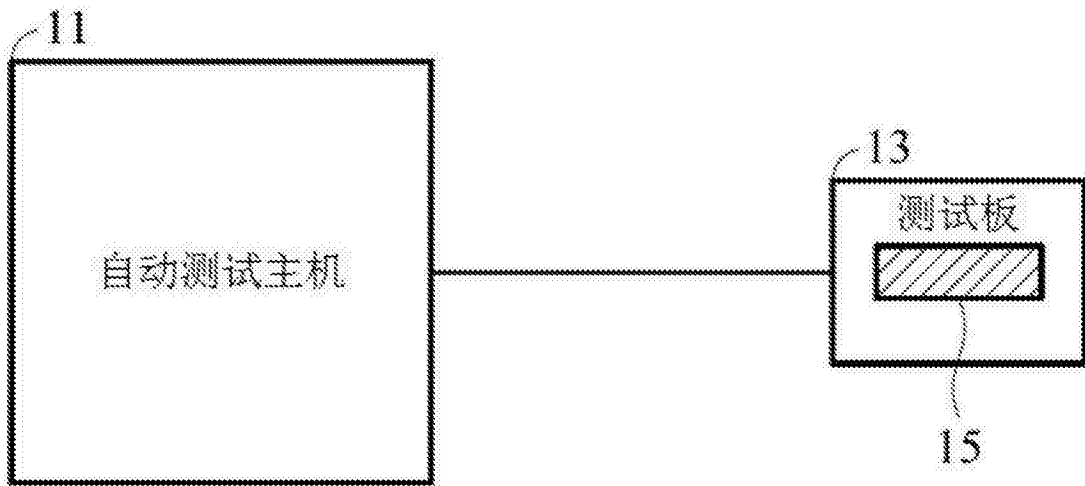


图 1

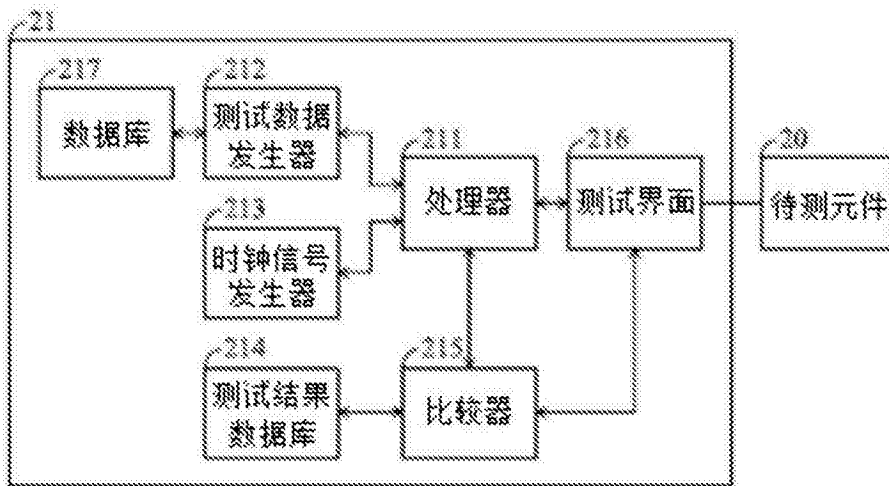


图 2

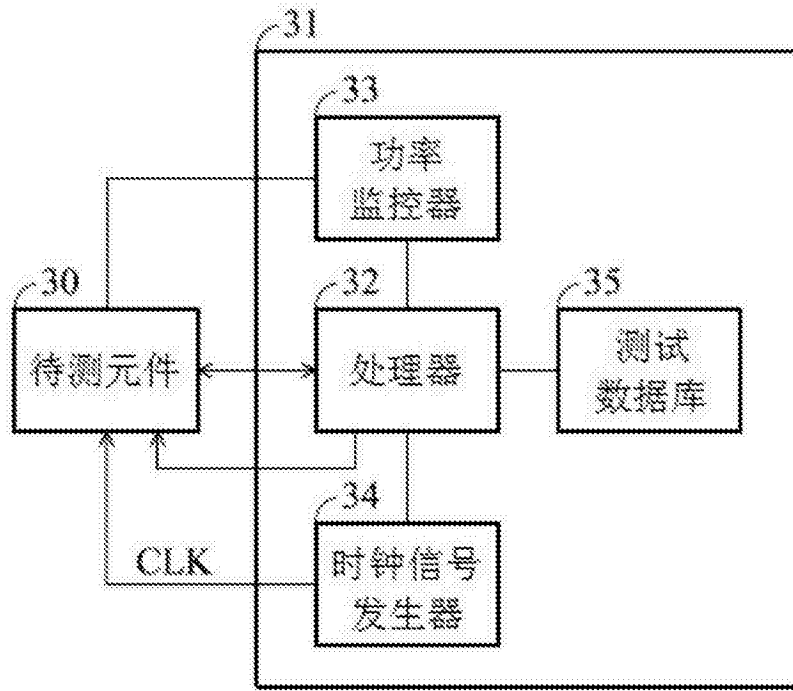


图 3

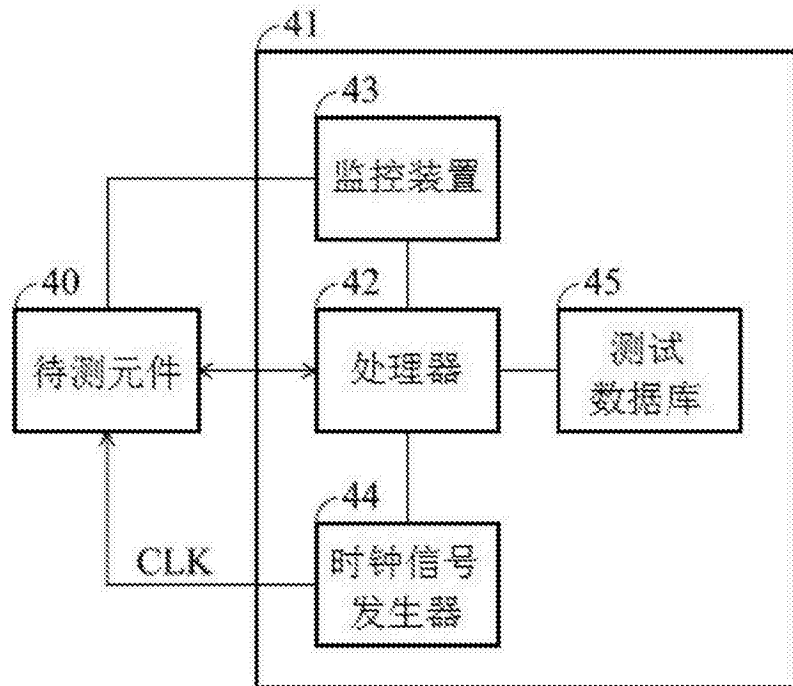


图 4

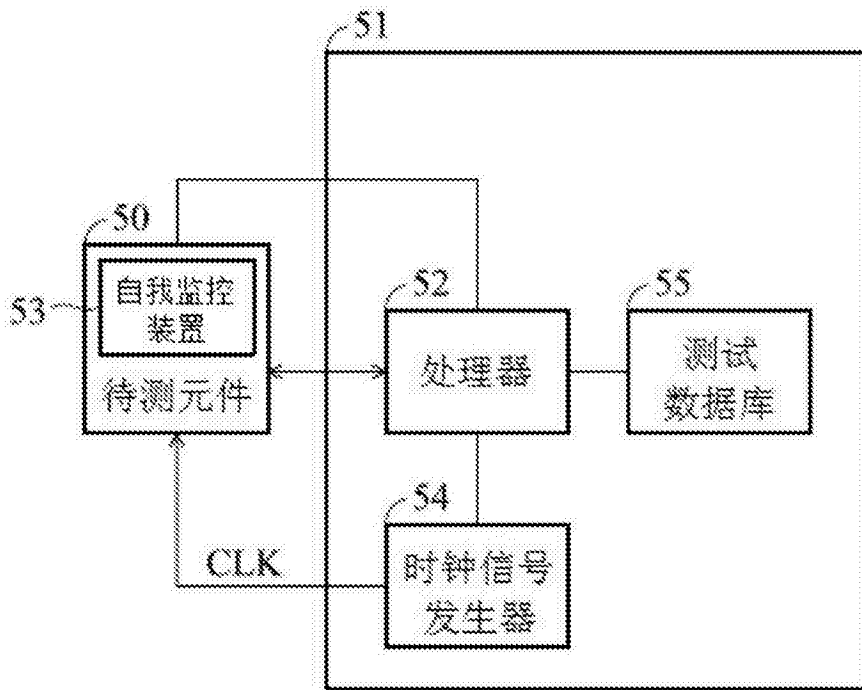


图 5

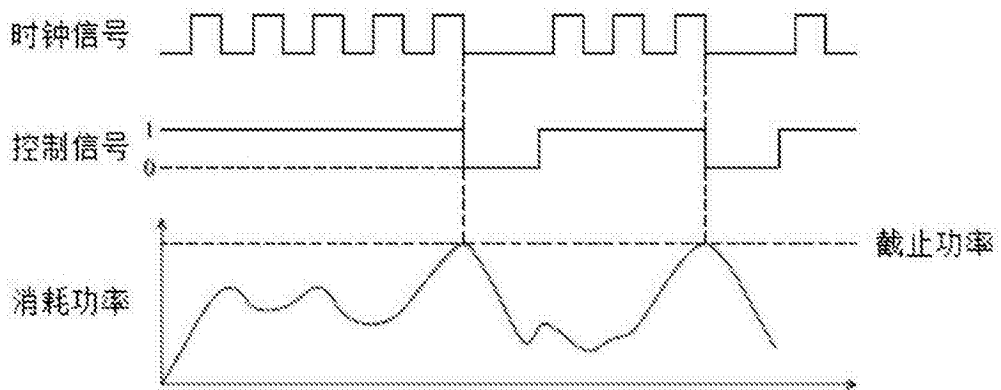


图 6

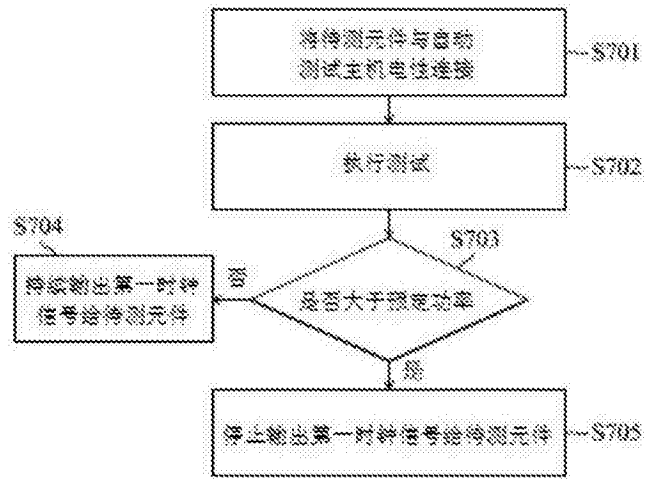


图 7