



# (12)发明专利

(10)授权公告号 CN 105071811 B

(45)授权公告日 2018.04.06

(21)申请号 201510443974.1

(22)申请日 2015.07.27

(65)同一申请的已公布的文献号  
申请公布号 CN 105071811 A

(43)申请公布日 2015.11.18

(73)专利权人 电子科技大学  
地址 611731 四川省成都市高新区(西区)  
西源大道2006号

(72)发明人 樊华 佛朗哥·马勒博迪

(74)专利代理机构 电子科技大学专利中心  
51203

代理人 张杨

(51)Int.Cl.  
H03M 1/38(2006.01)

(56)对比文件

CN 103905049 A,2014.07.02,  
CN 104796149 A,2015.07.22,  
CN 103929178 A,2014.07.16,  
US 2013/0044015 A1,2013.02.21,

审查员 刘剑

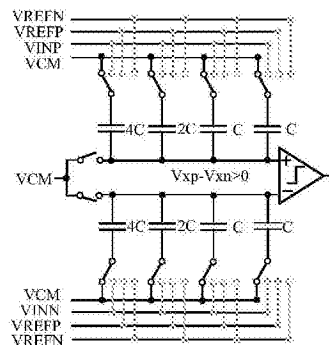
权利要求书2页 说明书7页 附图8页

## (54)发明名称

一种提高逐次逼近模数转换器DNL/INL的位循环方法

## (57)摘要

该发明公开了一种提高逐次逼近模数转换器DNL/INL的位循环方法,涉及微电子学与固体电子学领域,特别是高精度SAR ADC领域。通过设置两种不同的判断码子输出的方法,在ADC码子判断过程中通过这两种方法的依次循环,从而不需要额外DAC,也不需要任何校正算法,只需要在两种位循环模式之间进行切换,即可避免电容失配引入的误差总在同一码字不断累加,从而具有提升DNL和INL的效果。



1. 一种提高逐次逼近模数转换器DNL/INL的位循环方法,包括循环模式1与循环模式2,采用两种循环模式交替判断ADC的输出,其中循环模式1包括:

步骤1:通过两组电容对输入电压进行采样,包括比较器的正端输入电压和负端输入电压,每一端电容组包含四位电容:最高位电容、次高位电容、第三位电容、第四位电容;所有电容下极板采样输入电压,上极板接共模电平,所有电容对输入电压采样之后,所有电容上极板断开与共模电平的连接,下极板接共模电平,比较器比较其正、负输入端电压之差是否大于等于0,判断出ADC输出码字的最高位;

步骤2:若ADC输出码字的最高位为1,则在步骤1的基础上,将最高位电容悬空,将比较器正端次高位电容下级板连接正参考电压VREFP,负端次高位电容下级板连接负参考电压VREFN,比较器比较输入电压是否大于等于0.5倍基准电压;若ADC输出码字的最高位为0,则在步骤1的基础上,将最高位电容悬空,将比较器正端次高位电容下级板连接负参考电压VREFN,负端次高位电容下级板连接正参考电压VREFP,比较器比较输入电压是否大于等于-0.5倍基准电压,判断出ADC输出码字的第二位;

步骤3:假设ADC输出码字的最高位为1,若输出码字次高位为1,则正端最高位电容、次高位电容接VREFP,负端最高位电容、次高位电容接VREFN,其余电容的接法保持不变,输入电压与0.75倍基准电压进行比较,获得输出码字的第三位;反之,若输出码字次高位为0,则正端次高位电容接VREFP,负端次高位电容接VREFN,正、负端其余所有电容接VCM,输入电压与0.25倍基准电压进行比较,获得输出码字的第三位;

步骤4:当ADC输出码字的最高位为1时;若次高位和第三位的输出码字均为1,则在步骤3的基础上,将比较器正端输入第三位电容连接VREFP,负端第三位电容连接VREFN,其余电容的接法保持不变,将输入电压与0.875倍基准电压进行比较,获得第四位输出码字;若次高位的输出码字为1,第三位的输出码字为0,则将比较器正端输入第三位电容连接VREFN,负端第三位电容连接VREFP,其余电容的接法保持不变,将输入电压与0.625倍基准电压进行比较,获得第四位的输出码字;若次高位的输出码字为0,第三位的输出码字为1,则在步骤3的基础上,将比较器正端输入第三位电容连接VREFP,负端第三位电容连接VREFN,其余电容的接法保持不变,将输入电压与0.375倍基准电压进行比较,获得第四位输出码字;若次高位和第三位的输出码字均为0,则在步骤3的基础上,将比较器正端输入第三位电容连接VREFN,负端第三位电容连接VREFP,其余电容的接法保持不变,将输入电压与0.125倍基准电压进行比较,获得第四位输出码字;

当ADC输出码字的最高位为0时,获得第四位输出码字的四种情况的连接方法与当ADC输出码字的最高位为1时相比只需将电容与VREFP和VREFN的连接互换;

循环模式2包括:

步骤1:通过两组电容对输入电压进行采样,包括比较器的正端输入电压和负端输入电压,每一端电容组包含四位电容:最高位电容、次高位电容、第三位电容、第四位电容;所有电容下极板采样输入电压,上极板接共模电平,所有电容对输入电压采样之后,所有电容上极板断开与共模电平的连接,下极板接共模电平,判断输入电压是否大于等于0,判断出ADC输出码字的最高位;

步骤2:若ADC输出码字的最高位为1,则在步骤1的基础上,将比较器正端最高位电容下级板连接正参考电压VREFP,负端最高位电容下级板连接负参考电压VREFN,其余电容的接

法保持不变,比较器比较输入电压是否大于等于0.5倍基准电压,若ADC输出码字的最高位为0,则在步骤1的基础上,将比较器正端最高位电容下级板连接负参考电压VREFN,负端最高位电容下级板连接正参考电压VREFP,比较器比较输入电压是否大于等于-0.5倍基准电压,判断出ADC输出码字的第二位;

步骤3:假设ADC输出码字的最高位为1,若次高位输出码字为1,则在步骤2的基础上,将正端最高位电容、次高位电容接VREFP,负端最高位电容、次高位电容接VREFN,其余电容的接法保持不变,输入电压与0.75倍基准电压进行比较,获得输出码字的第三位;反之,若输出码字的次高位为0,则在步骤2的基础上,将正端最高位电容接VREFP,次高位电容接VREFN,负端最高位电容接VREFN,次高位电容接VREFP,判断输入电压是否大于0.25倍基准电压,获得第三位的输出码字;

步骤4:假设ADC输出码字的最高位为1,若次高位和第三位的输出码字均为1,则在步骤3的基础上,将比较器正端输入第三位电容连接VREFP,负端第三位电容连接VREFN,其余电容的接法保持不变,将输入电压与0.875倍基准电压进行比较,获得第四位输出码字;若次高位的输出码字为1,第三位的输出码字为0,则将比较器正端输入第三位电容连接VREFN,负端第三位电容连接VREFP,其余电容的接法保持不变,将输入电压与0.625倍基准电压进行比较,获得第四位的输出码字;若次高位的输出码字为0,第三位的输出码字为1,则在步骤3的基础上,将比较器正端输入第三位电容连接VREFP,负端第三位电容连接VREFN,其余电容的接法保持不变,将输入电压与0.375倍基准电压进行比较,获得第四位输出码字;若次高位和第三位的输出码字均为0,则在步骤3的基础上,将比较器正端输入第三位电容连接VREFN,负端第三位电容连接VREFP,其余电容的接法保持不变,将输入电压与0.125倍基准电压进行比较,获得第四位输出码字;

当ADC输出码字的最高位为0时,获得第四位输出码字的四种情况的连接方法与当ADC输出码字的最高位为1时相比只需将电容与VREFP和VREFN的连接互换。

## 一种提高逐次逼近模数转换器DNL/INL的位循环方法

### 技术领域

[0001] 涉及微电子学与固体电子学领域,特别是高精度SAR ADC领域。

### 背景技术

[0002] ADC一般分为全并行模数转换器(Flash ADC)、流水线模数转换器(Pipeline ADC)、过采样模数转换器( $\Sigma \Delta$  ADC)以及逐次逼近模数转换器(SAR ADC)。1994年,文献[J.Yuan and C.Svensson,“A 10-bit 5-MS/s successive approximation ADC cell used in a 70MS/s ADC array in 1.2- $\mu$ m CMOS”,IEEE Journal of Solid-State Circuits,Volume 29,No.8,Aug.1994,Page(s):866-872]对不同ADC的比较器功耗进行了分析,结果表明:SAR ADC的结构比Flash ADC和Pipeline ADC更为优越。与Flash ADC相比,Flash ADC所要用到的比较器数目与精度呈指数关系,而SAR ADC只需要一个比较器。与Pipeline ADC相比,SAR ADC不需要高性能运放,降低了系统复杂度和功耗。近年来,尤其在Ultra-Wideband(UWB)通信领域的应用中,高能量效率的时间交织SAR ADC更是成为优于Flash ADC和Pipeline ADC的选择。SAR ADC一般分为电压型SAR ADC,电流型SAR ADC以及电荷重分配型SAR ADC。电压型SAR ADC简单且容易实现,如图1所示,将数个大小相同的电阻放置在参考电压

[0003] VREF和地之间,再将每一个电阻的端点电压由开关引出,即得到分段参考电压,根据二进制搜索算法通过开关控制,将相应的分段参考电压送入比较器与输入电压进行比较就可以得到相应的数字输出码。利用电阻串作为DAC组成的电压型SAR ADC,最大的优势是能够保证良好的单调性,因此在工业上应用比较广泛。但对于N位SAR ADC,电压型SAR ADC需要 $2^N$ 个单位电阻,即随着SAR ADC精度增加,所需要的电阻和开关数量呈指数增加,占用大量的芯片面积且消耗静态电流,因此,电压型SAR ADC一般用于精度小于8的场合,不适用于高精度和低功耗的应用。

[0004] 电流型SAR ADC利用MOS管构成二进制加权的电流源阵列,如图2所示(从文献[孙彤,

[0005] “低功耗逐次逼近模数转换器的研究与设计”,清华大学硕士学位论文,2007.]复制),通常情况下,首先根据二进制搜索算法将电流源的电流进行组合,然后转换成相应的电压,送入电压比较器与输入电压进行比较,或者可以将输入电压转换成电流,然后与电流源的组合电流进行比较。电流型SAR ADC的优点是速度快,但是所采用电阻的阻值受温度和环境因素影响较大,容易引入谐波失真,因此,电流型SAR ADC同样不适用于高精度的应用。

[0006] 电荷重分配型SAR ADC由美国Berkeley大学发明,是近年来的研究热点。如图3所示,它基于电荷守恒原理,通过电容的电荷重分配实现二进制搜索算法,不消耗静态功耗,只消耗动态功耗。因此,电荷重分配型SAR ADC是消耗能量最少、品质因子(Figure of Merit,缩写为FOM)最低的SAR ADC。在ISSCC 2014会议上,文献[Hung-Yen Tai,Yao-Sheng Hu,Hung-Wei Chen and Hsin-Shu Chen,“A 0.85fJ/conversion-step 10b 200kS/s Subranging SAR ADC in40nm CMOS”,Digest of Technical Papers of IEEE

International Solid-State Circuits Conference (ISSCC), pp.196-198, 2014.]设计的10位200kS/s电荷重分配型SAR ADC, FOM值仅0.85fJ/step, 为目前世界上最低的FOM值。

[0007] 文献[Wang, Zhenning, Richard Lin, Eshel Gordon, Hasnain Lakdawala, L. Richard Carley, Jonathan C. Jensen, "An in-situ temperature-sensing interface based on a SAR ADC in 45nm LP digital CMOS for the frequency-temperature compensation of crystal oscillators", Digest of Technical Papers of IEEE International Solid-State Circuits Conference (ISSCC), pp.316-318, 2010.]指出:电荷重分配型SAR ADC受限于电容失配, 目前工艺条件下, 电容匹配精度一般被限制在10位以下, 因此在精度大于10位的情况下, 一般需要采用校正技术来提高其微分非线性(Differential Nonlinearity, 缩写为DNL)和积分非线性(Integral Nonlinearity, 缩写为INL)。早在1984年, 加州大学伯克利分校Gray教授研究小组的Lee Hae-seung (现为MIT教授)就发表了一款带校正的15位SAR ADC, 设计采用6 $\mu$ m CMOS工艺, 5V电压供电, 前台校正将线性度从初始的10位提高至15位, INL的最大值为1.6LSB。文献[Wang, Zhenning, Richard Lin, Eshel Gordon, Hasnain Lakdawala, L. Richard Carley, Jonathan C. Jensen, "An in-situ temperature-sensing interface based on a SAR ADC in 45nm LP digital CMOS for the frequency-temperature compensation of crystal oscillators", Digest of Technical Papers of IEEE International Solid-State Circuits Conference (ISSCC), pp.316-318, 2010.]采用前台校正技术, 在45nm CMOS工艺下实现12位500kS/s的SAR ADC, 该文献对比较器失调和电容失配进行校正后, 性能有了明显的改善, 在500kHz采样时钟, 16kHz输入信号下, 测试得到DNL的最大值为1.5LSB, INL的最大值为1.4LSB, FOM为195fJ/step。文献[Kuramochi, Yasuhide and Matsuzawa, Akira and Kawabata, Masayuki, "A 0.05-mm<sup>2</sup>110- W 10-b self-calibrating successive approximation ADC core in 0.18- m CMOS", IEEE Asian Solid-State Circuits Conference (ASSCC), pp.224-227, 2007.]采用前台校正技术, 在0.18 $\mu$ m CMOS工艺下实现精度为10位, 采样率为1MS/s的SAR ADC, 在奈奎斯特输入信号下测试, 校正前, 信号噪声失真比(Signal-to-Noise-and-Distortion ratio, 缩写为SNDR)和无杂散动态范围(Spurious Free Dynamic Range, 缩写为SFDR)分别为42.1dB和46.5dB, 校正后, SNDR和SFDR分别为51.1dB和69.8dB。文献[Liu, Wenbo and Huang, Pingli and Chiu, Yun, "A 12-bit, 45-MS/s, 3-mW redundant successive-approximation-register analog-to-digital converter with digital calibration", IEEE Journal of Solid-State Circuits, pp.2458-2468, 2011.]采用后台校正技术在0.13 $\mu$ m CMOS工艺下实现精度为12位, 采样率为22.5MS/s的SAR ADC。在22.5MHz采样时钟, 奈奎斯特输入信号下测试, 得到11.35有效位数(Effective Number of bit, 缩写为ENOB)的输出, SFDR达到90.3dB,

[0008] 以上的所有校正技术虽然都取得了不错的性能提升, 但是要么需要引入额外的DAC, 要么需要引入复杂的校正算法。例如文献[Wang, Zhenning, Richard Lin, Eshel Gordon, Hasnain Lakdawala, L. Richard Carley, Jonathan C. Jensen, "An in-situ temperature-sensing interface based on a SAR ADC in 45nm LP digital CMOS for the frequency-temperature compensation of crystal oscillators", Digest of Technical Papers of IEEE International Solid-State Circuits Conference

(ISSCC), pp. 316-318, 2010.], 通过引入额外的DAC进行校正, 将DNL从+3.2/-1LSB提高至±0.5LSB, INL从+2.4/-2.1LSB提高至+0.3/-0.6LSB, 校正后性能有了明显的改善, 但是两个校正DAC的功耗和面积已经超过了主DAC, 虽然采用了非常先进的45nm工艺, 但功耗仍然较大, 为800W, 所以FOM不太理想, 为195fJ/step。文献[Kuramochi, Yasuhide and Matsuzawa, Akira and Kawabata, Masayuki, "A 0.05-mm<sup>2</sup> 110-W 10-b self-calibrating successive approximation ADC core in 0.18-μm CMOS", IEEE Asian Solid-State Circuits Conference (ASSCC), pp. 224-227, 2007.]仅采用一个校正DAC对10位SAR ADC进行校正, 能节约功耗和面积, 校正使得SNDR提高了13.4dB, SFDR提高约20dB, 但ENOB不太理想, 仅8.64, 且全部数字控制部分(包括校正部分的控制)在片外用FPGA实现, 不利于系统集成。文献[Liu, Wenbo and Huang, Pingli and Chiu, Yun, "A 12-bit, 45-MS/s, 3-mW redundant successive-approximation-register analog-to-digital converter with digital calibration", IEEE Journal of Solid-State Circuits, pp. 2458-2468, 2011.]引入复杂的后台校正算法对基数(Radix)小于2的12位非二进制电容阵列的失配误差进行校正, 能实时跟踪电源电压、温度变化造成的电容误差变化, 校正之后SFDR达到90dB以上, SFDR虽然达到了目前世界上最领先的水平, 但整个校正部分在片外通过软件方法实现, 不需考虑校正的任何非理想因素、校正算法复杂度、校正精度, 复杂的数字后处理制约了该后台校正算法的适用性, 而且基数小于2的非二进制电容阵列增加了版图设计的复杂度, 在实际应用中有较大的限制。

## 发明内容

[0009] 本发明针对背景技术的不足解决的技术问题是提出一种提高逐次逼近模数转换器DNL/INL的位循环方法, 在既不引入额外的DAC, 也不采用任何校正算法的情况下, 提高SAR ADC的DNL和INL。

[0010] 本发明的技术方案是一种提高逐次逼近模数转换器DNL/INL的位循环方法, 包括循环模式1与循环模式2, 采用两种循环模式交替判断ADC的输出, 其中循环模式1包括:

[0011] 步骤1: 通过两组电容对输入电压进行采样, 包括比较器的正端输入电压和负端输入电压, 每一端电容组包含四位电容: 最高位电容、次高位电容、第三位电容、第四位电容; 所有电容下极板采样输入电压, 上极板接共模电平, 所有电容对输入电压采样之后, 所有电容上极板断开与共模电平的连接, 下极板接共模电平, 比较器比较其正、负输入端电压之差是否大于等于0, 判断出ADC输出码字的最高位;

[0012] 步骤2: 若ADC输出码字的最高位为1, 则在步骤1的基础上, 将最高位电容悬空, 将比较器正端次高位电容下级板连接正参考电压VREFP, 负端次高位电容下级板连接负参考电压VREFN, 比较器比较输入电压是否大于等于0.5倍基准电压; 若ADC输出码字的最高位为0, 则在步骤1的基础上, 将最高位电容悬空, 将比较器正端次高位电容下级板连接负参考电压VREFN, 负端次高位电容下级板连接正参考电压VREFP, 比较器比较输入电压是否大于等于-0.5倍基准电压, 判断出ADC输出码字的第二位;

[0013] 步骤3: 假设ADC输出码字的最高位为1, 若输出码字次高位为1, 则正端最高位电容、次高位电容接VREFP, 负端最高位电容、次高位电容接VREFN, 其余电容的接法保持不变, 输入电压与0.75倍基准电压进行比较, 获得输出码字的第三位; 反之, 若输出码字次高位为

0,则正端次高位电容接VREFP,负端次高位电容接VREFN,正、负端其余所有电容接VCM,输入电压与0.25倍基准电压进行比较,获得输出码字的第三位;

[0014] 步骤4:当ADC输出码字的最高位为1时;若次高位和第三位的输出码字均为1,则在步骤3的基础上,将比较器正端输入第三位电容连接VREFP,负端第三位电容连接VREFN,其余电容的接法保持不变,将输入电压与0.875倍基准电压进行比较,获得第四位输出码字;若次高位的输出码字为1,第三位的输出码字为0,则将比较器正端输入第三位电容连接VREFN,负端第三位电容连接VREFP,其余电容的接法保持不变,将输入电压与0.625倍基准电压进行比较,获得第四位的输出码字;若次高位的输出码字为0,第三位的输出码字为1,则在步骤3的基础上,将比较器正端输入第三位电容连接VREFP,负端第三位电容连接VREFN,其余电容的接法保持不变,将输入电压与0.375倍基准电压进行比较,获得第四位输出码字;若次高位和第三位的输出码字均为0,则在步骤3的基础上,将比较器正端输入第三位电容连接VREFN,负端第三位电容连接VREFP,其余电容的接法保持不变,将输入电压与0.125倍基准电压进行比较,获得第四位输出码字;

[0015] 当ADC输出码字的最高位为0时,获得第四位输出码字的四种情况的连接方法与当ADC输出码字的最高位为1时相比只需将电容与VREFP和VREFN的连接互换。

[0016] 循环模式2包括:

[0017] 步骤1:通过两组电容对输入电压进行采样,包括比较器的正端输入电压和负端输入电压,每一端电容组包含四位电容:最高位电容、次高位电容、第三位电容、第四位电容;所有电容下极板采样输入电压,上极板接共模电平,所有电容对输入电压采样之后,所有电容上极板断开与共模电平的连接,下极板接共模电平,判断输入电压是否大于等于0,判断出ADC输出码字的最高位;

[0018] 步骤2:若ADC输出码字的最高位为1,则在步骤1的基础上,将比较器正端最高位电容下极板连接正参考电压VREFP,负端最高位电容下极板连接负参考电压VREFN,其余电容的接法保持不变,比较器比较输入电压是否大于等于0.5倍基准电压,若ADC输出码字的最高位为0,则在步骤1的基础上,将比较器正端最高位电容下极板连接负参考电压VREFN,负端最高位电容下极板连接正参考电压VREFP,比较器比较输入电压是否大于等于-0.5倍基准电压,判断出ADC输出码字的第二位;

[0019] 步骤3:假设ADC输出码字的最高位为1,若次高位输出码字为1,则在步骤2的基础上,将正端最高位电容、次高位电容接VREFP,负端最高位电容、次高位电容接VREFN,其余电容的接法保持不变,输入电压与0.75倍基准电压进行比较,获得输出码字的第三位;反之,若输出码字的次高位为0,则在步骤2的基础上,将正端最高位电容接VREFP,次高位电容接VREFN,负端最高位电容接VREFN,次高位电容接VREFP,判断输入电压是否大于0.25倍基准电压,获得第三位的输出码字;

[0020] 步骤4:假设ADC输出码字的最高位为1,若次高位和第三位的输出码字均为1,则在步骤3的基础上,将比较器正端输入第三位电容连接VREFP,负端第三位电容连接VREFN,其余电容的接法保持不变,将输入电压与0.875倍基准电压进行比较,获得第四位输出码字;若次高位的输出码字为1,第三位的输出码字为0,则将比较器正端输入第三位电容连接VREFN,负端第三位电容连接VREFP,其余电容的接法保持不变,将输入电压与0.625倍基准电压进行比较,获得第四位的输出码字;若次高位的输出码字为0,第三位的输出码字为1,

则在步骤3的基础上,将比较器正端输入第三位电容连接VREFP,负端第三位电容连接VREFN,其余电容的接法保持不变,将输入电压与0.375倍基准电压进行比较,获得第四位输出码字;若次高位和第三位的输出码字均为0,则在步骤3的基础上,将比较器正端输入第三位电容连接VREFN,负端第三位电容连接VREFP,其余电容的接法保持不变,将输入电压与0.125倍基准电压进行比较,获得第四位输出码字;

[0021] 当ADC输出码字的最高位为0时,获得第四位输出码字的四种情况的连接方法与当ADC输出码字的最高位为1时相比只需将电容与VREFP和VREFN的连接互换。

[0022] 传统SAR ADC普遍采用的位循环模式为:对某一固定位的判断总采用某一固定的电容,即在转换过程中,所有位循环都采用同一种电荷重分配方案,导致由电容失配引入的误差总在同一码字不断累加,一般情况下,从011...1到100...0码字的切换是恶化DNL和INL的主要因素。为了避免由电容失配引入的误差总在同一码字不断累加,本发明提出一种新型的简单易实现的SAR ADC转换模式,不需要额外DAC,也不需要任何校正算法,只需要在两种位循环模式之间进行切换,即可避免电容失配引入的误差总在同一码字不断累加,从而达到提升DNL和INL的目的。

### 附图说明

[0023] 图1为电压型SAR ADC示意图。

[0024] 图2为电流型SAR ADC示意图。

[0025] 图3为电荷重分配型SAR ADC示意图。

[0026] 图4为位循环模式1示意图。

[0027] 图5为位循环模式2示意图。

[0028] 图6为传统8位FLOAT SAR ADC的DNL/INL仿真结果示意图。

[0029] 图7为传统8位三电平SAR ADC的DNL/INL仿真结果示意图。

[0030] 图8为本发明提出的8位SAR ADC的DNL/INL仿真结果示意图。

### 具体实施方式

[0031] 传统SAR ADC对每个输入电压的转换都基于同一种位循环模式,即每次判断次高位都采用最高位电容,以此类推,一直到判断最低位。传统的位循环模式直接导致由同一电容失配引入的误差总在同一码字不断累加,从011...1到100...0码字的切换导致DNL的最坏情况总是出现在中间码字。

[0032] 本发明提出一种新的位循环模式,由图4所示的位循环模式1和图5所示的位循环模式2组成,位循环模式1和位循环模式2交替进行。举例说明:假设第一次转换采用位循环模式1,则第二次转换采用位循环模式2,第三次转换再采用位循环模式1,第四次转换采用位循环模式2,以此类推。本发明提出的新的位循环模式之所以可以提高DNL和INL,是因为两种位循环模式从011...1到100...0码字的切换采取不同的电容阵列,因此可以避免由同一电容失配引入的误差总在同一码字不断累加。这里,以4位SAR ADC为例进行详述。位循环模式1采用部分浮空电容切换技术(Partial Floating Capacitor Switching Technique,缩写为PFCS),在文献[Kuo,Chien-Hung and Hsieh,Cheng-En,“A high energy-efficiency SAR ADC based on partial floating capacitor switching technique”,European



Solid-State Circuits Conference (ESSCIRC), pp. 475-478, 2011.]基础上进行改进。该文献采用上极板采样,上极板采样的缺点是对寄生电容敏感,影响SAR ADC的精度和线性度。因此,本发明在传统上极板采样的PFCS-based SAR ADC基础上进行改进,将其修改为下极板采样,从而提高PFCS-based SAR ADC的精度和降低其对寄生电容的敏感性。修改后的下极板采样PFCS-based SAR ADC位循环模式如图4所示,转换过程如下:首先对输入电压采样,所有电容下极板接输入电压,上极板接共模电平VCM,如图4(a)所示,接下来判断最高位是否大于0,所有电容上极板断开与共模电平VCM的连接,下极板接共模电平VCM,如图4(b)所示。若最高位大于0,即最高位为1,则下次位循环中,输入电压与0.5倍基准电压进行比较,反之,则输入电压与-0.5倍基准电压进行比较。这里,我们假设最高位大于0,进入图4(c)第二(次高位)、三、四位的判断。而最高位小于0的情况与最高位大于0的情况类似,在这里不再详述。如图4(c)所示,第二位即次高位的判断与传统有很大不同,传统SAR ADC对次高位的判断采用最高位电容4C,而PFCS-based SAR ADC采用次高位电容2C判断次高位,而将最高位电容4C悬空,即将DAC电容阵列分为两部分,第一部分是最高位电容“4C”,第二部分是“2C,C,C”电容阵列,利用第二部分中的最大电容2C来判断次高位。相比传统采用最高位电容4C来判断次高位的方法,采用2C判断次高位不仅能提高转换速度,还能节省一半的功耗。接下来,判断第三位,若次高位为1,则正端4C、2C接VREFP,负端4C、2C接VREFN,其余电容的接法保持不变,输入电压与0.75倍基准电压进行比较;反之,若次高位为0,则正端2C接VREFP,负端2C接VREFN,正、负端其余所有电容接VCM,输入电压与0.25倍基准电压进行比较。最后,判断第四位,根据第三位的判断结果决定下一位电容接VREFP还是VREFN。假设ADC输出码字的最高位为1,若次高位和第三位的输出码字均为1,则将比较器正端输入第三位电容C连接VREFP,负端第三位电容C连接VREFN,其余电容的接法保持不变,将输入电压与0.875倍基准电压进行比较,获得第四位输出码字;若次高位的输出码字为1,第三位的输出码字为0,则将比较器正端输入第三位电容C连接VREFN,负端第三位电容C连接VREFP,其余电容的接法保持不变,将输入电压与0.625倍基准电压进行比较,获得第四位的输出码字;若次高位的输出码字为0,第三位的输出码字为1,则将比较器正端输入第三位电容C连接VREFP,负端第三位电容C连接VREFN,其余电容的接法保持不变,将输入电压与0.375倍基准电压进行比较,获得第四位输出码字;若次高位和第三位的输出码字均为0,将比较器正端输入第三位电容C连接VREFN,负端第三位电容C连接VREFP,其余电容的接法保持不变,将输入电压与0.125倍基准电压进行比较,获得第四位输出码字。

[0033] 图5所示的位循环模式2在文献[Zhu,Yan and Chan,Chi-Hang and Chio,U and Sin,Sai-Weng and Seng-Pan,U and Martins,Rui Paulo and Maloberti,Franco,“A 10-bit 100-MS/s reference-free SAR ADC in 90nm CMOS”,IEEE Journal of Solid-State Circuits,pp.1111-1121,2010.]基础上进行改进。该文献采用上极板采样,本发明将其修改为下极板采样,从而提高三电平SAR ADC的精度和降低其对寄生电容的敏感性。三电平SAR ADC对输入电压的采样(图5(a))和最高位的判断(图5(b))与PFCS-based SAR ADC相同,因此不再详述。仍然假设最高位大于0,即最高位为1,进入图5(c)第二(次高位)、三、四位的判断。如图5(c)所示,第二位即次高位的判断采用最高位电容4C。接下来,判断第三位,第三位的判断采用次高位电容2C,通过控制2C接VREFP或者VREFN实现输入电压与0.75倍基准电压进行比较或者与0.25倍基准电压进行比较。最后,判断第四位,第四位的判断采用最

低位电容C,通过控制C接VREFP或者VREFN实现输入电压与0.875倍基准电压,0.625倍基准电压,0.375倍基准电压或者0.125倍基准电压进行比较。

[0034] 从上述两种位循环模式可以看出,由于第二位和第三位的判断采用了不同的电荷重分配方式,因此可以避免同一电容的失配误差在同一码字叠加,从而使得DNL和INL的分布更为均匀。通过Matlab仿真可以证明本发明的创新之处和可行性。由于电容失配误差服从高斯正态分布,因此需要进行蒙特卡洛仿真,最终的DNL/INL结果为多次蒙特卡洛仿真后的均方根值。假设单位电容失配误差为10%,上述三种位循环模式的200次蒙特卡洛仿真的结果分别如图6、图7和图8所示。图6为传统8位PFCS-based SAR ADC的DNL/INL仿真结果,由于PFCS-based SAR ADC并未采用最高位电容来判断次高位,因此,DNL/INL的最坏情况并非发生在中点处。图7为传统三电平SAR ADC的DNL/INL仿真结果,传统三电平SAR ADC采用最高位电容判断次高位,而最高位电容值最大,因此误差也最大,导致DNL的最坏情况发生在中点处。图8为本发明提出的SAR ADC的DNL/INL仿真结果。对比图8和图6、7的仿真结果可以发现:本发明打破固定的位循环模式,让两种不同的位循环模式交替进行,能达到提高DNL/INL的目的。表1总结了传统三电平SAR ADC、PFCS-based SAR ADC与本发明SAR ADC的DNL/INL性能对比。表1表明:相比传统三电平SAR ADC,本发明将DNL提高了28.6%,INL提高了12.5%,相比传统PFCS-based SAR ADC,本发明将DNL提高了23.5%,INL提高了18.6%。同时,由于两种位循环模式仅判断第二位和第三位所采用的电荷重分配方法不同,其余位的判断均采取同样的电荷重分配方法,因此,硬件开销相当小,相比传统采用额外DAC或者校正算法来提高DNL/INL的方法,本发明能简化系统复杂度,易于片上实现并且节约功耗和芯片面积。

[0035] 表1:三电平SAR ADC、PFCS-based SAR ADC与本发明SAR ADC的DNL/INL对比

[0036]

	DNL 最大值 (LSB)	INL 最大值 (LSB)
三电平 SAR ADC	0.91	1.20
PFCS-based SAR ADC	0.85	1.29
本发明提出的 SAR ADC	0.65	1.05

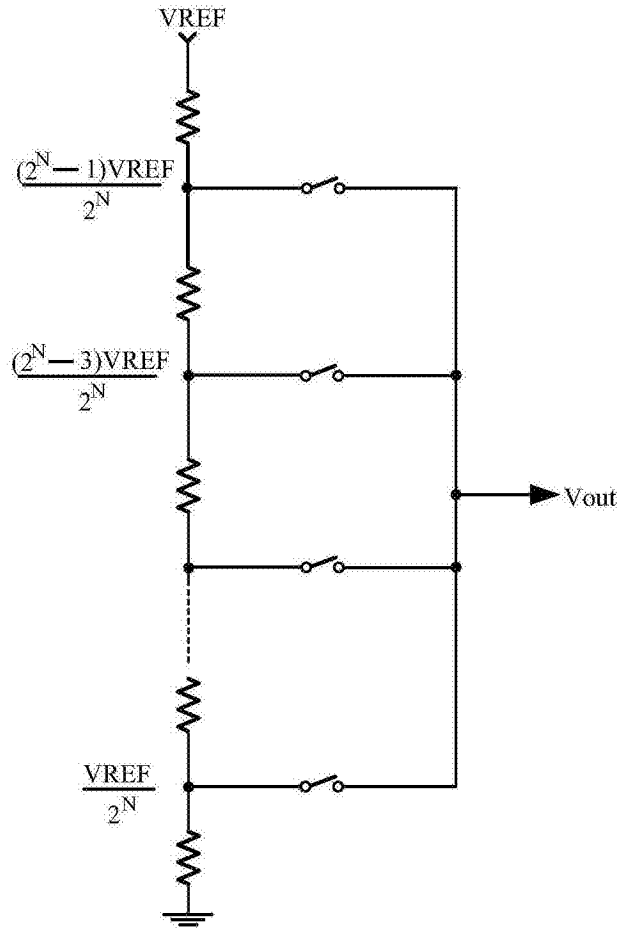


图1

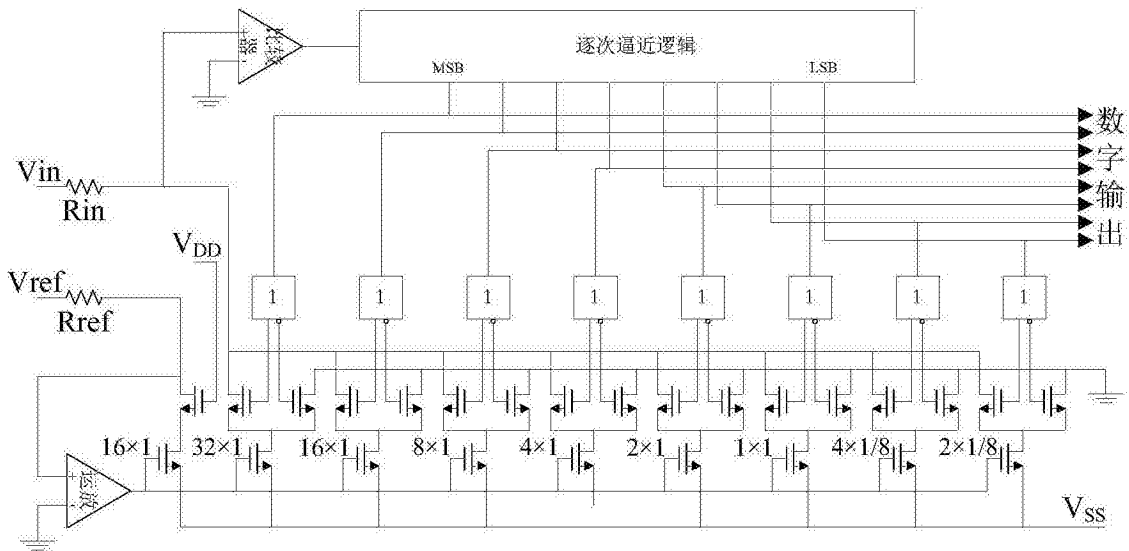


图2

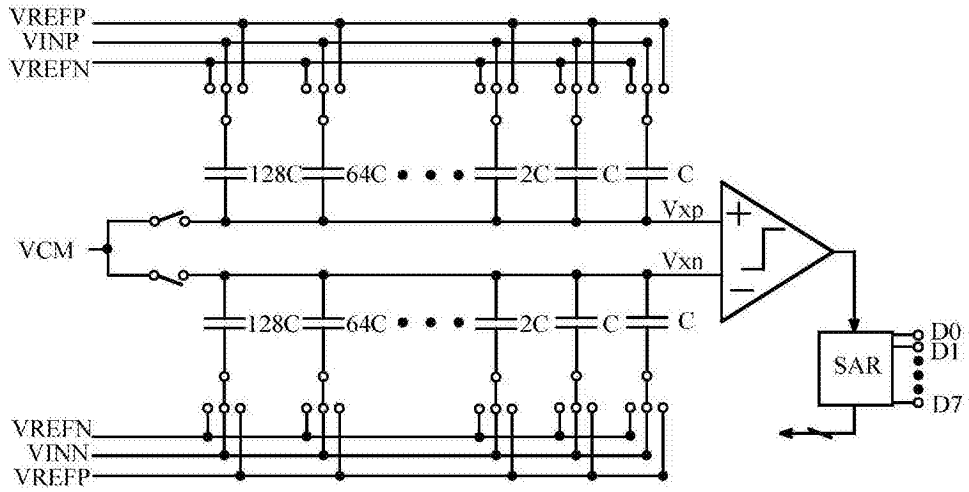
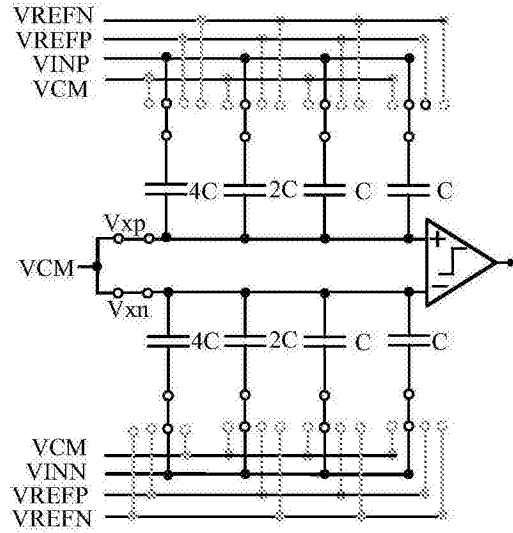
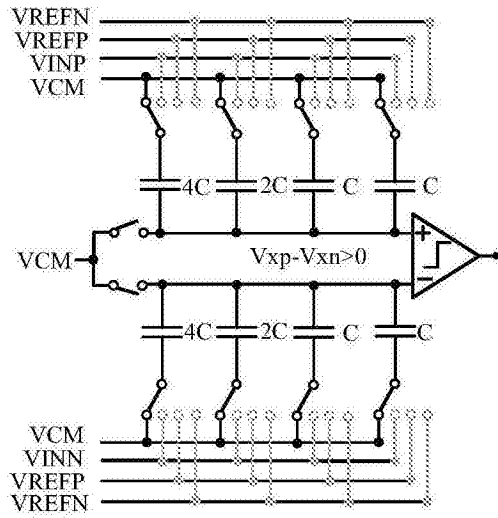


图3

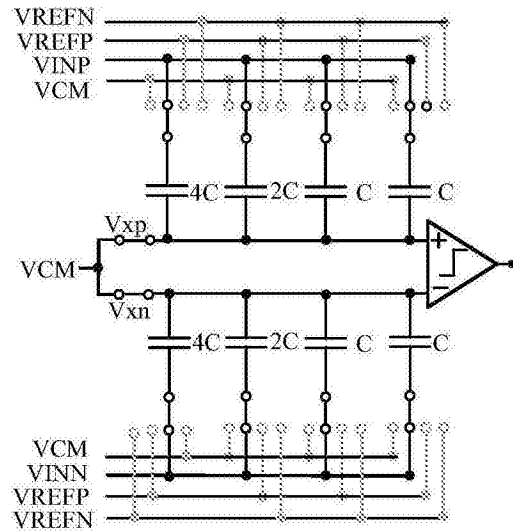


(a) 采样

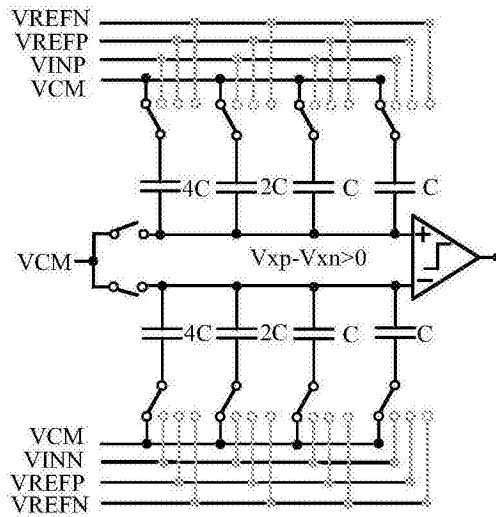


(b) 判断第一位





(a) 采样



(b) 判断第一位





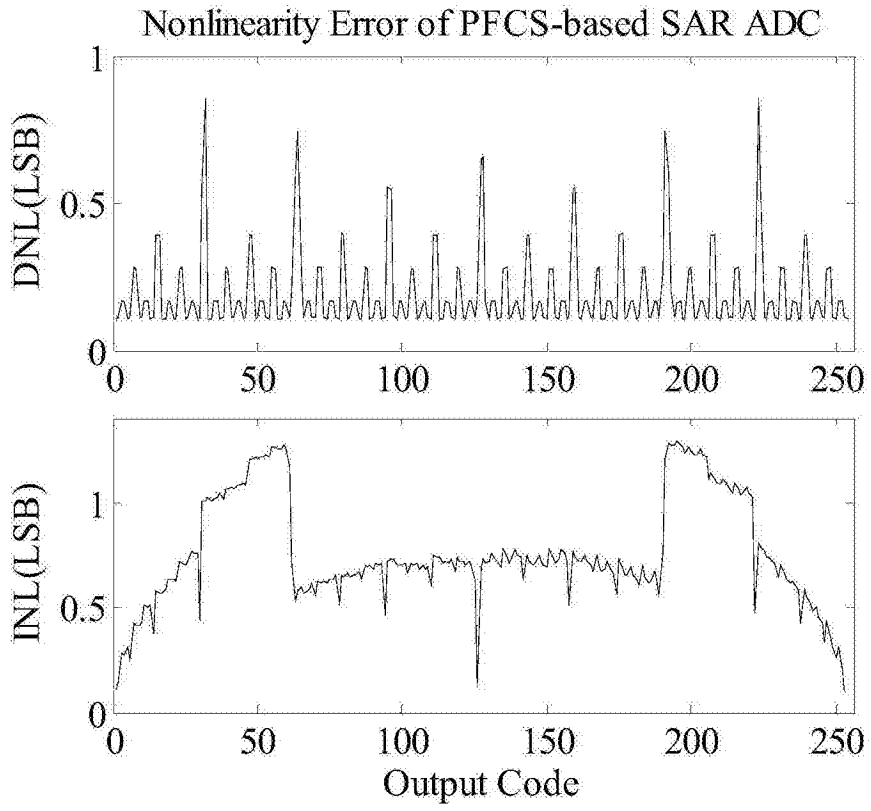


图6

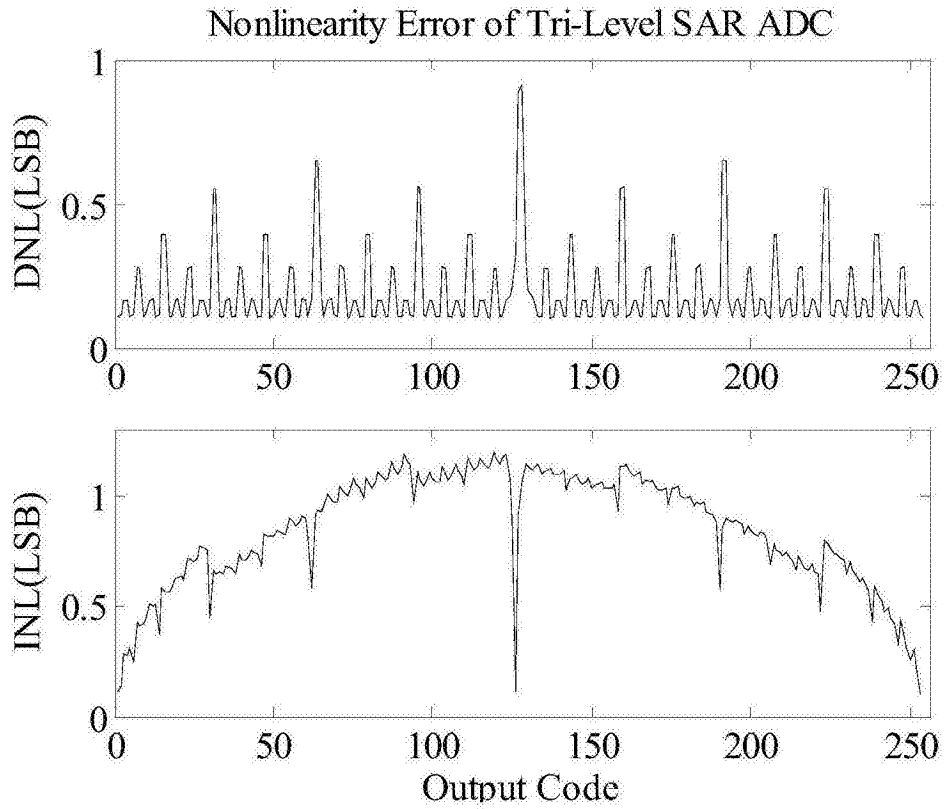


图7

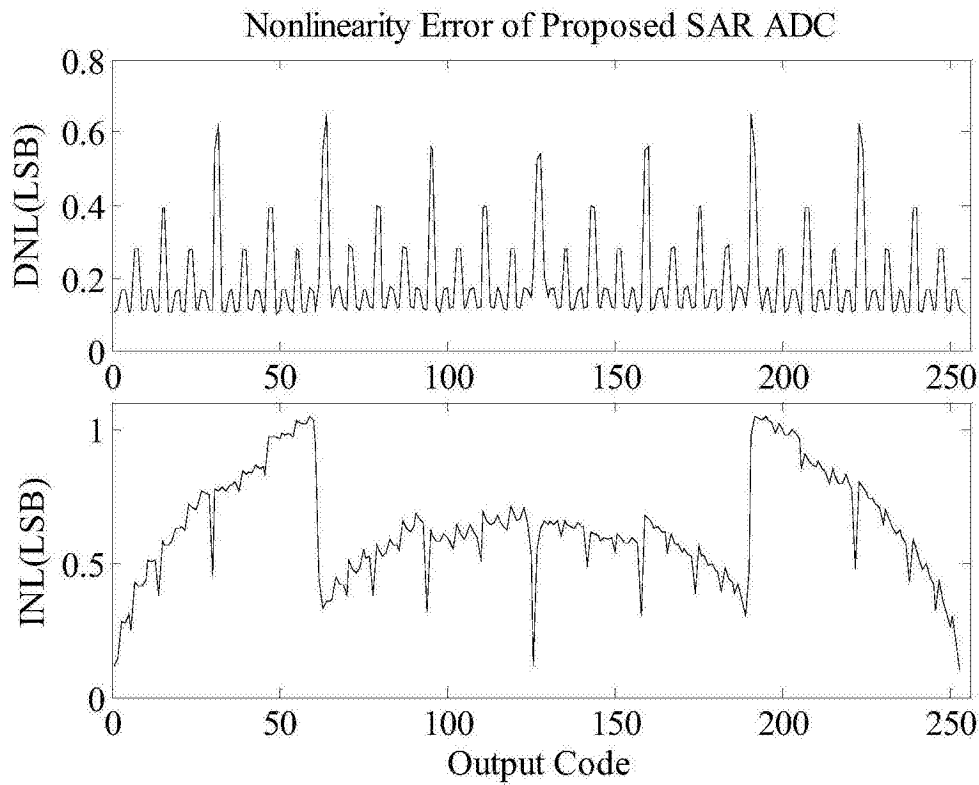


图8