

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4073176号  
(P4073176)

(45) 発行日 平成20年4月9日(2008.4.9)

(24) 登録日 平成20年2月1日(2008.2.1)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 K
HO 1 L 29/41 (2006.01)	HO 1 L 29/78	6 5 3 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/44	Z
	HO 1 L 29/78	6 5 8 F

請求項の数 3 (全 20 頁)

(21) 出願番号	特願2001-103197 (P2001-103197)	(73) 特許権者	000002037
(22) 出願日	平成13年4月2日(2001.4.2)		新電元工業株式会社
(65) 公開番号	特開2002-299619 (P2002-299619A)		東京都千代田区大手町2丁目2番1号
(43) 公開日	平成14年10月11日(2002.10.11)	(72) 発明者	竹森 俊之
審査請求日	平成16年8月26日(2004.8.26)		埼玉県飯能市南町10番13号新電元工業株式会社工場内
		(72) 発明者	糸井 正人
			埼玉県飯能市南町10番13号新電元工業株式会社工場内
		(72) 発明者	渡辺 祐司
			埼玉県飯能市南町10番13号新電元工業株式会社工場内
		審査官	小野田 誠

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型のドレイン層と、該ドレイン層上に配置される該第1導電型とは反対型の第2導電型の導電領域とを形成してなる半導体基板と、

前記導電領域を開口し、前記ドレイン層に達して形成してなる溝と、

前記導電領域内に配置されるとともに、少なくとも一部を前記溝の内周面に露出させて形成してなる第1導電型のソース領域と、

前記溝の内周面に形成されるとともに、所定深さより深い部分の膜厚を他の部分より厚く形成してなるゲート絶縁膜と、

前記ゲート絶縁膜の内周面に形成してなるゲート電極膜と、

前記ゲート電極膜とは絶縁されるとともに、前記ソース領域と接して形成してなるソース電極膜と、を有し、

前記所定深さは、前記ソース領域よりも深くかつ前記ドレイン層と前記導電領域との境界面よりも浅い範囲内であることを特徴とする半導体装置。

【請求項2】

第1導電型のドレイン層と、該ドレイン層上に配置される該第1導電型とは反対型の第2導電型の導電領域とを形成してなる半導体基板と、

前記導電領域を開口し、前記ドレイン層に達して形成してなる溝と、

前記導電領域内に配置されるとともに、少なくとも一部を前記溝の内周面に露出して形成させてなる第1導電型のソース領域と、

前記溝の内周面に形成されてなるとともに、前記導電領域の開口側に行くに従って膜厚が薄くなるように形成してなるゲート絶縁膜と、

前記ゲート絶縁膜の内周面に形成してなるゲート電極膜と、

前記ゲート電極膜とは絶縁されるとともに、前記ソース領域と接して形成してなるソース電極膜とを有することを特徴とする半導体装置。

【請求項3】

第1導電型のドレイン層を形成した半導体基板の表面上に第1のシリコン酸化膜を形成し、

前記シリコン酸化膜の所定部位を開口させて前記ドレイン層を露出させ、

露出した前記ドレイン層を開口させて前記ドレイン層に第1の溝を形成し、

前記半導体基板の表面および前記第1の溝の内周面に第2のシリコン酸化膜を形成し、

前記半導体基板の表面および前記第1の溝の内周面を覆うシリコン窒化膜を形成し、前記半導体基板の表面および前記第1の溝の底面の前記シリコン窒化膜を除去し、前記半導体基板の表面および前記第1の溝の底面の前記第2のシリコン酸化膜を露出させ、

前記第1のシリコン酸化膜および前記第2のシリコン酸化膜の少なくとも一部、ならびに前記第1の溝の底面に露出した前記シリコン酸化膜を除去し、前記第1の溝の底面の前記ドレイン層を露出させ、

前記第1の溝の底面に露出した前記ドレイン層を開口して第2の溝を形成し、

前記第2の溝周辺の前記ドレイン層を酸化し、

前記第1の溝の周側面の前記シリコン窒化膜および前記第2のシリコン酸化膜を除去し、

前記半導体基板の表面ならびに前記第1の溝および前記第2の溝の内周面に第3のシリコン酸化膜を形成し、

前記半導体基板の表面および前記第1の溝ならびに前記第2の溝の内周面にポリシリコン膜を堆積形成し、前記第1の溝ならびに前記第2の溝を埋め、

前記半導体基板の表面の前記ポリシリコン膜および前記第1の溝の一部の前記ポリシリコン膜を除去し、

前記半導体基板の表面および前記第1の溝の内周面の一部の前記第3のシリコン酸化膜を除去し、

前記半導体基板の表面ならびに前記第1の溝の内周面に第4のシリコン酸化膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する分野】

本発明は、半導体装置とその製造法に係り、特に電源回路等に利用されるトレンチゲート型パワーMOSFETの構成を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

トレンチゲート型パワーMOSFETは、近年、DC-DCコンバータなど各種電源装置に幅広く応用されている。図34は、従来技術に係るトレンチゲート型パワーMOSFETの構成を有する半導体装置の一例を示す説明図であり、(a)は半導体装置の平面図であり、(b)はA-A線断面図である。図中、100a~100eはセル、110は溝、111はゲート電極膜、117はN<sup>+</sup>型シリコン基板、118はN<sup>-</sup>エピタキシャル層、119はP型ボディ層、120はP<sup>+</sup>型拡散領域、121はN<sup>+</sup>型ソース領域、122は層間絶縁膜、124はソース電極膜、125はドレイン電極膜、127はゲート絶縁膜、141は上部絶縁膜である。

【0003】

この半導体装置は、図34(a)のセル100a~100eに示すように、表面側に多数のセルを千鳥格子状に配置形成している。さらに、各セルは、例えばセル100aに示したように、P<sup>+</sup>型拡散領域120の周辺にN<sup>+</sup>型ソース領域121を形成している。

## 【0004】

また、この半導体装置の断面の構成は、図34(b)に示すように、N<sup>+</sup>型シリコン基板117上に、ドレイン層としてN<sup>-</sup>エピタキシャル層118を形成し、さらにN<sup>-</sup>エピタキシャル層118上にP型ボディ層119を形成している。P型ボディ層119の内部には、P<sup>+</sup>型拡散領域120およびN<sup>+</sup>型ソース領域121を形成している。さらに、セル100a~100eの間は、P型ボディ層119を貫通してN<sup>-</sup>エピタキシャル層118内まで達する溝110を形成している。

## 【0005】

溝110は、P型ボディ層119を開口させて、N<sup>-</sup>エピタキシャル層118内部にまで到達するように形成されている。この溝110の内周面および底面には、ゲート絶縁膜127を密着形成しており、さらにゲート絶縁膜127に囲まれる空間内にゲート電極膜111を形成している。くわえて、ゲート絶縁膜127およびゲート電極膜111上には上部絶縁膜141を形成している。さらに、上部絶縁膜141およびN<sup>+</sup>型ソース領域121の一部の上には、層間絶縁膜122を形成している。

10

## 【0006】

さらに、上述のP<sup>+</sup>型拡散領域120、N<sup>+</sup>型ソース領域121および層間絶縁膜122上には、ソース電極膜124を形成している。くわえて、N<sup>+</sup>型シリコン基板117のもう一方の面にはドレイン電極膜125を形成している。

## 【0007】

上述の半導体装置において、ソース電極膜124とドレイン電極膜125との間に電圧を印加するとともに、ゲート電極膜111とソース電極膜124との間に所定閾値以上の電圧を印加すると、P型ボディ層119のゲート絶縁膜127との境界領域に反転層が形成されてチャンネルとなる。そして、ドレイン電極膜125からソース電極124へこのチャンネルを通過して電流が流れる。

20

## 【0008】

ところで、このような構成を有する半導体装置においては、ゲート絶縁膜127の底部の膜厚を他の部分よりも厚く形成してゲート絶縁膜127の絶縁耐圧を確保するために、溝110を深く掘り下げることによって図28(b)に示した溝110の深さDを大きくし、ゲート絶縁膜127の底部の膜厚を確保するためのスペースを作るようにしている。また、溝110を深く掘り下げれば、ゲート絶縁膜127の外周面の面積を増やすことができるので、オン抵抗 $R_{on}$ を下げることもできる。

30

## 【0009】

しかし、ゲート絶縁膜127の外周面の面積を大きくすると、ゲート電極膜111とN<sup>-</sup>エピタキシャル層118との間の静電容量 $C_{r_{ss}}$ も大きくなり、半導体装置のスイッチング特性が悪化することになる。また、深さDを大きくして行くと、ソース電極膜124とドレイン電極膜125との間に電圧を印加したときに、ゲート絶縁膜127の特定の部分に電界が集中するなどの悪影響を招くことになる。

## 【0010】

## 【発明が解決しようとする課題】

本発明は、上述の課題を解決するために、オン抵抗を低くしつつゲート電極膜とドレイン層との間の静電容量を小さくでき、かつゲート絶縁膜の絶縁耐圧を確保することが可能な半導体装置を提供することを目的とするものである。

40

## 【0013】

## 【課題を解決するための手段】

また、本発明は、半導体装置において、第1導電型のドレイン層と、該ドレイン層上に配置される該第1導電型とは反対型の第2導電型の導電領域とを形成してなる半導体基板と、前記導電領域を開口し、前記ドレイン層に達して形成してなる溝と、前記導電領域内に配置されるとともに、少なくとも一部を前記溝の内周面に露出させて形成してなる第1導電型のソース領域と、前記溝の内周面に形成されるとともに、所定深さより深い部分の膜厚を他の部分よりも厚く形成してなるゲート絶縁膜と、前記ゲート絶縁膜の内周面に形成

50

してなるゲート電極膜と、前記ゲート電極膜とは絶縁されるとともに、前記ソース領域と接して形成してなるソース電極膜と、を有し、前記所定深さは、前記ソース領域よりも深くかつ前記ドレイン層と前記導電領域との境界面よりも浅い範囲内であることを特徴とした。

【0014】

したがって、本発明に係る半導体装置は、所定深さより深い部分のゲート電極膜の膜厚が他の部分、すなわち所定深さより浅い部分よりも薄くなるので、当該部分周辺の静電容量を低く押さえるとともに、オン抵抗を一定程度低減することができる。

【0016】

また、本発明は、半導体装置において、第1導電型のドレイン層と、該ドレイン層上に配置される該第1導電型とは反対型の第2導電型の導電領域とを形成してなる半導体基板と、前記導電領域を開口し、前記ドレイン層に達して形成してなる溝と、前記導電領域内に配置されるとともに、少なくとも一部を前記溝の内周面に露出して形成させてなる第1導電型のソース領域と、前記溝の内周面に形成されてなるとともに、前記導電領域の開口側に行くに従って膜厚が薄くなるように形成してなるゲート絶縁膜と、前記ゲート絶縁膜の内周面に形成してなるゲート電極膜と、前記ゲート電極膜とは絶縁されるとともに、前記ソース領域と接して形成してなるソース電極膜とを有することを特徴とするものとした。

【0017】

したがって、本発明に係る半導体装置は、所定深さより深い部分のゲート電極膜の膜厚が他の部分、すなわち所定深さより浅い部分よりも薄くなるので、当該部分周辺の静電容量を低く押さえるとともに、オン抵抗を一定程度低減することができる。

【0018】

また、半導体装置の製造方法において、第1導電型のドレイン層を形成した半導体基板の表面上に第1のシリコン酸化膜を形成し、前記シリコン酸化膜の所定部位を開口させて前記ドレイン層を露出させ、露出した前記ドレイン層を開口させて前記ドレイン層に第1の溝を形成し、前記半導体基板の表面および前記第1の溝の内周面に第2のシリコン酸化膜を形成し、前記半導体基板の表面および前記第1の溝の内周面を覆うシリコン窒化膜を形成し、前記半導体基板の表面および前記第1の溝の底面の前記シリコン窒化膜を除去し、前記半導体基板の表面および前記第1の溝の底面の前記第2のシリコン酸化膜を露出させ、前記第1のシリコン酸化膜および前記第2のシリコン酸化膜の少なくとも一部、ならびに前記第1の溝の底面に露出した前記シリコン酸化膜を除去し、前記第1の溝の底面の前記ドレイン層を露出させ、前記第1の溝の底面に露出した前記ドレイン層を開口して第2の溝を形成し、前記第2の溝周辺の前記ドレイン層を酸化し、前記第1の溝の周側面の前記シリコン窒化膜および前記第2のシリコン酸化膜を除去し、前記半導体基板の表面ならびに前記第1の溝および前記第2の溝の内周面に第3のシリコン酸化膜を形成し、前記半導体基板の表面および前記第1の溝ならびに前記第2の溝の内周面にポリシリコン膜を堆積形成し、前記第1の溝ならびに前記第2の溝を埋め、前記半導体基板の表面の前記ポリシリコン膜および前記第1の溝の一部の前記ポリシリコン膜を除去し、前記半導体基板の表面および前記第1の溝の内周面の一部の前記第3のシリコン酸化膜を除去し、前記半導体基板の表面ならびに前記第1の溝の内周面に第4のシリコン酸化膜を形成することを特徴とするものとした。

【0019】

したがって、第1の溝の底部に第2の溝を形成することが可能になり、上部と下部とで膜厚のことなるゲート電極膜を形成することが可能になる。

【0020】

【発明の実施の形態】

以下に本発明の第1の実施の形態に係る半導体装置を図面に基づいて詳細に説明する。図1は、本発明の第1の実施の形態に係る半導体装置を示す説明図であり、(a)は半導体装置のセルの配置を示す平面図であり、(b)はB-B線断面図である。図中、1a~1eはセル、10は溝、11はゲート電極膜、15は周側面部、16は底面部、17はN<sup>+</sup>

10

20

30

40

50

型シリコン基板、18はN<sup>-</sup>エピタキシャル層、19はP型ボディ層、20はP<sup>+</sup>型拡散領域、21はN<sup>+</sup>型ソース領域、22は層間絶縁膜、24はソース電極膜、25はドレイン電極膜、27はゲート絶縁膜、41は上部絶縁膜である。

【0021】

本発明の第1の実施の形態に係る半導体装置の構造は、図1(a)に示すように、平面構成においてセル1a~1eなどの各セルを千鳥格子状に配置している。さらに、セル1aなど各セルは、P<sup>+</sup>型拡散領域20の周辺にN<sup>+</sup>型ソース領域21を形成している。なお、セル1a~1eの配置は、図1(a)のパターンに限られるものではなく、例えば図27に示すようにしてもよい。図27は、セルの別の配置の一例を示す平面図である。セル1a, 1bなどの各セルは、P<sup>+</sup>型拡散領域20およびN<sup>+</sup>型ソース領域21をそれぞれ短冊状に形成し、これらを平行に配置した例である。本実施の形態においては、セルを円形などさらに別の形状とし、また配置についても格子状など他の配置にしてもよい。

10

【0022】

また、図1(b)に示すように、この半導体装置の断面構造においては、N<sup>+</sup>型シリコン基板17上に、ドレイン層であるN<sup>-</sup>エピタキシャル層18を形成している。さらに、N<sup>-</sup>エピタキシャル層18上に、P型ボディ層19を形成している。また、P型ボディ層19の内部には、P<sup>+</sup>型拡散領域20およびN<sup>+</sup>型ソース領域21を形成してセル1aを設けている。

【0023】

さらに、P型ボディ層19を開口させて、N<sup>-</sup>エピタキシャル層18内部の比較的浅い部位に到達するように溝10を形成している。溝10の周側面および底面には、ゲート絶縁膜27を密着形成されている。このゲート絶縁膜27は、その底面部16の膜厚を周側面部15のそれよりも厚く形成している。また、ゲート絶縁膜27の底面部16の上面が、N<sup>-</sup>エピタキシャル層18とP型ボディ層19との境界面より浅くなるように形成している。さらに、ゲート絶縁膜27の内部空間には、この内部空間を充填するようにゲート電極膜11を堆積形成している。よって、ゲート電極膜11は、N<sup>-</sup>エピタキシャル層18とP型ボディ層19との境界面より浅い部位に形成される。くわえて、ゲート電極膜11の上には、上部絶縁膜41を形成している。

20

【0024】

また、ゲート絶縁膜27上には、層間絶縁膜22を形成している。くわえて、P<sup>+</sup>型拡散領域20およびN<sup>+</sup>型ソース領域21ならびに層間絶縁膜22上には、ソース電極膜24を形成している。さらに、N<sup>+</sup>型シリコン基板17のもう一方の面には、ドレイン電極膜25を形成している。

30

【0025】

そして、この半導体装置において、ソース電極膜24とドレイン電極膜25との間に電圧を印加するとともに、ゲート電極膜11とソース電極膜24との間に所定閾値以上の電圧を印加すると、P型ボディ層19のゲート絶縁膜27との境界領域に反転層が形成されてチャンネルとなる。そして、ドレイン電極膜25からソース電極膜24へこのチャンネルを通過して電流が流れる。また、ゲート電極膜11とソース電極膜24との間の電圧を所定閾値より低くすれば、この反転層が消滅して、ドレイン電極膜25とソース電極膜24との間に電流は流れない。

40

【0026】

また、本発明の第1の実施の形態に係る半導体装置においては、ゲート電極膜11をN<sup>-</sup>エピタキシャル層18とP型ボディ層19との境界面より浅く、すなわちゲート電極膜11の下端部がN<sup>-</sup>エピタキシャル層18とP型ボディ層19との境界面よりも上方に位置するように形成している。したがって、溝10をN<sup>-</sup>エピタキシャル層18の比較的浅い部位に達する程度に形成しても、ゲート絶縁膜27の底面部16の膜厚を厚くして、ゲート絶縁膜27の絶縁耐圧を十分に確保することが可能である。さらに、溝10を浅く形成できるので、ゲート絶縁膜27の特定の部分に電界が集中するような事態を回避することができる。

50

## 【0027】

また、ゲート電極膜11の下端部をN<sup>-</sup>エピタキシャル層18とP型ボディ層19との境界面よりも上方に位置させても、オン抵抗 $R_{on}$ を十分に引き下げることが可能である。図28は、本発明の第1の実施の形態に係る半導体装置の実験例を示す説明図である。図中、Aは溝10の幅、BはP型ボディ層19の厚さ、Cは溝10の深さ、Dはゲート絶縁膜27の周側面部15の厚さ、Xは半導体装置の表面からゲート電極膜11の下端部までの深さを示す変数である。なお、他の符号は、図1のものと同じである。図28に示した実験例においては、Aを $0.8\mu\text{m}$ 、Bを $1.3\mu\text{m}$ 、Cを $1.6\mu\text{m}$ 、Dを $50\text{nm}$ とした。そして、オン抵抗 $R_{on}$ の測定においては、ソース電極膜24とドレイン電極膜25との間に10V印加するとともに、ゲート電極膜11とソース電極膜24との間にも10V印加し、静電容量 $C_{iss}$ の測定においては、それぞれ0V、10Vずつ印加するものとした。

10

## 【0028】

図31は、本発明の第1の実施の形態に係る半導体装置の実験例におけるオン抵抗 $R_{on}$ と静電容量 $C_{iss}$ との関係を示す説明図である。この図においては、Xを $1.55\mu\text{m}$ としたときのオン抵抗 $R_{on}$ と静電容量 $C_{iss}$ との積を1.0としている。なお、上記の実験および以下に述べる実験においては、 $C_{rss}$ ではなく $C_{iss}$ を測定対象としているが、これらの実験条件では $C_{gs}$ はほぼ一定となり、 $C_{iss} = C_{gs} + C_{gd}$ 、 $C_{rss} = C_{gd}$ の関係にあることを勘案すれば、X、Y、Zの各変数に対する $C_{iss}$ の変化を $C_{rss}$ の変化と見なせるので $C_{iss}$ を用いた。

20

## 【0029】

図31に示すように、図28の構成において、オン抵抗 $R_{on}$ と静電容量 $C_{iss}$ との積は、Xをほぼ $1.0\mu\text{m}$ ないし $1.2\mu\text{m}$ の範囲とした場合が最も小さくなる。したがって、ゲート電極膜11の深さは、この範囲、すなわちゲート電極膜11の下端部がN<sup>-</sup>エピタキシャル層18とP型ボディ層19との境界面よりも上方に位置させることが有利と言える。

## 【0030】

さらに、本発明の第2の実施の形態に係る半導体装置を図面に基づいて詳細に説明する。図2は、本発明の第2の実施の形態に係る半導体装置を示す断面図である。図中、12はゲート電極膜上部、13はゲート電極膜下部、14は下側周側面部、29は上側周側面部である。その他の符号は、図1のものと同じである。

30

## 【0031】

本発明の第2の実施の形態に係る半導体装置の断面構造は、図2に示すように、ゲート絶縁膜27において下側周側面部14の膜厚を上側周側面部29の膜厚よりも厚くしている。したがって、ゲート電極膜上部12の膜厚は、ゲート電極膜下部13の膜厚よりも厚くなっている。その他の部分の構造は、上述の第1の実施の形態のものと同じである。

## 【0032】

したがって、本発明の第2の実施の形態においては、ゲート絶縁膜27の底面部16の膜厚に加えて、下側周側面部14の膜厚も他の部分より厚く形成することにより、本発明の第1の実施の形態よりもオン抵抗 $R_{on}$ の低減させている。なお、本発明の第2の実施の形態においては、ゲート電極膜上部12をN<sup>-</sup>エピタキシャル層18とP型ボディ層19との境界面よりも上方に位置させるとともに、ゲート電極膜下部13の下端部がこの境界面よりも下方に位置するように形成してもよい。また、ゲート電極膜下部13は、例えば中間部分の膜厚を上下端部よりも厚くしたり、漏斗状やドーム状に形成するなど他の形態にしても良い。

40

## 【0033】

以下に、本発明の第2の実施の形態に係る半導体装置の2つの実験例について説明する。図29は、本発明の第2の実施の形態に係る半導体装置の第1の実験例を示す説明図である。図中、Dはゲート電極膜上部12に接するゲート絶縁膜27の上側周側面部29の厚さ、Eはゲート電極膜下部13の下端部と溝10の底面との距離、Fはゲート電極膜下部

50

13の周側面と溝10の周側面との距離、Yは半導体装置の表面からゲート電極膜上部12の下端部までの深さを示す変数である。なお、他の符号は、図28のものと同一である。図29に示した実験例においては、Aを $0.8\ \mu\text{m}$ 、Bを $1.3\ \mu\text{m}$ 、Cを $1.6\ \mu\text{m}$ 、Dを $50\ \text{nm}$ 、EおよびFを $0.25\ \mu\text{m}$ とした。この構成において、ソース電極膜24とドレイン電極膜25との間、およびゲート電極膜11とソース電極膜24との間に、図28に示した実験と同様の電圧を印加した。

#### 【0034】

図32は、本発明の第2の実施の形態に係る半導体装置の第1の実験例におけるオン抵抗 $R_{on}$ と静電容量 $C_{iss}$ との関係を示す説明図である。この図においては、オン抵抗 $R_{on}$ と静電容量 $C_{iss}$ との積を示す指標値は、図28における実験例と同じ数値を示すものである。図32に示すように、図29の構成において、オン抵抗 $R_{on}$ と静電容量 $C_{iss}$ との積は、Yをほぼ $0.8\ \mu\text{m}$ ないし $1.0\ \mu\text{m}$ の範囲とした場合が最も小さくなる。また、この値は、第1の実施の形態に係る実験例における値よりもわずかに小さい。したがって、ゲート電極膜11の中段近傍に段差を設け、ゲート電極膜上部12の下端部の深さを溝10の深さに対して概ね50%~60%程度にした場合には、製造工程が複雑にはなるが、図31に示した例よりもさらに好適なものが得られる。

#### 【0035】

図30は、本発明の第2の実施の形態に係る半導体装置の第2の実験例を示す説明図である。図中、Gはゲート電極膜11の長さ、Zはゲート電極膜上部12とゲート電極膜下部13との水平方向の膜厚差を示す変数である。なお、他の符号は、図29のものと同一である。図30に示した実験例においては、Aを $0.8\ \mu\text{m}$ 、Bを $1.3\ \mu\text{m}$ 、Cを $1.6\ \mu\text{m}$ 、Dを $50\ \text{nm}$ 、Eを $0.25\ \mu\text{m}$ とした。したがって、この実験例では、ゲート電極膜上部12の下端部は、N<sup>-</sup>エピタキシャル層18とP型ボディ層19との境界面よりも上方に位置しているが、ゲート電極膜下部13の下端部はこの境界面よりも下方に位置している。この構成において、ソース電極膜24とドレイン電極膜25との間、およびゲート電極膜11とソース電極膜24との間に、図28に示した実験と同様の電圧を印加した。

#### 【0036】

図33は、本発明の第2の実施の形態に係る半導体装置の第2の実験例におけるオン抵抗 $R_{on}$ と静電容量 $C_{iss}$ との関係を示す説明図である。図33に示すように、図30の構成において、オン抵抗 $R_{on}$ と静電容量 $C_{iss}$ との積は、Zをほぼ $0.1\ \mu\text{m}$ ないし $0.3\ \mu\text{m}$ の範囲とした場合が最も小さくなる。したがって、ゲート電極膜上部12の膜厚に対してゲート電極膜下部13の膜厚を概ね30~85%程度とすることが最も好ましいと言える。また、この実験例においては、ゲート電極膜下部13の下端部がN<sup>-</sup>エピタキシャル層18とP型ボディ層19との境界面よりも下方に位置しているが、オン抵抗 $R_{on}$ と静電容量 $C_{iss}$ との積から判断する限り、実験例1に対して特段不利になることはなかった。したがって、ゲート電極膜11は、オン抵抗 $R_{on}$ と静電容量 $C_{iss}$ の双方を勘案する場合、その長さを溝10の深さに対して概ね50%~60%程度とし、中段付近に段差を設け、ゲート電極膜上部12の膜厚に対してゲート電極膜下部13の膜厚を概ね30~85%程度とすることが最も好ましいと言える。

#### 【0037】

さらに、本発明の第2の実施の形態に係る半導体装置の製造工程について説明する。図5~図26は、本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(a)~本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(v)である。これらの図中、31, 36, 41, 42はシリコン酸化膜、32, 45はフォトレジスト膜、33, 34は開口部、35は溝、37はシリコン窒化膜、38, 39, 40は溝内周面、43はポリシリコン膜、44は段差部である。

#### 【0038】

まず、図5に示すように、抵抗率を $3 \times 10^{-3}\ \Omega \cdot \text{cm}$ としたN<sup>+</sup>型シリコン基板17の表面上に、エピタキシャル成長によって、ドレイン層として厚さ4~5 $\mu\text{m}$ で抵抗率を

10

20

30

40

50

0.3 μmのN<sup>-</sup>エピタキシャル層18を形成する。なお、これらの抵抗率を適宜変更してもよい。

【0039】

さらに、図6に示すように、熱酸化処理を行なって、N<sup>-</sup>エピタキシャル層18の表面全体にシリコン酸化膜31を形成する。次に、図7に示すように、シリコン酸化膜31の表面全体にフォトレジストを塗布してフォトレジスト膜32を形成する。そして、フォトレジスト膜32の露光、現像を行なって溝10を形成する部位に開口部33を設け、溝10を形成する部位のシリコン酸化膜31を露出させる。

【0040】

次に、図8に示すように、フォトレジスト膜32をマスクとしてシリコン酸化膜31をドライエッチングし、開口部34を形成して溝10を形成する部位のN<sup>-</sup>エピタキシャル層18を露出させる。そして、図9に示すように、シリコン酸化膜31をマスクとして溝35を形成する。

【0041】

さらに、図10に示すように、熱酸化処理を行なって、シリコン酸化膜31の表面全体および溝35の内周面にシリコン酸化膜を形成する。この処理によって、溝35の内周面に露出していたN<sup>-</sup>エピタキシャル層18は、シリコン酸化膜36によって覆われる。続けて、図11に示すように、CVD法によって、シリコン酸化膜31および溝35の内周面のシリコン酸化膜36の表面全体にシリコン窒化膜37を堆積形成する。

【0042】

次に、図12に示すように、シリコン窒化膜37に対する異方性エッチングによって、シリコン酸化膜31の表面および溝35の底面のシリコン窒化膜37を除去する。この処理によって、シリコン窒化膜37は、溝35の周側面にのみ残る。さらに、図13に示すように、ドライエッチングによって、シリコン酸化膜31の上部および溝35の底面のシリコン酸化膜36の全部を除去する。この処理によって、溝35の底面にN<sup>-</sup>エピタキシャル層18が露出する。

【0043】

続けて、図14に示すように、溝35の底面に露出したN<sup>-</sup>エピタキシャル層18に対する異方性エッチングによって、溝35をN<sup>-</sup>エピタキシャル層18の内部にまで掘り下げる。この段階において、溝の掘り下げが完了し、溝10が形成された状態になる。さらに、図15に示すように、熱酸化処理を行なって、溝10の下部に露出しているN<sup>-</sup>エピタキシャル層18を酸化する。

【0044】

次に、図16に示すように、溝10の周側面に残ったシリコン窒化膜37をドライエッチングによって除去し、溝内周面38のシリコン酸化膜36を露出させる。この状態において、溝10の内周面は、その全体にわたってシリコン酸化膜が露出した状態になり、段差部44を境にして幅の異なる上下2段の溝が形成された状態となる。そして、図17に示すように、ウェットエッチングによって、N<sup>-</sup>エピタキシャル層18状のシリコン酸化膜31の一部および溝10の上段の内周面のシリコン酸化膜36のすべてを除去し、溝内周面39を露出させる。この処理によって、表面が荒れたシリコン酸化膜が除去される。

【0045】

続けて、図18に示すように、再び熱酸化処理を行なって、シリコン酸化膜31および溝10の内周面にシリコン酸化膜42を形成する。この処理によって、溝10の上段の内周面に再びシリコン酸化膜が形成されて、溝内周面40がシリコン酸化膜で覆われる。次に、図19に示すように、CVD法によって、リンをドーブしたポリシリコンを溝10の内部空間およびシリコン酸化膜31上に堆積してポリシリコン膜43を形成する。

【0046】

続けて、図20に示すようにドライエッチングによって、シリコン酸化膜31上のすべてのポリシリコン膜43を除去するとともに、溝10の内部のポリシリコン膜43のうちN<sup>-</sup>エピタキシャル層18の表面よりわずかに深い部位から上方のものを除去する。この処

10

20

30

40

50



理によって、溝10の内部にゲート電極膜11が形成される。また、溝10の段差部44によって、ゲート電極膜上部12の膜厚は、ゲート電極膜下部13の膜厚よりも厚くなる。次に、図21に示すように、ドライエッチングによって、N<sup>-</sup>エピタキシャル層18上のすべてのシリコン酸化膜31を除去するとともに、ゲート絶縁膜42のうちゲート電極膜11の表面よりわずかに深い部位から上方のものを除去する。

**【0047】**

そして、図22に示すように、熱酸化処理によって、N<sup>-</sup>エピタキシャル層18、ゲート電極膜11およびゲート絶縁膜42上にシリコン酸化膜41を形成する。さらに、ホウ素イオン(B<sup>+</sup>)をN<sup>-</sup>エピタキシャル層18に注入し、N<sup>-</sup>エピタキシャル層18の内部で拡散させてP型ボディ層19を形成する。この際、P型ボディ層19とN<sup>-</sup>エピタキシャル層18との境界面が溝10の段差部44よりも深くなるようにする。次に、図23に示すように、シリコン酸化膜41の表面全体にフォトレジストを塗布して露光、現像し、フォトレジスト膜45を形成する。そして、フォトレジスト膜45をマスクとしてホウ素イオン(B<sup>+</sup>)をP型ボディ層19に注入する。さらに、フォトレジスト膜45を除去後に加熱処理を行ない、ホウ素イオン(B<sup>+</sup>)をP型ボディ層19の内部で拡散させてP<sup>+</sup>型拡散領域20を形成する。

10

**【0048】**

続けて、新たにフォトレジストを塗布してフォトレジスト膜を形成し、露光、現像後に、これをマスクとして砒素イオン(As<sup>+</sup>)をP型ボディ層19に注入する。そして、フォトレジスト膜を除去後に加熱処理を行ない、拡散させてN<sup>+</sup>型ソース領域21を形成する。次に、図24に示すように、CVD法によって、シリコン酸化膜41の表面全体にPSG(Phospho-Silicate Glass)膜を堆積する。そして、再びフォトレジストを塗布してフォトレジスト膜を形成し、露光、現像する。次に、図25に示すように、このフォトレジスト膜をマスクとして、上部絶縁膜41およびこのPSG膜の溝10を覆う部分とその近傍部分が残るようにドライエッチングを行なう。残ったPSG膜は、層間絶縁膜22となる。

20

**【0049】**

最後に、図26に示すように、層間絶縁膜22およびP型ボディ層19の表面にアルミニウムをスパッタしてアルミニウム膜を形成し、フォトレジストを塗布して露光、現像する。そして、図示しない不要部分をドライエッチングによって除去し、ソース電極膜24を形成する。さらに、N<sup>+</sup>型シリコン基板17の裏面側に、金属薄膜を蒸着することによってドレイン電極膜25を形成する。

30

**【0050】**

以上の製造工程によれば、上下で膜厚の異なるゲート電極膜11を容易に形成することができる。なお、上述の工程においては、N<sup>-</sup>エピタキシャル層18をエピタキシャル成長によって形成するものとしたが、表面拡散法で形成してもよい。また、ソース電極膜24をアルミニウムで形成するものとしたが、銅など他の金属を用いて形成しても良い。

**【0051】**

また、ゲート電極膜11は、膜厚を上下2段で異なる構成としたが、さらに多段階で膜厚が異なるものとしても良い。図3は、本発明の第3の実施の形態に係る半導体装置を示す断面図である。図中の符号は、図1に用いたものと同じである。図3に示すように、本発明の第3の実施の形態に係る半導体装置においては、ゲート電極膜11の膜厚を上下3段階で変化させている。

40

**【0052】**

さらに、本発明の第4の実施の形態を図面に基づいて詳細に説明する。図4は、本発明の第4の実施の形態に係る半導体装置を示す断面図である。図中、23はゲート電極膜の表面と溝の内周面との距離、26はゲート電極膜の表面である。その他の符号は、図1に用いたものと同じである。図4に示すように、本発明の第4の実施の形態に係る半導体装置においては、ゲート電極膜の表面26を曲面として形成し、ゲート電極膜の表面と溝の内周面との距離23を連続的に変化するものとしている。

50

## 【 0 0 5 3 】

ゲート電極膜の形態については、以上のほかに、例えば上部の膜厚一定にし、下部の膜厚を徐々に薄くする、あるいは上部の膜厚を徐々に薄くし、下部の膜厚を一定にするなど他の形態に形成しても良い。また、以上説明した本発明の各実施の形態においては、Nチャネルトレンチゲート型パワーMOSFETの構成を例として取り上げたが、Pチャネルトレンチゲート型パワーMOSFETの場合においても同様に適用できる。さらに、トレンチゲート型パワーMOSFETの構成を有する半導体装置ばかりでなく、IGBTの構成を有する半導体装置にも好ましく適用できるものである。

## 【 0 0 5 4 】

## 【発明の効果】

以上のように、本発明は、ゲート電極膜の下端部をソース領域よりも深くかつドレイン層と導電領域との境界面よりも浅い範囲内に位置するようにしたことによって、オン抵抗を低くしつつゲート電極膜とドレイン層との間の静電容量を小さくでき、かつゲート絶縁膜の絶縁耐圧を確保することが可能になる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施の半導体装置を示す説明図であり、(a)は半導体装置のセルの配置を示す平面図であり、(b)はB-B線断面図である。

【図2】本発明の第2の実施の形態に係る半導体装置を示す断面図である。

【図3】本発明の第3の実施の形態に係る半導体装置を示す断面図である。

【図4】本発明の第4の実施の形態に係る半導体装置を示す断面図である。

【図5】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(a)である。

【図6】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(b)である。

【図7】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(c)である。

【図8】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(d)である。

【図9】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(e)である。

【図10】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(f)である。

【図11】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(g)である。

【図12】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(h)である。

【図13】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(i)である。

【図14】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(j)である。

【図15】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(k)である。

【図16】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(l)である。

【図17】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(m)である。

【図18】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(n)である。

【図19】本発明の第2の実施の形態に係る半導体装置の製造工程を説明する断面図(o)である。

10

20

30

40

50

【図 2 0】本発明の第 2 の実施の形態に係る半導体装置の製造工程を説明する断面図 ( p ) である。

【図 2 1】本発明の第 2 の実施の形態に係る半導体装置の製造工程を説明する断面図 ( q ) である。

【図 2 2】本発明の第 2 の実施の形態に係る半導体装置の製造工程を説明する断面図 ( r ) である。

【図 2 3】本発明の第 2 の実施の形態に係る半導体装置の製造工程を説明する断面図 ( s ) である。

【図 2 4】本発明の第 2 の実施の形態に係る半導体装置の製造工程を説明する断面図 ( t ) である。

10

【図 2 5】本発明の第 2 の実施の形態に係る半導体装置の製造工程を説明する断面図 ( u ) である。

【図 2 6】本発明の第 2 の実施の形態に係る半導体装置の製造工程を説明する断面図 ( v ) である。

【図 2 7】図 2 7 は、セルの別の配置の一例を示す平面図である。

【図 2 8】図 2 8 は、本発明の第 1 の実施の形態に係る半導体装置の実験例を示す説明図である。

【図 2 9】本発明の第 2 の実施の形態に係る半導体装置の第 1 の実験例を示す説明図である。

【図 3 0】本発明の第 2 の実施の形態に係る半導体装置の第 2 の実験例を示す説明図である。

20

【図 3 1】図 3 1 は、本発明の第 1 の実施の形態に係る半導体装置の実験例におけるオン抵抗  $R_{on}$  と静電容量  $C_{iss}$  との関係を示す説明図である。

【図 3 2】本発明の第 2 の実施の形態に係る半導体装置の第 1 の実験例におけるオン抵抗  $R_{on}$  と静電容量  $C_{iss}$  との関係を示す説明図である。

【図 3 3】本発明の第 2 の実施の形態に係る半導体装置の第 2 の実験例におけるオン抵抗  $R_{on}$  と静電容量  $C_{iss}$  との関係を示す説明図である。

【図 3 4】従来技術に係るトレンチゲート型パワー MOSFET 型の半導体装置の一例を示す説明図であり、( a ) は半導体装置の平面図であり、( b ) は A - A 線断面図である。

30

#### 【符号の簡単な説明】

1 a ~ 1 e セル

1 0 溝

1 1 ゲート電極膜

1 2 ゲート電極膜上部

1 3 ゲート電極膜下部

1 4 下側周側面部

1 5 周側面部

1 6 底面部

1 7  $N^+$  型シリコン基板

40

1 8  $N^-$  エピタキシャル層

1 9 P 型ボディ層

2 0  $P^+$  型拡散領域

2 1  $N^+$  型ソース領域

2 2 ポリシリコン絶縁膜

2 3 ゲート電極膜の表面

2 4 ソース電極膜

2 5 ドレイン電極膜

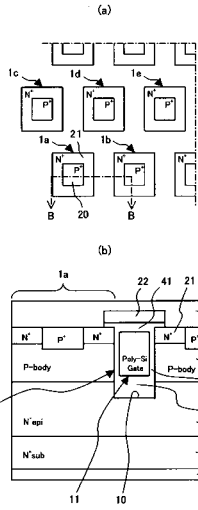
2 6 ゲート電極膜の表面と溝の内周面との距離

2 7 ゲート絶縁膜

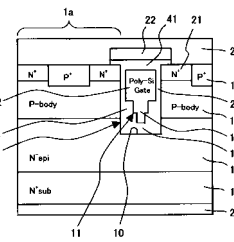
50

2 9	上側周側面部	
3 1	シリコン酸化膜	
3 2	フォトレジスト膜	
3 3	開口部	
3 4	開口部	
3 5	溝	
3 6	シリコン酸化膜	
3 7	シリコン窒化膜	
3 8	溝内周面	
3 9	溝内周面	10
4 0	溝内周面	
4 1	シリコン酸化膜	
4 2	シリコン酸化膜	
4 3	ポリシリコン膜	
4 4	段差部	
4 5	フォトレジスト膜	
1 0 0 a ~ 1 0 0 e	セル	
1 1 0	溝	
1 1 1	ゲート電極膜	
1 1 7	N <sup>+</sup> 型シリコン基板	20
1 1 8	N <sup>-</sup> エピタキシャル層	
1 1 9	P型ボディ層	
1 2 0	P <sup>+</sup> 型拡散領域	
1 2 1	N <sup>+</sup> 型ソース領域	
1 2 2	ポリシリコン絶縁膜	
1 2 4	ソース電極膜	
1 2 5	ドレイン電極膜	
1 2 7	ゲート絶縁膜	

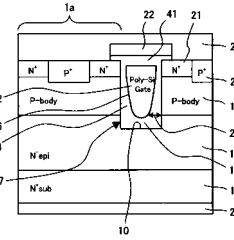
【 図 1 】



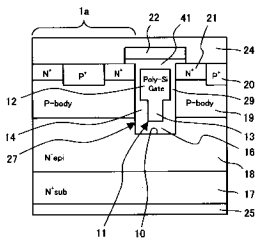
【 図 3 】



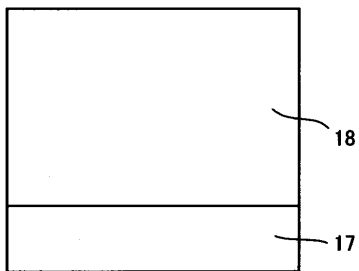
【 図 4 】



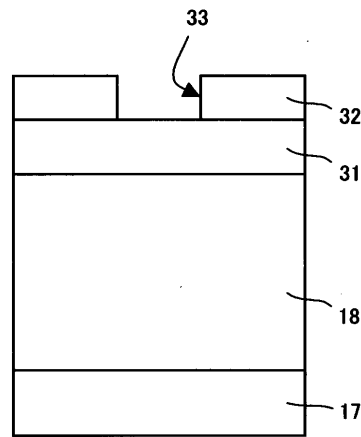
【 図 2 】



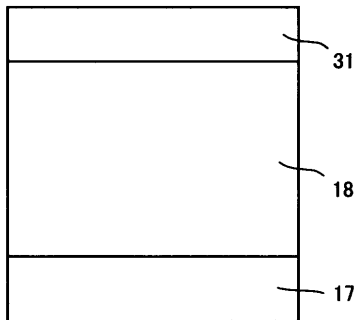
【 図 5 】



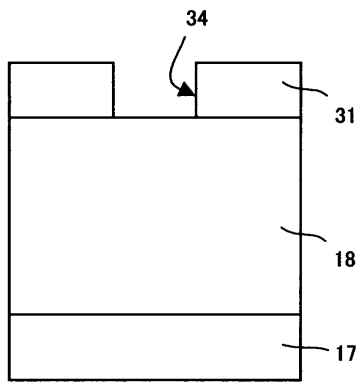
【 図 7 】



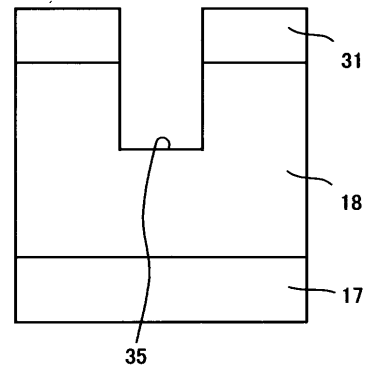
【 図 6 】



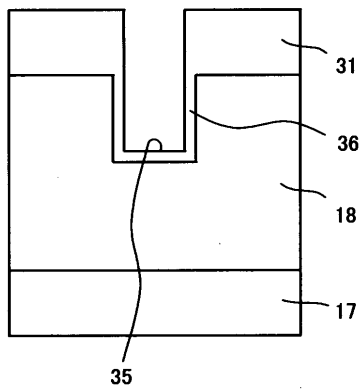
【図 8】



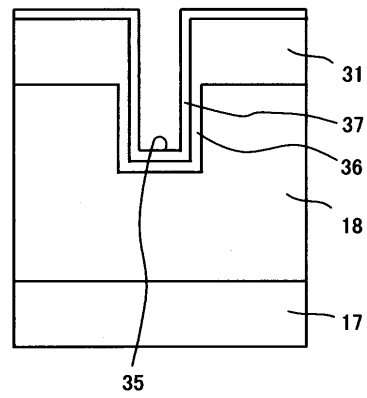
【図 9】



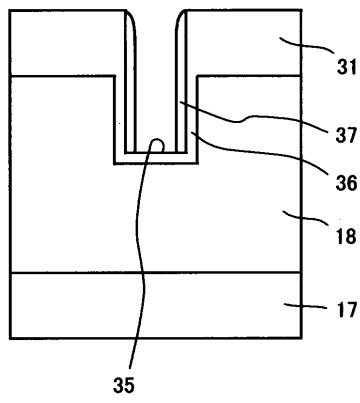
【図 10】



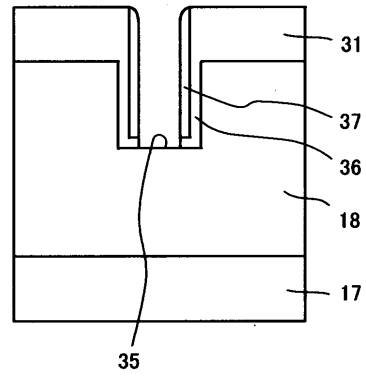
【図 11】



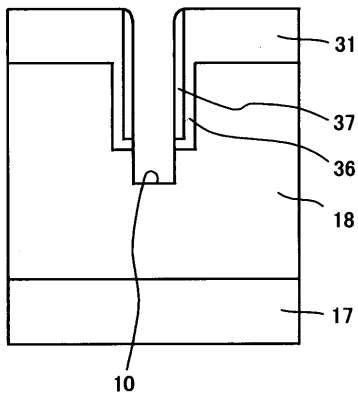
【図 12】



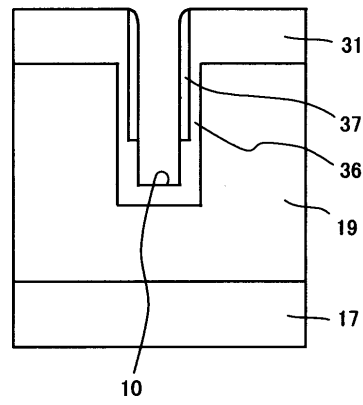
【図 13】



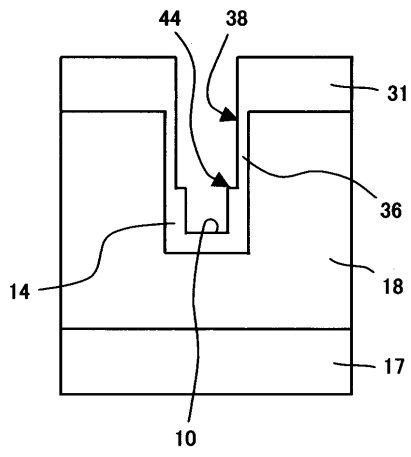
【図 14】



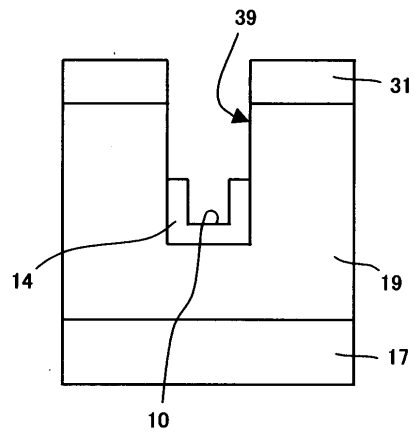
【図 15】



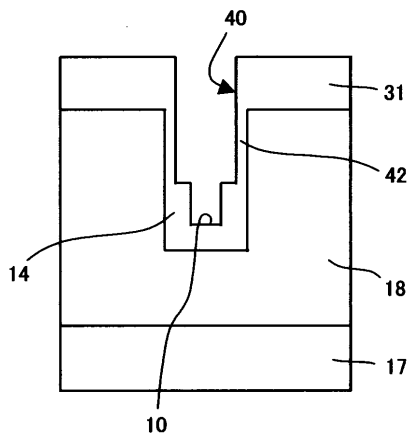
【図16】



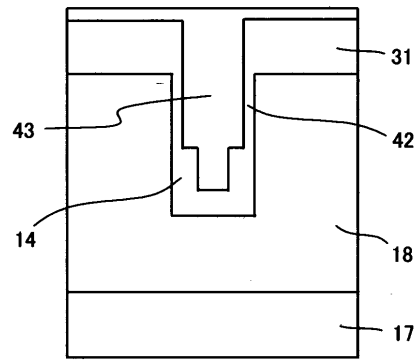
【図17】



【図18】

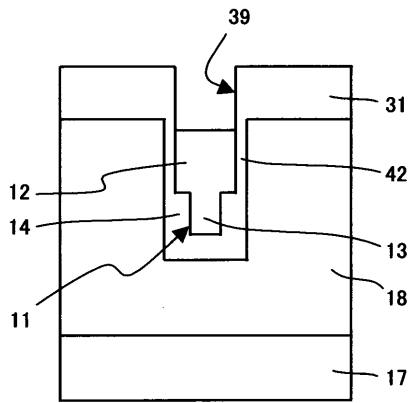


【図19】

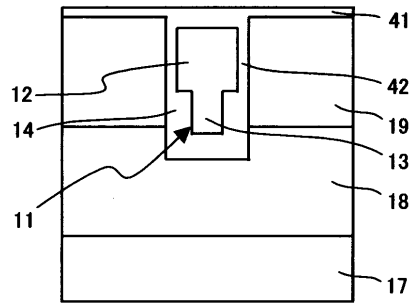




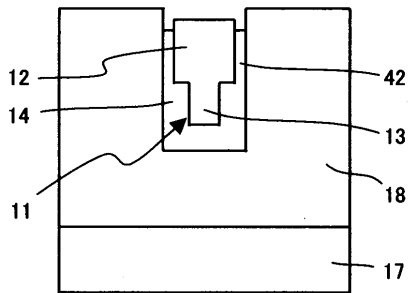
【図20】



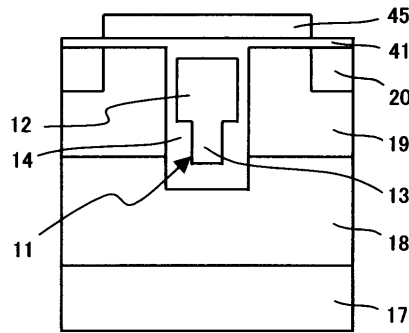
【図22】



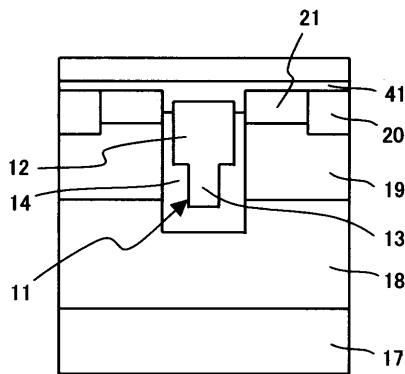
【図21】



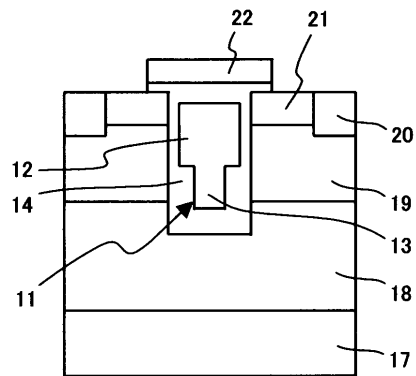
【図23】



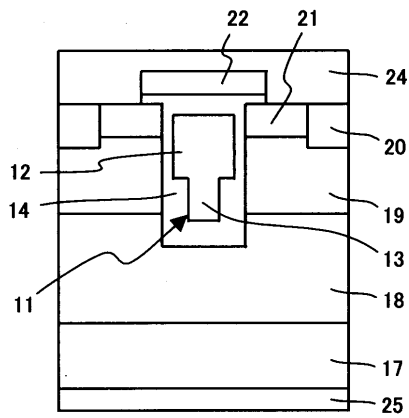
【図24】



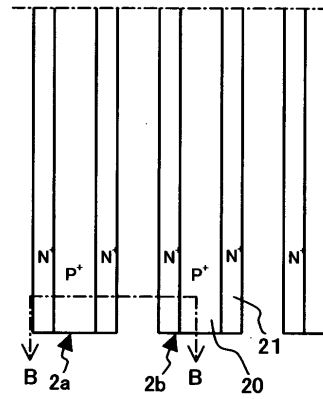
【図25】



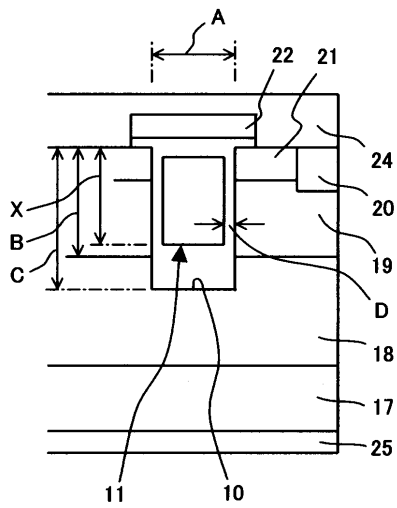
【 図 2 6 】



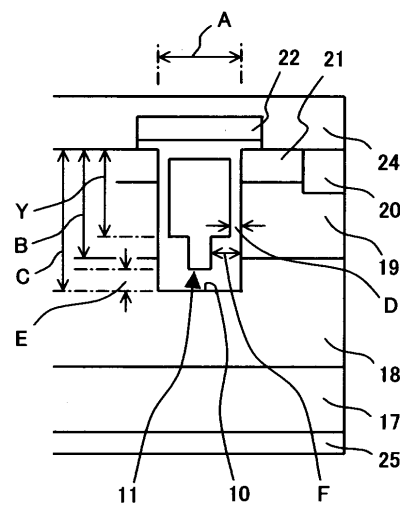
【 図 2 7 】



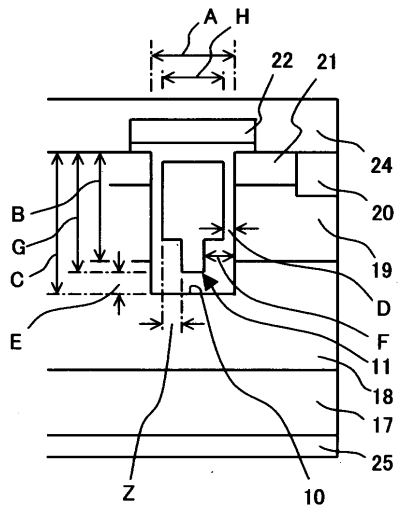
【 図 2 8 】



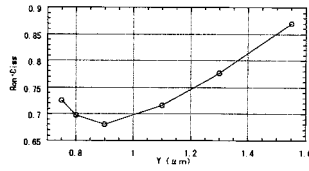
【 図 2 9 】



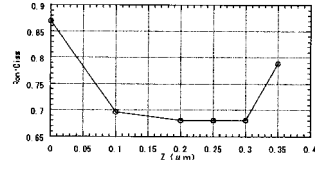
【 30 】



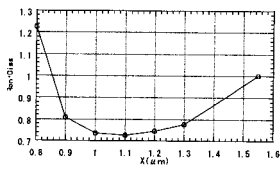
【 32 】



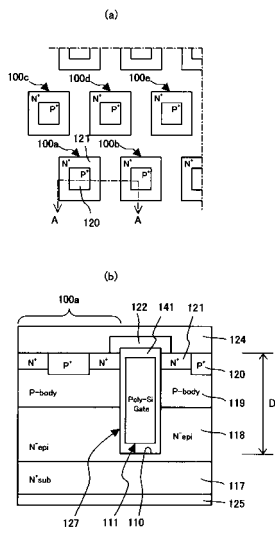
【 33 】



【 31 】



【 34 】



---

フロントページの続き

- (56)参考文献 特公昭62-004865(JP, B1)  
国際公開第00/025365(WO, A1)  
特開平09-283535(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 21/336

H01L 29/41