



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2011-0038594  
 (43) 공개일자 2011년04월14일

(51) Int. Cl.  
*H01L 21/336* (2006.01) *H01L 29/78* (2006.01)  
 (21) 출원번호 10-2010-0098494  
 (22) 출원일자 2010년10월08일  
 심사청구일자 없음  
 (30) 우선권주장  
 12/575,962 2009년10월08일 미국(US)

(71) 출원인  
**인터내셔널 비지네스 머신즈 코퍼레이션**  
 미국 10504 뉴욕주 아몬크 뉴오차드 로드  
 (72) 발명자  
**린, 청-순**  
 미국 10598 뉴욕주 요크타운 하이츠 루트 134 아  
 이비엠 티.제이. 왓슨 리서치 센터  
**창, 조세핀 비.**  
 미국 10598 뉴욕주 요크타운 하이츠 루트 134 아  
 이비엠 티.제이. 왓슨 리서치 센터  
**베델, 스테펜 더블유.**  
 미국 10598 뉴욕주 요크타운 하이츠 루트 134 아  
 이비엠 티.제이. 왓슨 리서치 센터  
 (74) 대리인  
**양영준, 장수길**

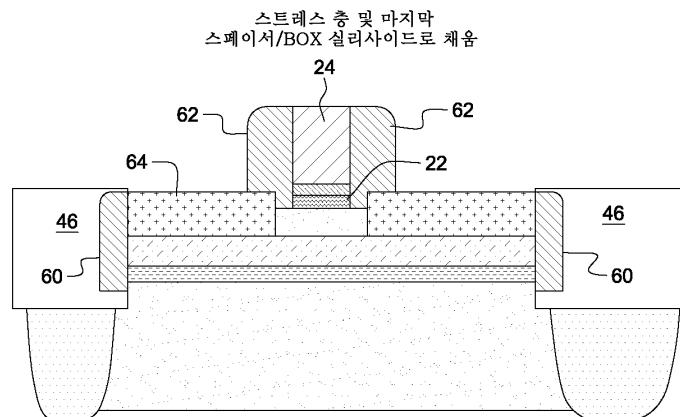
전체 청구항 수 : 총 10 항

**(54) 스트레스 라이너 상의 실리콘(SOL)을 갖는 반도체 장치**

**(57) 요약**

집적 회로를 제작하는 방법 및 스트레스 라이너 상에 실리콘을 갖는 집적 회로가 개시된다. 일 실시예에서, 방법은 내재된 디스퍼저블 층을 포함하는 반도체 기판을 제공하는 단계 및 상기 기판 내에 보이드를 형성하기 위해 상기 디스퍼저블 층의 적어도 일부를 제거하는 단계를 포함한다. 이 방법은 스트레스 라이너를 형성하기 위해 상기 보이드 내에 재료를 퇴적하는 단계 및 상기 기판의 외부 반도체 층 상에 트랜지스터를 형성하는 단계를 더 포함한다. 이 반도체 층은 상기 트랜지스터를 상기 스트레스 라이너로부터 분리시킨다. 일 실시예에서, 상기 기판은 분리 영역을 포함하고, 상기 제거하는 단계는 상기 분리 영역 내에 리세스를 형성하고 상기 리세스를 통해 상기 디스퍼저블 층의 적어도 일부를 제거하는 단계를 포함한다. 일 실시예에서, 상기 퇴적하는 단계는 상기 리세스를 통해 상기 보이드 내에 재료를 퇴적하는 단계를 포함한다. 엔드 캡(end caps)은 상기 스트레스 라이너의 단부의 상기 리세스 내에 형성될 수 있다.

**대표도** - 도9



## 특허청구의 범위

### 청구항 1

집적 회로를 제작하는 방법으로서,

외부(outer) 반도체 층 및 상기 외부 반도체 층 아래의, 내재된 디스포저블 층(embedded disposable layer)을 포함하는 반도체 기판을 제공하는 단계;

상기 반도체 층 아래에서, 상기 기판 내에 보이드를 형성하기 위해 상기 내재된 디스포저블 층의 적어도 일부를 제거하는 단계;

상기 기판 내에 스트레스 라이너를 형성하기 위해 상기 보이드 내에 재료를 퇴적하는 단계; 및

상기 외부 반도체 층 상에 트랜지스터를 형성하는 단계

를 포함하고, 상기 기판의 상기 반도체 층은 상기 트랜지스터를 스트레스 층으로부터 분리시키는, 집적 회로 제작 방법.

### 청구항 2

제1항에 있어서,

상기 기판은 분리 영역(isolation regions)을 포함하고,

상기 디스포저블 층의 적어도 일부를 제거하는 단계는 상기 분리 영역 내에 리세스를 형성하고 상기 리세스를 통해 상기 디스포저블 층의 적어도 일부를 제거하는 단계를 포함하는, 집적 회로 제작 방법.

### 청구항 3

제1항에 있어서, 상기 디스포저블 층은 SiGe 층인, 집적 회로 제작 방법.

### 청구항 4

제1항에 있어서, 상기 반도체 기판을 제공하는 단계는 상기 반도체 기판 내에 상기 디스포저블 층을 형성하는 단계를 포함하는, 집적 회로 제작 방법.

### 청구항 5

제1항에 있어서, 상기 트랜지스터를 형성하는 단계는 상기 반도체 기판의 표면 상에 상기 디스포저블 층을 에피텍셜로 성장시키고 상기 디스포저블 층 상에 상기 반도체 층을 에피텍셜로 성장시키는 단계를 포함하는, 집적 회로 제작 방법.

### 청구항 6

집적 회로를 제작하는 방법으로서,

외부 반도체 층 및 상기 외부 반도체 층 아래의, 내재된 디스포저블 층을 포함하는 반도체 기판을 제공하는 단계;

상기 반도체 층 아래에서, 상기 기판 내에 보이드를 형성하기 위해 상기 디스포저블 층의 적어도 일부를 제거하는 단계;

압축 스트레스 라이너 및 인장 스트레스 라이너를 형성하기 위해 상기 보이드 내에 재료를 퇴적하는 단계; 및

상기 기판의 상기 외부 반도체 층 상에 P-타입 트랜지스터 및 N-타입 트랜지스터를 형성하는 단계

를 포함하고,

상기 P-타입 트랜지스터는 상기 압축 스트레스 라이너 바로 위에 있고, 상기 N-타입 트랜지스터는 상기 인장 스트레스 라이너 바로 위에 있으며, 상기 기판의 상기 반도체 층은 상기 트랜지스터들을 상기 스트레스 라이너들

로부터 분리시키는, 집적 회로 제작 방법.

**청구항 7**

제6항에 있어서, 상기 제거하는 단계는,  
 상기 내재된 디스포저블 층의 횡방향 단부(lateral ends)에 리세스를 형성하는 단계; 및  
 상기 리세스를 통해 상기 디스포저블 층의 적어도 일부를 제거하는 단계  
 를 포함하는, 집적 회로 제작 방법.

**청구항 8**

집적 회로로서,  
 외부 반도체 층 및 상기 외부 반도체 층 아래의, 상기 기판 내에 형성된 스트레스 라이너를 포함하는 반도체 구조; 및  
 상기 외부 반도체 층 상에 형성된 트랜지스터  
 를 포함하며,  
 상기 반도체 층은 상기 트랜지스터를 상기 스트레스 라이너로부터 분리시키는, 집적 회로.

**청구항 9**

제8항에 있어서, 상기 기판은 상기 스트레스 라이너의 횡방향 단부에 분리 트렌치를 더 포함하는, 집적 회로.

**청구항 10**

집적 회로로서,  
 외부 반도체 층, 상기 외부 반도체 층 아래의, 상기 기판 내에 형성된 압축 스트레스 라이너, 및 인장 스트레스 라이너를 포함하는 반도체 구조; 및  
 상기 외부 반도체 층 상에 형성된 P-타입 트랜지스터 및 N-타입 트랜지스터  
 를 포함하고,  
 상기 P-타입 트랜지스터는 상기 압축 스트레스 라이너 바로 위에 있고, 상기 N-타입 트랜지스터는 상기 인장 스트레스 라이너 바로 위에 있으며, 상기 반도체 층은 상기 트랜지스터들을 상기 스트레스 라이너들로부터 분리시키는, 집적 회로.

**명세서**

**기술분야**

[0001] 본 발명은 일반적으로 집적 회로를 위한 반도체 장치에 관한 것으로, 보다 구체적으로는 장치의 성능을 강화시키기 위하여 스트레스 라이너(stress liner)를 갖는 반도체 장치에 관한 것이다.

**배경기술**

[0002] 일반적으로, 반도체 장치는 공통 반도체 기판 상에 형성된 P-채널 트랜지스터와 N-채널 트랜지스터의 상보적 페어를 갖는 집적 회로를 포함한다. 당업계에 일반적으로 알려져 있는 바와 같이, CMOS 기술은 일반적으로, 예를 들면 CMOS 장치의 특징인 높은 동작 효율, 높은 스위칭 스피드, 및 양호한 스케일링 특성으로 인한 고밀도 그리고 고성능 애플리케이션을 위한 IC(집적 회로) 칩을 제작하도록 사용된다. 반도체 제작 기술에서의 기술적 혁신은 CMOS 솔루션에 대한 마켓 수요를 빠른 스피드, 더 높은 집적 밀도, 및 더 낮은 전력 애플리케이션을 얻기 위해 추진해왔다. 그러나, 1 마이크로미터 미만 및 그보다 더 정교한 설계 규칙(submicron design rules and beyond)까지 CMOS 기술을 다운스케일링하는 것은 성능 및 신뢰성을 유지시킴에 있어서 기술적 어려움을 제기한다. 예를 들면, 장치의 크기가 다운스케일링되면, CMOS 트랜지스터는 더 얇은 게이트 전극, 더 작은 채널

길이, 및 더 얇은 드레인/소스 연장 확산 영역(drain/source extension diffusion regions)이 형성되어야 한다. 이 다운스케일링으로 인해 일반적으로 트랜지스터는 더 높은 채널 저항 및 더 높은 정션/컨택 기생 저항을 갖게 되며, 이는 성능을 저하시킨다.

[0003] 다운스케일링으로 인한 장치 성능의 영향을 완화시키기 위하여, 당업계의 CMOS 제작 기술의 다양한 상태가 구현되어 기생 게이트 및 정션 저항을 효과적으로 감소시키고, 채널 도전성을 증가시킬 수 있다. 예를 들면, DSL (듀얼 스트레스 라이너) 기술은 높게 스케일링된 CMOS 장치의 성능을 강화시키기 위한 수단으로서 CMOS 프로세스 흐름에 병합될 수 있다. 일반적으로, P-타입 트랜지스터의 도전 채널에 대한 채널 압축 스트레스의 애플리케이션이 채널 내의 캐리어(홀) 이동성을 향상시킬 수 있고, N-타입 트랜지스터의 도전 채널에 대한 인장 스트레스의 애플리케이션은 채널 내의 캐리어(전자) 이동성을 향상시킬 수 있다는 발견에는 DSL 기술이 전제된다. 이러한 점에서, 상보적 트랜지스터의 채널의 전하 캐리어 이동성을 증가시키기 위하여 P-타입 트랜지스터의 게이트 구조 위의 압축 스트레스 절연 라이너를 형성하고, N-타입 트랜지스터 장치의 게이트 구조 위에 인장 스트레스 절연 라이너를 형성하기 위한 다양한 DSL 기술이 개발되어 왔다.

[0004] 실리콘 MOSFET 채널로 압력을 신중히 유도하는 것은 CMOS 기술에서 장치의 성능을 향상시키기 위한 중요한 경로가 되어 왔다. 스트레스는 일반적으로 소스/드레인 영역으로부터 채널로 연결된다. 그러나, 밀도를 증가시키기 위하여 게이트 피치가 감소되면, 소스/드레인 영역의 크기는 빠르게 수축되고, 그러한 방법의 효능을 제한하게 된다. 게다가, 얇은 바디를 갖는 장치에서, 스트레스를 발생시키기 위해 내재된(embedded) 소스/드레인 요소를 사용하는 것은 또한 스트레스를 채널로 효과적으로 연결시킬 수 있는 얇은 기판에, 스트레스 재료(stressed materials)를 내재시키는 어려움 때문에 효과가 없다.

[0005] 스트레스를 발생시키기 위해 소스/드레인 영역을 사용하는 하나의 대안은 스트레스를 자신의 바로 아래의 채널로 직접 전달할 수 있는 스트레스 게이트 재료(stressed gate materials)를 사용하는 것이다. 그러나, 장치 형성에 사용되는 프로세싱 및 장치의 적절한 전기적 기능에서 게이트가 갖는 중요한 역할로 인하여 게이트로 사용될 것으로 고려될 수 있는 재료에 극히 제한적인 제약을 가져 중요한 스트레스의 병합을 어렵게 만든다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은 장치의 성능을 강화시키기 위하여 스트레스 라이너를 갖는 반도체 장치에 관한 것이다.

**과제의 해결 수단**

[0007] 본 발명의 실시예는 집적 회로를 제작하는 방법 및 스트레스 라이너 상에 실리콘을 갖는 집적 회로를 제공한다. 일 실시예에서, 방법은 외부(outer) 반도체 층 및 상기 외부 반도체 층 아래의, 내재된 디스포저블 층(embedded disposable layer)을 포함하는 반도체 기판을 제공하는 단계, 상기 반도체 층 아래에서, 상기 기판 내에 보이드를 형성하기 위해 상기 내재된 디스포저블 층의 적어도 일부를 제거하는 단계, 상기 기판 내에 스트레스 라이너를 형성하기 위해 상기 보이드 내에 재료를 퇴적하는 단계, 및 상기 외부 반도체 층 상에 트랜지스터를 형성하는 단계를 포함한다. 상기 기판의 상기 반도체 층은 상기 트랜지스터를 상기 스트레스 라이너로부터 분리시킨다.

[0008] 일 실시예에서, 상기 기판은 분리 영역(isolation regions)을 포함하고, 상기 디스포저블 층의 적어도 일부를 제거하는 단계는 상기 분리 영역 내에 리세스를 형성하고 상기 리세스를 통해 상기 디스포저블 층의 적어도 일부를 제거하는 단계를 포함한다. 일 실시예에서, 상기 퇴적하는 단계는 상기 리세스를 통해 상기 보이드 내에 상기 재료를 퇴적하는 단계를 포함하고, 상기 보이드 내에 상기 재료를 퇴적하는 단계는 상기 스트레스 라이너의 횡방향 단부의 상기 리세스 내에 엔드 캡(end caps)를 추가시키는 단계를 포함한다.

[0009] 일 실시예에서, 상기 디스포저블 층은 SiGe 층이다. 일 실시예에서, 상기 스트레스 라이너는 압축 스트레스 층이다. 일 실시예에서, 상기 스트레스 라이너는 인장 스트레스 층이다.

[0010] 일 실시예에서, 상기 반도체 기판을 제공하는 단계는 상기 반도체 기판 내에 상기 디스포저블 층을 형성하는 단계를 포함한다. 이 형성하는 단계는 상기 기판의 표면 상에 SiGe 층을 에피택셜로 성장시키고 상기 SiGe 층상에 상기 반도체 층을 에피택셜로 성장시킴으로써 행해질 수 있다. 또한 일 실시예에서, 상기 트랜지스터를 형성하는 단계는 소스 및 드레인 영역을 형성하기 위하여 상기 기판의 표면 내에 이온을 주입하고 상기 이온을 활성화시키기 위해 상기 기판을 어닐링하는 단계를 포함한다. 일 실시예에서, 상기 어닐링하는 단계는 상기 디스

포저블 층의 적어도 일부를 제거하는 단계 이후 그리고 상기 보이드 내에 상기 재료를 퇴적하는 단계 이전에 행해진다.

**발명의 효과**

[0011] 여러 실시예들에 따라서, 본 발명은 스트레스 라이너를 갖는 반도체 장치를 통해 장치의 성능을 강화시킨다.

**도면의 간단한 설명**

- [0012] 도 1은 반도체 구조에서의 GP(ground plant) 주입을 도시하는 도면.
- 도 2는 도 1의 반도체 구조에 형성된 리세스에서 성장된 SiGe 및 Si 층 에피택셀을 도시하는 도면.
- 도 3은 반도체 구조 상에 형성된 게이트를 도시하는 도면.
- 도 4는 게이트 상의 디스포저블 스페이서(disposable spacer) 및 소스/드레인 주입을 도시하는 도면.
- 도 5는 반도체 구조의 게이트 주위의 오프셋 스페이서를 도시하는 도면.
- 도 6은 반도체 구조의 분리 영역에 형성된 리세스를 도시하는 도면.
- 도 7은 반도체 구조로부터 SiGe 층의 제거를 도시하는 도면.
- 도 8은 어닐링 단계를 도시하는 도면.
- 도 9는 반도체 구조 내의 스트레스 층의 형성을 도시하는 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0013] 다음의 기술에서, 본 발명의 전체적인 이해를 제공하기 위하여 특정 구조, 구성요소, 재료, 치수, 프로세싱 단계 및 기술과 같은 많은 구체적인 설명이 개시된다. 그러나, 본 발명은 광범위한 구체적인 설명과 함께 실시될 수 있다고 당업자에 의해 이해될 것이다. 다른 예에서, 잘 알려진 구조 또는 프로세싱 단계는 본 발명을 모호하게 하는 것을 피하기 위하여 자세히 기술되지 않았다.
- [0014] 본 발명은 IC에 관한 것이다. 보다 구체적으로, 본 발명은 영역 패널티 또는 레이아웃 비효율성을 초래하지 않고 신뢰성 및 성능을 향상시키는 스트레스 라이너를 갖는 집적 회로에 관한 것이다. 본 발명은 DRAM(dynamic random access memories), SRAM(static random access memories), PROM(programmable read-only memories) 및 플래쉬 메모리를 포함하는 비휘발성 메모리, 광전자 장치, 논리 장치, 통신 장치, DSP(digital signal processors), 마이크로컨트롤러, 시스템-온-칩 뿐만 아니라 다른 유형의 장치들과 같은 다양한 유형의 IC에 적용될 수 있다.
- [0015] 도 1은 종래의 반도체 기관일 수 있는, 분리 영역(14)을 포함하는 반도체 기관(10)을 도시한다. 베이스 반도체 기관(10)은 Si, SiC, SiGe, SiGeC, Ge 합금, GaAs, InAs, InP, 다른 III-V 또는 II-VI 화합물 반도체, 또는 유기 반도체 구조를 포함하지만 이에 한정되지 않는 임의의 반도체 재료를 포함할 수 있다. 본 발명의 소정의 실시예에서, 베이스 반도체 기관(10)은 Si-포함 반도체 재료, 예를 들면 실리콘을 포함하는 반도체 재료를 포함할 수 있다. 또한, 베이스 반도체 기관(10)은 도핑될 수 있거나, 도핑된 영역 및 도핑되지 않은 영역을 모두 포함할 수 있다. 베이스 반도체 기관(10)은 벌크 반도체 기관일 수 있지만, 이는 또한 하나 이상의 매립된 (도시되지 않은) 절연층을 포함할 수 있다.
- [0016] 분리 영역(14)은 도 1에 도시된 구조를 인접한 반도체 구조로부터 분리시키도록 제공된다. 일 실시예에서, 분리 영역은 STI(shallow trench isolation) 영역을 포함한다. STI는 기관(10)에 형성되고 실리콘 옥사이드와 같은 유전체 재료로 채워진 트렌치를 포함한다. 다른 유형의 분리 영역이 또한 사용될 수 있다. 예를 들면, 트렌치(14)는 리소그래피 및 에칭에 의해 형성될 수 있다.
- [0017] 리소그래피 단계는 포토레지스트를 기관(10)의 표면에 도포하는 단계, 포토레지스트를 노광하는 단계, 및 종래의 레지스트 현상기를 이용하여 노광된 포토레지스트를 현상하는 단계를 포함한다. 트렌치(14)를 형성하는데 사용된 에칭 단계는 임의의 표준 Si 지향적 반응성 이온 에칭 프로세스를 포함할 수 있다. 플라즈마 에칭, 이온 빔 에칭, 및 레이저 절삭과 같은 다른 건식 에칭 프로세스가 또한 이용될 수 있다. 패턴화된 포토레지스트에 의해 보호되는 기관(10)의 부분은 에칭하는 동안 제거되지 않는다. 에칭한 후, 패턴화된 포토레지스트는 종래의 레지스트 박리 프로세스를 활용하여 제거된다.



- [0018] 반도체 기판(10) 내에서 높은 농도의 실리콘 층(16)을 형성하도록 높은 에너지, GP(ground plant) 주입이 수행된다. 임의의 적절한 GP 공정이 층(16)을 형성하는데 사용될 수 있다.
- [0019] 다음으로, 도 2를 참조하면, 고농도 층(16)이 형성된 후, 그 층 위의 기판(10)의 부분은 반도체 리세스의 상부(top)에 리세스를 형성하기 위해 에칭되어진다. SiGe 층(18)은 층(16) 위에 에피택셜적으로 성장되고, Si 층(20)은 그 SiGe 층(18) 층 위에 성장된다. 리세스를 형성하고 층(18 및 20)을 에피택셜적으로 성장시키기 위한 임의의 적절한 공정이 사용될 수 있다.
- [0020] 리세스 에칭은 임의의 적절한 에칭 프로세스일 수 있다. 예를 들면, 표준 플라즈마 에칭 기계는 온도 40-100°C, 압력 1-10에서 HBr, CF<sub>4</sub>, 및 O<sub>2</sub> 전구체 기체와 함께 사용될 수 있다.
- [0021] 에피택셜 SiGe 층(18)은 임의의 적절한 표준 프로세스에 의해 형성될 수 있다. 예를 들면, RTCVD(reduced-temperature chemical vapor deposition), UHCVD(ultra-high vacuum chemical vapor deposition), MBE(molecular beam epitaxy), 또는 작거나 큰 배치 퍼니스 기반 프로세스(batch furnace-based process)가 사용될 수 있다. 예를 들면, 실리콘-보유 전구체 DCS(dichlorosilane), 게르마늄-보유 전구체 GeH<sub>4</sub>(germane), 및 p-도핑 전구체 B<sub>2</sub>H<sub>6</sub>(diborane)은 SiGe 층을 성장시키는데 사용될 수 있다. 대안적으로, 에피택셜 퇴적 프로세스는 또한 탄소-보유 전구체 SiH<sub>3</sub>CH<sub>3</sub>(mono-methyl-silane)를 포함할 수 있다. 예를 들면, RTCVD 프로세스는 온도 범위 450-800°C, 그리고 압력 1-100 torr 사이에서 이용될 수 있다.
- [0022] 실리콘 층(20)이 SiGe 층(18) 위에 에피택셜적으로 성장된다. Si 층은 Si, 압축된 Si, SiC, SiGe, SiGeC, Si 합금, Ge, Ge 합금, GaAs, InAs, 및 InP, 또는 그들의 임의의 조합을 포함하지만 이에 제한되지 않는 임의의 반도체 재료를 포함할 수 있다. 다수의 상이한 소스는 에피택셜 실리콘의 퇴적을 위해 사용될 수 있다. 에피택셜 성장을 위한 실리콘 소스는 실리콘 테트라클로라이드, SiH<sub>2</sub>Cl<sub>2</sub>(dichlorosilane), 및 SiH<sub>4</sub>(silane)이다. 에피택셜 실리콘 퇴적을 위한 온도는 일반적으로 550°C에서 900°C 범위에 있다. 더 높은 온도로 인해 일반적으로 더 빠른 퇴적을 얻을 수 있지만, 더 빠른 퇴적으로 인해 결정 결함 및 필름 균열이 발생할 수 있다.
- [0023] 이어서 게이트 영역이 형성된다. 도 3-5를 참조하면, 게이트 유전체(22)의 블랭킷 층이 층(20)의 표면 상에 형성된다. 게이트 유전체(22)는 예를 들어 약 4.0 또는 그보다 큰 유전체 상수를 갖는 절연 재료를 포함한다. 일 실시예에서, 유전체(22)는 7.0보다 큰 유전체 상수를 가질 수 있다. 본 명세서에 언급된 유전체 상수는 다르게 나타나지 않는 한 진공에 관한 것이다. SiO<sub>2</sub>는 일반적으로 약 4.0인 유전체 상수를 갖는다는 것을 주의한다. 특히, 본 발명에 사용되는 게이트 유전체(22)는 옥사이드, 니트라이드, 옥시니트라이드, 및/또는 금속 실리콘케이트들을 포함하는 실리콘케이트들, 알루미늄에이트들, 티타네이트들, 및 니트라이드들을 포함하지만 이에 한정되는 것은 아니다. 일 실시예에서, 게이트 유전체(22)는, 예를 들면, SiO<sub>2</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, La<sub>2</sub>O<sub>3</sub>, SrTiO<sub>3</sub>, LaAlO<sub>3</sub>, Y<sub>2</sub>O<sub>3</sub>, 및 그들의 혼합물을 포함할 수 있다.
- [0024] 게이트 유전체(22)는 예를 들면 산화물과 같은 열 성장 프로세스에 의해 형성될 수 있다. 대안적으로, 게이트 유전체(22)는, 예를 들면 CVD(chemical vapor deposition), 플라즈마를 이용한 CVD, ALD 또는 ALPD(atomic layer or pulsed deposition), 증착(evaporation), 반응성 스퍼터링, 화학 용액 퇴적 또는 다른 유사한 퇴적 프로세스와 같은 퇴적 프로세스에 의해 형성될 수 있다. 게이트 유전체(22)는 또한 위의 프로세스들의 임의의 조합을 활용하여 형성될 수 있다.
- [0025] 게이트 유전체(22)의 물리적 두께는 다양할 수 있지만, 일반적으로 게이트 유전체(22)는 약 0.5nm에서 약 10nm까지의 두께를 갖고, 좀 더 일반적으로는 약 0.5nm에서 약 2nm까지의 두께를 갖는다.
- [0026] 게이트 유전체(22)를 형성한 후, 도 3에 도시된 게이트 도전체(24)가 되는 폴리실리콘 또는 또 다른 게이트 도전체 재료 또는 그 조합의 블랭킷 층은 알려진 퇴적 프로세스, 예를 들면 물리적 기상 퇴적, CVD, 또는 증착을 활용하여 게이트 유전체(22) 상에 형성된다. 프로세스의 이 지점에 퇴적된 게이트 도전체(24)의 두께, 즉 높이는 사용되는 퇴적 프로세스에 따라 달라질 수 있다. 일반적으로, 게이트 도전체(24)는 약 20nm에서 약 180nm까지의 수직 두께를 갖고, 더 일반적으로는 약 40nm에서 약 150nm까지의 두께를 갖는다.
- [0027] 게이트 도전체(24)는 일반적으로 CMOS 구조의 게이트로 사용되는 임의의 도전성 재료를 포함할 수 있다. 게이트 도전체(24)로 사용될 수 있는 그러한 도전성 재료의 예시적인 예는 폴리실리콘, 도전성 금속, 또는 도전성 금속 합금, 도전성 슈어사이드(conductive suicides), 도전성 니트라이드, 폴리SiGe, 및 그들의 복수의 층을 포함하여 그들의 조합을 포함하지만 이에 한정되는 것은 아니다. 소정의 실시예에서, 장벽층은 게이트 도전체의

복수의 층 사이에 형성될 수 있다.

- [0028] 게이트 도전체 재료(24)의 블랭킷 층은 도핑되거나 도핑되지 않을 수 있다. 도핑된 경우, 인 시츄(in-situ) 도핑 퇴적 프로세스가 동일한 것을 형성하는데 사용될 수 있다. 대안적으로, 도핑된 게이트 도전체 층은 퇴적, 이온 주입, 및 어닐링에 의해 형성될 수 있다. 도펀트 이온의 예시적인 예는 As, P, B, Sb, Bi, In, Al, Ga, Ti, 그들의 혼합물을 포함한다. 이온 주입을 위한 일반적인 양은  $1E14(=1 \times 10^{14})$  atoms/cm<sup>2</sup> 에서  $1E16(=1 \times 10^{16})$  atoms/cm<sup>2</sup> 까지 또는 더 일반적으로는  $1E15$  atoms/cm<sup>2</sup>에서  $5E15$  atoms/cm<sup>2</sup>에 이른다. 이 주입은 선택적일 수 있다는 것을 주의한다.
- [0029] 도 4를 참조하면, 디스포저블 스페이서(26)는 게이트 도전체의 도핑 동안 사용될 수 있다. 도 4에 도시된 실시예에서, 디스포저블 스페이서(26)는 게이트 전극(24)의 측면 상에 형성된다. 디스포저블 스페이서는 임의의 적절한 재료를 포함할 수 있고, 예를 들면 이 스페이서는 포토레지스트, 유기 재료, 또는 ARC(anti-reflective coating) 유기 재료를 포함할 수 있다. 예를 들면, ARC(Anti-Reflective Coating)는 프로필렌 글리콜 모노메틸 에테르와 같은 재료를 포함할 수 있다. 디스포저블 스페이서는 기판 및 게이트 구조 위에 (ARC 층과 같은) 유기층을 형성함으로써 형성될 수 있다. 유기층은 디스포저블 스페이서를 형성하기 위하여 이방성으로 (anisotropically) RIE 에칭될 수 있다. 예를 들면, 디스포저블 스페이서(26)는 10 angstroms에서 1000 angstroms 사이의 넓이를 가질 수 있다.
- [0030] 옥사이드 또는 니트라이드와 같은 (도시되지 않은) 선택적인 유전체 캡은 게이트 도전체(24) 상에 형성될 수 있다. 선택적인 유전체 캡은 후속적으로 형성될 확산 영역이 실리사이드화되기 전 또는 직후에 일반적으로 제거된다. CVD 또는 PECVD와 같은 종래의 퇴적 프로세스는 이런 선택적인 유전체 캡을 형성하는데 사용될 수 있다. 선택적인 유전체 캡은 존재할 때 약 10nm에서 약 50nm까지의 두께를 가질 수 있다.
- [0031] 다음으로, 확산 영역(32 및 34)은 종래의 깊은 이온 주입 프로세스를 활용하여 형성된다. 후속하여 소스/드레인 영역이 되는 확산 영역(32 및 34)은 50nm보다 얇은 정선 깊이를 가질 수 있다. 확산 영역은 게이트 구조(22, 24, 26)의 각각의 측면 상의 풋프린트(footprint)에 존재한다. 게이트 구조(22, 24, 26) 바로 아래의 확산 영역(32, 34) 사이의 영역은 장치 채널(36)이다.
- [0032] 블랭킷 게이트 도전체(24), 게이트 유전체(22), 및 선택적으로 유전체 캡은 리소그래피 및 에칭에 의해 패턴화되어 도 5에 도시된 적어도 하나의 패턴화된 게이트 영역(40)을 제공한다. 복수의 패턴화된 게이트 영역이 존재할 때, 패턴화된 게이트 영역은 동일한 치수, 즉 길이를 가질 수 있고, 그들은 장치 성능을 향상시키는 가변 치수를 가질 수 있다. 제작 프로세스의 이 지점에서의 각각의 패턴화된 게이트 영역은 적어도 게이트 도전체(24) 및 게이트 유전체(22)의 스택을 포함할 수 있다. 리소그래피 단계는 포토레지스트를 게이트 도전체(24)의 상위 표면에 도포시키는 단계, 포토레지스트를 원하는 패턴의 복사에 노광시키는 단계, 및 종래의 레지스트 현상기를 활용하여 노광된 포토레지스트를 현상하는 단계를 포함한다.
- [0033] 포토레지스트에서의 패턴은 하나 이상의 건식 에칭 단계를 활용하여 게이트 도전체(24) 및 게이트 유전체(22)의 블랭킷 층으로 전사된다. 소정의 실시예에서, 패턴화된 포토레지스트는 패턴이 게이트 도전체(24)의 블랭킷 층으로 전사된 후 제거될 수 있다. 선택적인 유전체 캡이 존재할 때, 포토레지스트는 캡에 도포될 수 있고 위의 프로세싱이 수행된다.
- [0034] 패턴화된 게이트 영역(40)을 형성하는데 사용될 수 있는 적절한 건식 에칭 프로세스는 반응성 이온 에칭, 이온 빔 에칭, 플라즈마 에칭 또는 레이저 절삭을 포함하지만, 이에 한정되는 것은 아니다. 습식 또는 건식 에칭 프로세스는 또한 패턴화된 게이트 도전체(24)에 의해 보호되지 않는 게이트 유전체(22)의 부분을 제거하는데 사용될 수 있다.
- [0035] 디스포저블 스페이서(26)가 제거되고, 도 5를 참조하면, 오프셋 스페이서(예를 들어, 확산 스페이서; 42)가 각각의 패턴화된 게이트 영역의 노출된 측면 상에 형성된다. 오프셋 스페이서(42)는 옥사이드, 니트라이드, 옥시니트라이드, 또는 탄소-포함 실리콘 옥사이드, 니트라이드, 옥시니트라이드, 및/또는 그들의 임의의 조합과 같은 절연체를 포함한다. 오프셋 스페이서(42)는 퇴적과 에칭에 의해 또는 열 기술에 의해 형성될 수 있다.
- [0036] 오프셋 스페이서(42)의 넓이는 확산 영역(32 및 34)을 형성하는데 사용되는 p-타입 도펀트 및 n-타입 도펀트의 상이한 확산율(diffusion rates)을 보상하기 위해 조정될 수 있다. 일반적으로, 오프셋 스페이서(42)는 약 3nm에서 약 20nm까지의 횡단 넓이를 갖고, 더 일반적으로는 약 7nm에서 약 15nm까지의 횡단 넓이를 갖는다. 소정의 실시예에서, 레이저 어닐 같은 발전된 열 프로세스가 확산 영역(32, 34) 내의 도펀트를 활성화시키는데 사용

되는 경우, 오프셋 스페이스의 넓이는 3nm 아래로 또는 심지어 더 제한적으로 스케일링될 수 있다.

- [0037] 할로 주입은 종래의 할로 이온 주입 프로세스를 활용하여 프로세스의 이 지점에서 수행될 수 있다. 할로 이온 주입이 사용될 수 있지만, 이는 또 다른 확산 영역의 형성을 나타내는 것은 아니다. 확산 영역을 포함하는 구조(32 및 34) 및 오프셋 스페이스(42)가 도 5에 도시된다. 대안적으로, 실리콘 두께가 10nm 미만인 장치에서, 할로 주입은 장치의 문턱 전압(threshold voltage)이 게이트 전극에 의해 더 강력하게 제어되기 때문에 일반적으로 요구되지 않는다.
- [0038] 도 6에 도시된 다음 단계는, 횡단 액세스가 SiGe 층(18)에 제공될 때까지의, 리세스(46)를 형성하기 위한 분리 트렌치(14)의 선택적 에칭이다. 이 에칭은 예를 들면 이방성 플라즈마 에칭에 의한 종래의 방식으로 수행될 수 있다. 프로세스는 도 7에 도시된 바와 같이 선택적 횡단 에칭에 의해 SiGe 층(18)이 제거되는 단계로 이어진다.
- [0039] (40ml의 70% HNO<sub>3</sub> + 20ml의 H<sub>2</sub>O<sub>2</sub> + 5ml의 0.5% HF를 포함하는 용액으로의 에칭에 의하는 것과 같은) 화학 산화(oxidizing chemistry)에 의해 또는 등방성 플라즈마 에칭에 의해 SiGe이 제거될 수 있다.
- [0040] 도 7은 트렌치(14)의 에칭 및 SiGe 층(18)의 횡단 에칭 이후 기판(10)의 모습을 도시하는 도면이다. 활성 영역에서, 실리콘 에피층(20) 아래에, 더 구체적으로는 채널 영역(36) 바로 아래에 빈 보이드(44)가 존재한다. 층(20) 및 게이트 영역(40)은 임의의 적절한 방법으로 보이드(44) 위에 물리적으로 지지될 수 있다. 예를 들면, 층(12)은 도 7의 평면 위 그리고 아래에 위치되는 (도시되지 않은) STI 영역에 고정될 수 있다. 또한, 구조를 유지하기 위하여 보이드(44) 주위에 (도시되지 않은) 지지부(supports)가 위치할 수 있다.
- [0041] 도 8을 참조하면, SiGe가 제거된 후, 소스 및 드레인 영역(32, 34)에서 이온을 활성화시키기 위해 어닐링 단계가 수행된다. 임의의 적절한 어닐링 프로세스가 사용될 수 있고, 예를 들면 RTA(Rapid Thermal Anneal)이 이용될 수 있다. 예를 들면, 구조는 RTA 장치의 챔버 안에 놓여져서 N<sub>2</sub> 및 O<sub>2</sub> 환경에서 1분에서 5분 동안 300°C와 600°C 사이의 온도 범위로 가열될 수 있다. 이 방법은 N<sub>2</sub> 및 O<sub>2</sub> 가스를 이용하여 각각 0.5atm에서 1.5atm사이의 범위에서 수행될 수 있다.
- [0042] 도 8 및 도 9를 참조하면, 보이드(44)는 스트레스 라이너를 제작하려는 목적을 위한 재료 또는 재료들로 채워진다. 일 실시예에서, 스트레스 유발 재료는 인장 스트레스 유발 재료를 포함하고, 예를 들면 실리콘 니트라이드가 사용될 수 있다. 인장 스트레스 층의 두께는 예를 들면 약 400-1000Å이고, 바람직하게는 약 500Å이다. 다른 두께가 또한 유용할 수 있다. 인장 스트레스 층을 형성하는데 다양한 기술이 사용될 수 있다. 예를 들면, LPCVD(low pressure CVD), PECVD(plasma enhanced CVD), RTCVD(rapid thermal CVD), 또는 BTBAS-기반 CVD와 같은 화학 퇴적 기술을 이용하여 제1 스트레스 층이 형성될 수 있다. 본 발명의 일 실시예에 따른 인장 스트레스 층은 SiH<sub>4</sub> 전구체를 이용하여 PECVD에 의해 퇴적될 수 있다.
- [0043] 또 다른 실시예에서, 스트레스 층은 압축 스트레스 재료를 포함하고, 예를 들면 실리콘 니트라이드는 또한 압축 스트레스 층을 형성하는데 사용될 수 있다. 일반적으로, 스트레스 층의 두께는 약 400-1000Å이다. 바람직하게는, 제2 스트레스 층의 두께는 약 600Å이다. 다른 두께가 또한 유용하다. LPCVD(low pressure CVD), PECVD(plasma enhanced CVD), HDPCVD(high density plasma CVD), RTCVD(rapid thermal CVD), 또는 BTBAS-기반 CVD와 같은 다양한 기술이 제2 스트레스 층을 형성하는데 사용될 수 있다. 일 실시예에서, 제2 스트레스 층은 실란(SiH<sub>4</sub>) 전구체를 이용하여 HDPCVD에 의해 형성될 수 있다.
- [0044] 또 다른 실시예에서, 인장 및 압축 스트레스 라이너는 보이드(44) 안에 형성될 수 있다. 이 실시예에서, 기판(10)은 P-타입 및 N-타입 트랜지스터로 제공될 수 있는데, 이 때 P-타입 트랜지스터는 압축 스트레스 라이너 바로 위에, 그리고 N-타입 트랜지스터는 인장 스트레스 라이너 바로 위에 위치할 수 있다.
- [0045] 스트레스 라이너가 형성된 후, 실리콘이 엔드 캡(60)을 형성하기 위해 스트레스 라이너의 단부에 추가될 수 있다. 프로세스는 트렌치(14)를 유전체로 채우는 단계로 이어진다. 이 유전체는 STI 프로세스에 사용된 것과 동일할 수 있다.
- [0046] 완성된 구조를 얻기 위하여 원하는 대로 추가적인 프로세스 단계가 사용될 수 있다. 예를 들면, 마지막 스페이스(62)가 게이트 구조(22, 24) 주위에 추가될 수 있고, 상부 실리콘 층(64)이 반도체 기판 위에 추가될 수 있다. 스페이스(62) 및 층(64)은 임의의 적절한 방법으로 형성되거나 추가될 수 있고, 예를 들면, 종래의 기술이 사용될 수 있다.

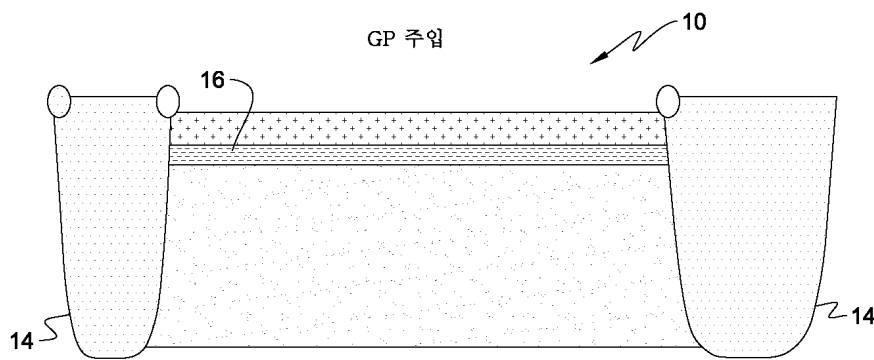


[0047] 또한, BOX(buried oxide) 층이 기판(10)에 형성될 수 있다. BOX 층은 임의의 적절한 방법으로 형성될 수 있다. 예를 들면, BOX가 형성되는 초기 기판(10)은 본딩 프로세스와 같은 층 전사 프로세스를 이용하여 형성될 수 있다. 대안적으로, SIMOX(separation by implanted oxygen)로 지칭되는 기술이 BOX 층을 형성하는데 사용될 수 있다. 이 프로세스에서, 이온, 일반적으로 산소가 벌크 Si-포함 기판에 주입되고, 주입된 이온을 포함하는 기판은 매립 절연 층, 즉 BOX를 형성할 수 있는 조건 하에서 어닐링된다. 도 9에 도시된 장치가 얻어진다.

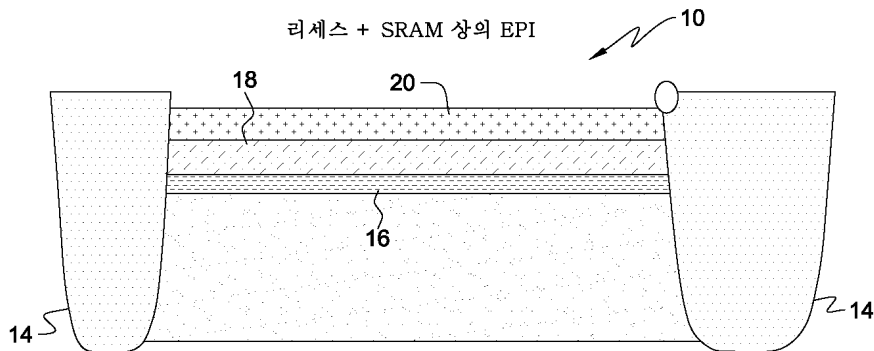
[0048] 본 발명은 선호되는 실시예에 대하여 특별히 도시되고 기술되었지만, 본 발명의 사상과 범주로부터 벗어나지 않은 채 형태 및 디테일에서의 변화가 행해질 수 있다는 것이 당업자에 의해 이해될 것이다. 그러므로, 본 발명은 본 명세서에서 기술되고 도시되는 정확한 형태 및 디테일에 제한받지 않으나 첨부되는 특허청구범위의 사상과 범주 내에 속한다는 의도이다.

**도면**

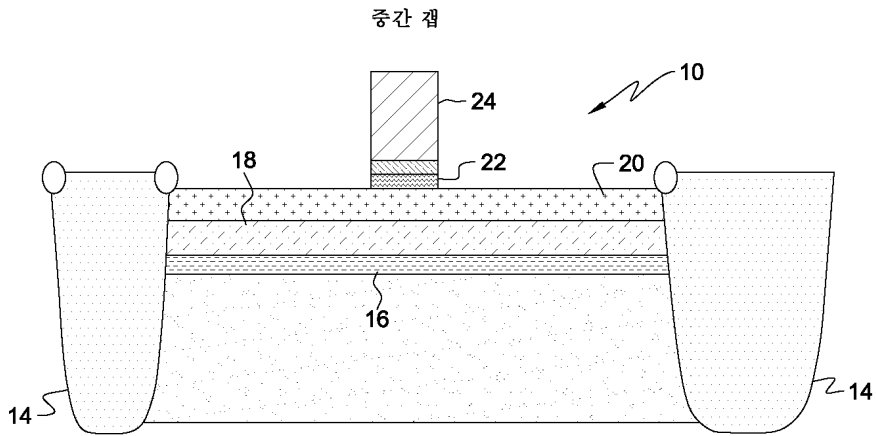
**도면1**



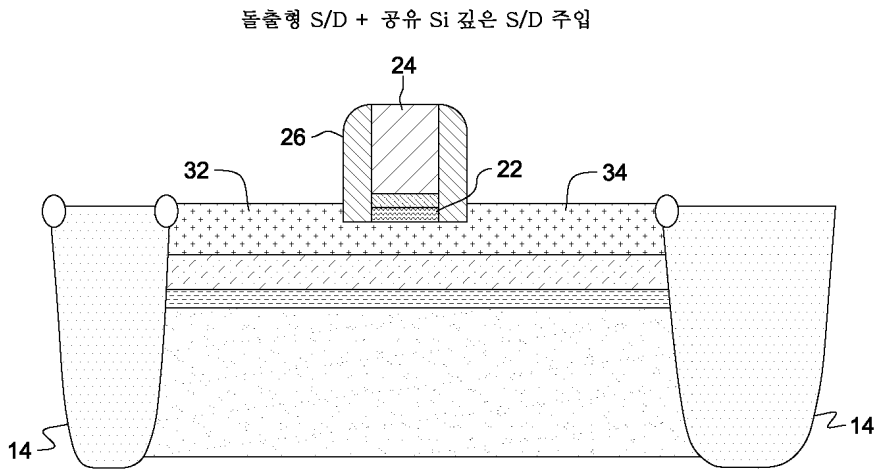
**도면2**



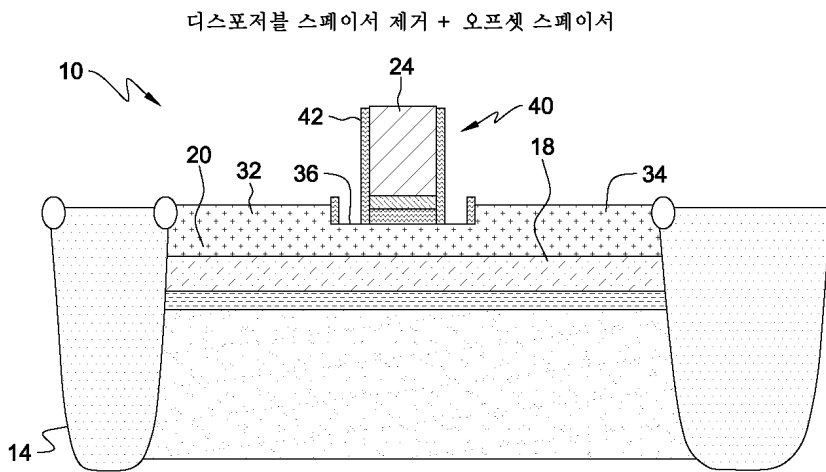
도면3



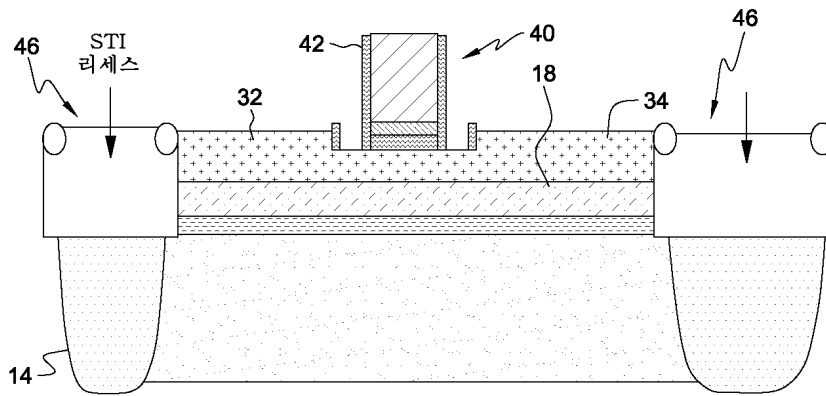
도면4



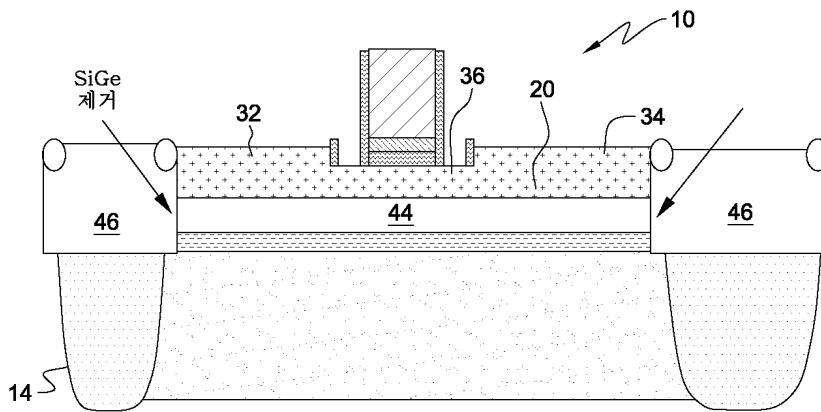
도면5



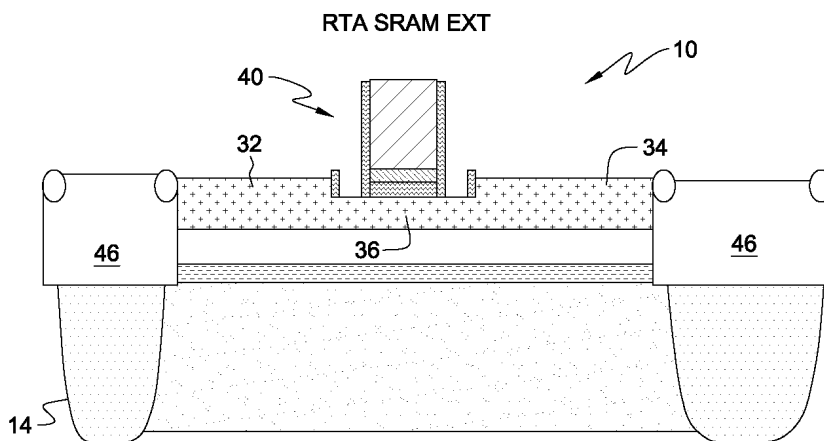
도면6



도면7



도면8



도면9

스트레스 층 및 마지막  
스페이스/BOX 실리사이드로 채움

