

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5317664号
(P5317664)

(45) 発行日 平成25年10月16日(2013.10.16)

(24) 登録日 平成25年7月19日(2013.7.19)

(51) Int. Cl. F I
 HO 1 L 21/8247 (2006.01) HO 1 L 27/10 4 3 4
 HO 1 L 27/115 (2006.01) HO 1 L 29/78 3 7 1
 HO 1 L 21/336 (2006.01)
 HO 1 L 29/788 (2006.01)
 HO 1 L 29/792 (2006.01)

請求項の数 6 (全 19 頁)

(21) 出願番号 特願2008-320590 (P2008-320590)
 (22) 出願日 平成20年12月17日(2008.12.17)
 (65) 公開番号 特開2010-147125 (P2010-147125A)
 (43) 公開日 平成22年7月1日(2010.7.1)
 審査請求日 平成23年3月9日(2011.3.9)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110001612
 きさらぎ国際特許業務法人
 (72) 発明者 鬼頭 傑
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 勝又 竜太
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 木藤 大
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

電気的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングを有する不揮発性半導体記憶装置の製造方法であって、

基板の上層に第1層間絶縁層を介して複数の第1導電層を形成する工程と、

複数の前記第1導電層及び前記第1層間絶縁層を貫通させて、第1ホールを形成する工程と、

前記第1ホールに面する側壁に、順次、絶縁層にて囲まれた第2導電層、及び第1半導体層を形成する工程と、

複数の前記第1導電層及び前記第1層間絶縁層を貫通させて、前記基板と平行な第1方向に延びる第1溝を形成する工程と、

前記第1溝を介して、前記第1層間絶縁層を除去して、積層方向に並ぶ前記第1導電層の間に空隙を形成する工程と、

前記第1溝及び前記空隙を介して前記第2導電層の一部を酸化する工程とを備えることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項2】

前記第1溝を形成した後であって前記空隙を形成する前に、前記第1溝に面する前記第1導電層の側面に第1保護層を形成し、

前記第1導電層よりも希フッ酸処理による選択比が高くなるように、前記第1保護層を形成する

10

20

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置の製造方法。

【請求項 3】

前記第 1 保護層を、窒化シリコンにて構成する

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置の製造方法。

【請求項 4】

前記第 1 溝を形成した後であって前記空隙を形成する前に、前記第 1 溝を犠牲層にて埋め、

前記犠牲層及び前記第 1 導電層の上層に第 2 層間絶縁層を介して第 3 導電層を堆積させ

、前記第 2 層間絶縁層及び前記第 3 導電層を貫通させて、前記第 1 ホールと整合する位置に第 2 ホールを形成し、

前記第 2 ホールに面する側面に、順次、絶縁層及び第 2 半導体層を形成し、

前記第 2 層間絶縁層及び前記第 3 導電層を貫通させて、前記第 1 溝と整合する位置に前記第 1 方向に延びる第 2 溝を形成し、

前記第 2 溝に面する前記第 3 導電層の側面に第 2 保護層を形成し、

前記第 2 溝を介して前記犠牲層を除去し、

前記第 3 導電層よりも希フッ酸処理による選択比が高くなるように、前記第 2 保護層を形成する

ことを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項記載の不揮発性半導体記憶装置の製造方法。

【請求項 5】

前記第 2 保護層を、窒化シリコンにて構成する

ことを特徴とする請求項 4 記載の不揮発性半導体記憶装置の製造方法。

【請求項 6】

前記第 2 導電層を、ポリシリコンにて構成する

ことを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的にデータの書き換えが可能な不揮発性半導体記憶装置の製造方法に関する。

【背景技術】

【0002】

従来、シリコン基板上の 2 次元平面内に素子を集積して、LSI が形成されてきた。メモリの記憶容量を増加させるには、一素子の寸法を小さくする（微細化する）しかないが、近年その微細化もコスト的、技術的に困難なものになってきた。微細化のためにはフォトリソグラフィの技術向上が必要であるが、例えば、現在の ArF 液浸露光技術では 40 nm 付近のルールが解像限界となっており、更なる微細化のためには EUV 露光機の導入が必要である。しかし、EUV 露光機はコスト高であり、コストを考えた場合には現実的ではない。また、仮に微細化が達成されたとしても、駆動電圧などがスケールされない限り、素子間の耐圧など物理的な限界点を迎える事が予想される。つまり、デバイスとしての動作が困難になる可能性が高い。

【0003】

そこで、近年、メモリの集積度を高めるために、メモリセルを 3 次的に配置した半導体記憶装置が多数提案されている（特許文献 1 参照）。

【0004】

メモリセルを 3 次的に配置した従来の半導体記憶装置の一つに、円柱型構造のトランジスタを用いた半導体記憶装置がある（特許文献 1）。円柱型構造のトランジスタを用いた半導体記憶装置においては、ゲート電極となる多層に積層された積層導電層、及びピラ

10

20

30

40

50

一状の柱状半導体層が設けられる。柱状半導体層は、トランジスタのチャネル（ボディ）部として機能する。柱状半導体層の周りには、MONOS層（Metal-Oxide-Nitride-Oxide-Semiconductor）が設けられる。これら積層導電層、柱状半導体層、MONOS層を含む構成は、メモリストリングと呼ばれる。

【0005】

上記メモリストリングにおいて、MONOS層は、複数層の積層導電層に亘って、分断されることなく形成されている。したがって、MONOS層にて電荷の移動が生じ、信号量低下等が懸念される。このようなことから、半導体記憶装置の信頼性の確保が求められている。

【特許文献1】特開2007-266143号

10

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、信頼性の高い不揮発性半導体記憶装置の製造方法を提供する。

【課題を解決するための手段】

【0008】

本発明の一態様に係る不揮発性半導体記憶装置の製造方法は、電氣的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングを有する不揮発性半導体記憶装置の製造方法であって、基板の上層に第1層間絶縁層を介して複数の第1導電層を形成する工程と、複数の前記第1導電層及び前記第1層間絶縁層を貫通させて、第1ホールを形成する工程と、前記第1ホールに面する側壁に、順次、絶縁層にて囲まれた第2導電層、及び第1半導体層を形成する工程と、複数の前記第1導電層及び前記第1層間絶縁層を貫通させて、前記基板と平行な第1方向に延びる第1溝を形成する工程と、前記第1溝を介して、前記第1層間絶縁層を除去して、積層方向に並ぶ前記第1導電層の間に空隙を形成する工程と、前記第1溝及び前記空隙を介して前記第2導電層の一部を酸化する工程とを備えることを特徴とする。

20

【発明の効果】

【0009】

本発明は、信頼性の高い不揮発性半導体記憶装置の製造方法を提供することが可能となる。

30

【発明を実施するための最良の形態】

【0010】

以下、図面を参照して、本発明に係る不揮発性半導体記憶装置の一実施形態について説明する。

【0011】

（実施形態に係る不揮発性半導体記憶装置100の構成）

図1は、本発明の実施形態に係る不揮発性半導体記憶装置100の概略図を示す。図1に示すように、実施形態に係る不揮発性半導体記憶装置100は、主として、メモリトランジスタ領域12、ワード線駆動回路13、ソース側選択ゲート線（SGS）駆動回路14、ドレイン側選択ゲート線（SGD）駆動回路15、センスアンプ16、ソース線駆動回路17、及びバックゲートトランジスタ駆動回路18を有する。メモリトランジスタ領域12は、データを記憶するメモリトランジスタを有する。ワード線駆動回路13は、ワード線WLに印加する電圧を制御する。ソース側選択ゲート線（SGS）駆動回路14は、ソース側選択ゲート線SGSに印加する電圧を制御する。ドレイン側選択ゲート線（SGD）駆動回路15は、ドレイン側選択ゲート線SGDに印加する電圧を制御する。センスアンプ16は、メモリトランジスタから読み出した電位を増幅する。ソース線駆動回路17は、ソース線SLに印加する電圧を制御する。バックゲートトランジスタ駆動回路18は、バックゲート線BGに印加する電圧を制御する。なお、上記の他、第1実施形態に係る不揮発性半導体記憶装置100は、ビット線BLに印加する電圧を制御するビット線駆動回路を有する（図示略）。

40

50

【 0 0 1 2 】

次に、図 2 を参照して、メモリトランジスタ領域 1 2 の回路構成について説明する。図 2 は、メモリトランジスタ領域 1 2 の回路図である。

【 0 0 1 3 】

メモリトランジスタ領域 1 2 は、図 2 に示すように、複数のメモリブロック MB にて構成されている。メモリブロック MB は、複数のメモリストリング MS、ソース側選択トランジスタ S S T r、及びドレイン側選択トランジスタ S D T r を備える。メモリストリング MS は、直列接続されたメモリトランジスタ M T r 1 ~ M T r 8、及びバックゲートトランジスタ B T r にて構成されている。メモリトランジスタ M T r 1 ~ M T r 8 は、フローティングゲートに電荷を捕獲させることで、情報を記憶する。バックゲートトランジスタ B T r は、メモリトランジスタ M T r 4 とメモリトランジスタ M T r 5 との間に接続されている。ドレイン側選択トランジスタ S D T r は、メモリストリング MS の一端（メモリトランジスタ M T r 1）に接続されている。ソース側選択トランジスタ S S T r は、メモリストリング MS の他端（メモリトランジスタ M T r 8）に接続されている。

10

【 0 0 1 4 】

図 2 に示すように、メモリブロック MB において、ロウ方向に一行に配列されたメモリトランジスタ M T r 1 の制御ゲートは、ロウ方向に延びるワード線 W L 1 に共通接続されている。同様に、ロウ方向に一行に配列されたメモリトランジスタ M T r 2 ~ M T r 8 の制御ゲートは、ロウ方向に延びるワード線 W L 2 ~ W L 8 に共通接続されている。また、ロウ方向及びカラム方向にマトリクス状に配列されたバックゲートトランジスタ B T r の制御ゲートは、バックゲート線 B G に共通接続されている。

20

【 0 0 1 5 】

図 2 に示すように、メモリブロック MB において、ロウ方向に一行に配列された各ドレイン側選択トランジスタ S D T r の制御ゲートは、ドレイン側選択ゲート線 S G D に共通接続されている。ドレイン側選択ゲート線 S G D は、複数のメモリブロック MB を跨いでロウ方向に延びるように形成されている。また、カラム方向に一行に配列されたドレイン側選択トランジスタ S D T r の他端は、ビット線 B L に共通に接続されている。ビット線 B L は、複数のメモリブロック MB を跨いでカラム方向に延びるように形成されている。

【 0 0 1 6 】

図 2 に示すように、メモリブロック MB において、ロウ方向に一行に配列された各ソース側選択トランジスタ S S T r の制御ゲートは、ソース側選択ゲート線 S G S に共通接続されている。ソース側選択ゲート線 S G S は、複数のメモリブロック MB を跨いでロウ方向に延びるように形成されている。また、ソース側選択トランジスタ S S T r の他端は、ロウ方向に延びるソース線 S L に共通に接続されている。ソース線 S L は、複数のメモリブロック MB を跨いでロウ方向に延びるように形成されている。

30

【 0 0 1 7 】

次に、図 3 及び図 4 を参照して、上記図 2 に示した回路構成を実現する実施形態に係る不揮発性半導体装置 1 0 0 の積層構造について説明する。図 3 は、実施形態に係る不揮発性半導体記憶装置 1 0 0 のメモリトランジスタ領域 1 2 の一部省略斜視図であり、図 4 は、メモリトランジスタ領域 1 2 の断面図である。図 5 は、図 4 の A 部拡大図である。

40

【 0 0 1 8 】

図 3 及び図 4 に示すように、メモリトランジスタ領域 1 2 は、半導体基板 B a から積層方向に、順次、バックゲートトランジスタ層 2 0、メモリトランジスタ層 3 0、選択トランジスタ層 4 0、及び配線層 5 0 を有する。バックゲートトランジスタ層 2 0 は、上述したバックゲートトランジスタ B T r として機能する。メモリトランジスタ層 3 0 は、上述したメモリストリング MS（メモリトランジスタ M T r 1 ~ M T r 8）として機能する。選択トランジスタ層 4 0 は、上述したソース側選択トランジスタ層 S S T r 及びドレイン側選択トランジスタ層 S D T r として機能する。

【 0 0 1 9 】

バックゲートトランジスタ層 2 0 は、半導体基板 B a の上に順次積層されたバックゲ-

50

ト絶縁層 2 1、及びバックゲート導電層 2 2 を有する。これらバックゲート絶縁層 2 1、及びバックゲート導電層 2 2 は、メモリトランジスタ領域 1 2 の端部までロウ方向及びカラム方向に広がって形成されている。

【 0 0 2 0 】

バックゲート導電層 2 2 は、後述する U 字状半導体層 3 5 の連結部 3 5 b の下面及び側面を覆い且つ連結部 3 5 b の上面と同じ高さまで形成されている。バックゲート絶縁層 2 1 は、酸化シリコン (SiO_2) にて構成されている。バックゲート導電層 2 2 は、ポリシリコン (p-Si) にて構成されている。

【 0 0 2 1 】

また、バックゲートトランジスタ層 2 0 は、バックゲート導電層 2 2 を掘込むように形成されたバックゲートホール 2 3 を有する。バックゲートホール 2 3 は、ロウ方向に短手方向、カラム方向に長手方向を有する開口にて構成されている。バックゲートホール 2 3 は、ロウ方向及びカラム方向に所定間隔毎に形成されている。換言すると、バックゲートホール 2 3 は、ロウ方向及びカラム方向を含む面内にてマトリクス状に形成されている。

10

【 0 0 2 2 】

メモリトランジスタ層 3 0 は、積層方向に所定ピッチを設けて形成された第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d、及び第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d の間を埋めるように形成された層間絶縁層 3 6 を有する。

【 0 0 2 3 】

第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d は、ロウ方向に延びるように且つカラム方向に所定間隔を設けて繰り返しストライプ状に形成されている。第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d は、図 5 に示すように、積層方向に第 1 長さ (厚さ) L_1 をもって形成されている。第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d は、ロウ方向の端部にて階段状に加工されている。第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d は、ポリシリコン (p-Si) にて構成されている。

20

【 0 0 2 4 】

また、カラム方向に隣接する第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d の側面には、保護層 3 2 a が形成されている。第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d の上面及び下面には、酸化層 3 2 b が形成されている。

【 0 0 2 5 】

保護層 3 2 a は、ポリシリコンにて構成された第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d よりも希フッ酸処理による選択比が高い窒化シリコン (SiN) にて構成されている。酸化層 3 2 b は、酸化シリコン (SiO_2) にて構成されている。

30

【 0 0 2 6 】

メモリトランジスタ層 3 0 は、第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d、及び層間絶縁層 3 6 を貫通するように形成されたメモリホール 3 3 を有する。メモリホール 3 3 は、各バックゲートホール 2 3 のカラム方向の両端近傍の位置に整合するように形成されている。

【 0 0 2 7 】

また、上記バックゲートトランジスタ層 2 0 及びメモリトランジスタ層 3 0 は、メモリゲート絶縁層 3 4、及び U 字状半導体層 3 5 を有する。

40

【 0 0 2 8 】

メモリゲート絶縁層 3 4 は、図 5 に示すように、メモリホール 3 3、及びバックゲートホール 2 3 に面する側面に形成されている。メモリゲート絶縁層 3 4 は、ブロック絶縁層 3 4 a、浮遊電極層 3 4 b a、分離絶縁層 3 4 b b、トンネル絶縁層 3 4 c にて構成されている。ブロック絶縁層 3 4 a は、メモリホール 3 3、及びバックゲートホール 2 3 に面する側面に亘って第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d と接するように形成されている。浮遊電極層 3 4 b a 及び分離絶縁層 3 4 b b は、ブロック絶縁層 3 4 a の側面に形成されている。浮遊電極層 3 4 b a は、各々の第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d と同層に形成されている。すなわち、浮遊電極層 3 4 b a は、積層方向に所定ピッチをもつ

50

て複数形成されている。分離絶縁層34bbは、積層方向に並ぶ各浮遊電極層34baの間(上下)に形成されている。トンネル絶縁層34cは、浮遊電極層34baの側面及び分離絶縁層34bbの側面に亘ってU字状半導体層35と接するように形成されている。

【0029】

ここで、浮遊電極層34baは、図5に示すように、積層方向に第2長さ(厚さ) L_2 ($L_2 < L_1$)をもって形成されている。すなわち、浮遊電極層34baの積層方向の第2長さ L_2 は、第1~第4ワード線導電層31a~31dの積層方向の第1長さ L_1 よりも短い。

【0030】

ブロック絶縁層34a、分離絶縁層34bb、及びトンネル絶縁層34cは、酸化シリコン(SiO_2)にて構成されている。浮遊電極層34baは、ポリシリコン(p-Si)にて構成されている。

10

【0031】

U字状半導体層35は、ロウ方向からみてU字状に形成されている。U字状半導体層35は、トンネル絶縁層34cに接し且つバックゲートホール23及びメモリホール33を埋めるように形成されている。U字状半導体層35は、ロウ方向からみて半導体基板Baに対して垂直方向に延びる一对の柱状部35a、及び一对の柱状部35aの下端を連結させるように形成された連結部35bを有する。U字状半導体層35は、ポリシリコン(p-Si)にて構成されている。

【0032】

20

上記バックゲートトランジスタ層20及びメモリトランジスタ層30の構成において、バックゲート導電層22は、バックゲートトランジスタBTrの制御ゲート電極として機能する。バックゲート導電層22は、バックゲート線BGとして機能する。第1~第4ワード線導電層32a~32dは、メモリトランジスタMTr1~MTr8の制御ゲート電極として機能すると共に、ワード線WL1~WL8として機能する。浮遊電極層34baは、メモリトランジスタMTr~MTr8のフローティングゲートとして機能する。

【0033】

上記メモリトランジスタ層30の構成を換言すると、トンネル絶縁層34cは、柱状部35aの側面を取り囲むように形成されている。浮遊電極層34ba及び分離絶縁層34bbは、トンネル絶縁層34cの側面を取り囲むように形成されている。ブロック絶縁層34aは、浮遊電極層34baの側面、及び分離絶縁層34bbの側面を取り囲むように形成されている。第1~第4ワード線導電層32a~32dは、ブロック絶縁層34aの側面を取り囲むように形成されている。

30

【0034】

選択トランジスタ層40は、メモリトランジスタ層30の上に堆積された第1絶縁層41、ドレイン側導電層42a、ソース側導電層42b、第2絶縁層43、保護層44、及び層間絶縁層45を有する。

【0035】

第1絶縁層41は、第4ワード線導電層31d上に形成されている。ドレイン側導電層42a、及びソース側導電層42bは、第1絶縁層41の上面に形成されている。ドレイン側導電層42a、及びソース側導電層42bは、ロウ方向に延びるように且つカラム方向に所定間隔を設けて繰り返しストライプ状に形成されている。ドレイン側導電層42a、及びソース側導電層42bは、カラム方向に2つずつ交互に設けられている。第2絶縁層43は、ドレイン側導電層42a、及びソース側導電層42bの上面に形成されている。

40

【0036】

保護層44は、第1絶縁層41の側面、ドレイン側導電層42aの側面、及び第2絶縁層43の側面を覆うように形成されている。保護層44は、第1絶縁層41の側面、ソース側導電層42bの側面、及び第2絶縁層43の側面を覆うように形成されている。層間絶縁層45は、第1絶縁層41、保護層44の側面を覆うように、保護層44の上面まで

50

形成されている。層間絶縁層 45 は、メモリトランジスタ層 30 の層間絶縁層 36 と連続して一体に形成されている。

【0037】

第1絶縁層 41、第2絶縁層 43、及び層間絶縁層 45 は、酸化シリコン (SiO_2) にて構成されている。ドレイン側導電層 42a、及びソース側導電層 42b は、ポリシリコン (p-Si) にて構成されている。保護層 44 は、窒化シリコン (SiN) にて構成されているので、ポリシリコンにて構成されたドレイン側導電層 42a、及びソース側導電層 42b よりも希フッ酸処理による選択比が高い。

【0038】

さらに、選択トランジスタ層 40 は、ドレイン側ホール 46a、及びソース側ホール 46b を有する。

10

【0039】

ドレイン側ホール 46a は、層間絶縁層 45、第2絶縁層 43、ドレイン側導電層 42a、及び第1絶縁層 41 を貫通するように形成されている。ソース側ホール 46b は、層間絶縁層 45、第2絶縁層 43、ソース側導電層 42b、及び第1絶縁層 41 を貫通するように形成されている。ドレイン側ホール 46a 及びソース側ホール 46b は、メモリホール 33 に整合する位置に形成されている。

【0040】

また、選択トランジスタ層 40 は、ドレイン側ゲート絶縁層 47a、ソース側ゲート絶縁層 47b、ドレイン側柱状半導体層 48a、ソース側柱状半導体層 48b、及びプラグ導電層 49 を有する。

20

【0041】

ドレイン側ゲート絶縁層 47a は、ドレイン側ホール 46a に面する側面に形成され、ドレイン側柱状半導体層 48a と接している。ソース側ゲート絶縁層 47b は、ソース側ホール 46b に面する側面に形成され、ソース側柱状半導体層 48b と接している。ドレイン側柱状半導体層 48a は、ドレイン側ホール 46a を所定高さまで埋めるように形成されている。ソース側柱状半導体層 48b は、ソース側ホール 46b を所定高さまで埋めるように形成されている。プラグ導電層 49 は、ドレイン側柱状半導体層 48a 及びソース側柱状半導体層 48b の上面に形成されている。プラグ導電層 49 は、ドレイン側ホール 46a 及びソース側ホール 46b を埋めるように形成されている。

30

【0042】

ドレイン側ゲート絶縁層 47a、及びソース側ゲート絶縁層 47b は、窒化シリコン (SiN) にて構成されている。ドレイン側柱状半導体層 48a、及びソース側柱状半導体層 48b は、ポリシリコン (p-Si) にて構成されている。プラグ導電層 49 は、タングステン (W) / 窒化チタン (TiN) / チタン (Ti) の積層構造にて構成されている。

【0043】

上記選択トランジスタ層 40 の構成において、ドレイン側導電層 42a は、ドレイン側選択トランジスタ層 SDTr の制御ゲート電極、及びドレイン側選択線 SGD として機能する。ソース側導電層 42b は、ソース側選択トランジスタ SSTr の制御ゲート電極、及びソース側選択線 SGS として機能する。

40

【0044】

上記選択トランジスタ層 40 の構成を換言すると、ドレイン側ゲート絶縁層 47a は、ドレイン側柱状半導体層 48a の側面を取り囲むように形成されている。ドレイン側導電層 42a は、ドレイン側ゲート絶縁層 47a の側面を取り囲むように形成されている。ソース側ゲート絶縁層 47b は、ソース側柱状半導体層 48b の側面を取り囲むように形成されている。ソース側導電層 42b は、ソース側ゲート絶縁層 47b の側面を取り囲むように形成されている。

【0045】

配線層 50 は、選択トランジスタ層 40 の上に堆積されたソース線導電層 51、層間絶

50

縁層 5 2、及びビット線導電層 5 3 を有する。

【 0 0 4 6 】

ソース線導電層 5 1 は、カラム方向に隣接する一対のソース側柱状半導体層 4 8 b の上層（プラグ導電層 4 9 ）に接するように形成されている。ソース側導電層 5 1 は、ロウ方向に延びるように形成されている。層間絶縁層 5 2 は、ソース線導電層 5 1 を覆うように形成されている。ビット線導電層 5 3 は、ロウ方向に所定ピッチをもって、カラム方向に延びるストライプ状に形成されている。

【 0 0 4 7 】

ソース線導電層 5 1、及びビット線導電層 5 3 は、タングステン（W）/窒化チタン（TiN）/チタン（Ti）の積層構造にて構成されている。層間絶縁層 5 2 は、酸化シリコン（SiO₂）にて構成されている。

10

【 0 0 4 8 】

また、配線層 5 0 は、ホール 5 4、及びプラグ導電層 5 5 を有する。

【 0 0 4 9 】

ホール 5 4 は、層間絶縁層 5 2 を貫通するように形成されている。ホール 5 4 は、ドレイン側ホール 4 6 a に整合する位置に形成されている。プラグ導電層 5 5 は、ホール 5 4 を埋めるように形成されている。プラグ導電層 5 5 は、タングステン（W）/窒化チタン（TiN）/チタン（Ti）の積層構造にて構成されている。

【 0 0 5 0 】

上記配線層 5 0 の構成において、ソース線導電層 5 1 は、ソース線 S L として機能する。ビット線導電層 5 3 は、ビット線 B L として機能する。

20

【 0 0 5 1 】

（実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造方法）

次に、図 6 ~ 図 2 7 を参照して、実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造方法について説明する。図 6 ~ 図 1 2、図 1 4 ~ 図 2 4、図 2 6 は、実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である。図 1 3 は、図 1 2 の B 部拡大図である。図 2 5 は、図 2 4 の C 部拡大図である。図 2 7 は、図 2 6 の D 部拡大図である。

【 0 0 5 2 】

先ず、図 6 に示すように、半導体基板 B a 上に酸化シリコン（SiO₂）及びポリシリコン（p-Si）を堆積させ、バックゲート絶縁層 2 1 及びバックゲート導電層 2 2 を形成する。ここで、ポリシリコン（p-Si）は、砒素（As）、リン（P）、及びボロン（B）のいずれかを注入したものをを用いる。例えば、バックゲート絶縁層 2 1 は、1 0 0 nm 堆積させ、バックゲート導電層 2 2 は、2 0 0 nm 堆積させる。

30

【 0 0 5 3 】

次に、図 7 に示すように、リソグラフィ法や R I E（Reactive Ion Etching）法を用いて、バックゲート導電層 2 2 を彫り込み、バックゲートホール 2 3 を形成する。

【 0 0 5 4 】

続いて、図 8 に示すように、バックゲートホール 2 3 を埋めるように、窒化シリコン（SiN）を堆積させ、犠牲層 6 1 を形成する。

40

【 0 0 5 5 】

次に、図 9 に示すように、バックゲート導電層 2 2 及び犠牲層 6 1 の上に、酸化シリコン（SiO₂）及びポリシリコン（p-Si）を交互に堆積させ、犠牲層 6 2 a ~ 6 2 e、及び導電層 3 1 A a ~ 3 1 A d を形成する。ここで、ポリシリコン（p-Si）は、砒素（As）、リン（P）、及びボロン（B）のいずれかを注入したものをを用いる。

【 0 0 5 6 】

続いて、図 1 0 に示すように、犠牲層 6 2 a ~ 6 2 e、及び導電層 3 1 a A ~ 3 1 d A を貫通させて、メモリホール 3 3 を形成する。メモリホール 3 3 は、犠牲層 6 1 のカラム方向の両端上面に達するように形成する。

【 0 0 5 7 】

50

次に、図 1 1 に示すように、メモリホール 3 3 を介して、熱燐酸処理 (Hot H_3PO_4) を行い、犠牲層 6 1 を除去する。

【0058】

続いて、図 1 2、及び図 1 3 に示すように、メモリホール 3 3 の側面、及びバックゲートホール 2 3 の側面に、順次、酸化シリコン (SiO_2)、ポリシリコン (p-Si)、酸化シリコン (SiO_2)、及びポリシリコン (p-Si) を堆積させる。この工程により、メモリホール 3 3 の側面、及びバックゲートホール 2 3 の側面から、順次、酸化シリコン層 3 4 a A、ポリシリコン層 3 4 b A、酸化シリコン層 3 4 c A、及び U 字状半導体層 3 5 が形成される。なお、U 字状半導体層 3 5 は、中空 3 5 c をもって形成される。例えば、酸化シリコン層 3 4 a A は、10 nm 堆積させる。ポリシリコン層 3 4 b A は、10 nm 堆積させる。酸化シリコン層 3 4 c A は、7 nm 堆積させる。

10

【0059】

次に、図 1 4 に示すように、酸化シリコン 3 4 a A、ポリシリコン層 3 4 b A、及び酸化シリコン絶縁層 3 4 c A の上端をエッチング除去する。この工程により、酸化シリコン 3 4 層 a A は、ブロック絶縁層 3 4 a となる。酸化シリコン層 3 4 c A は、トンネル絶縁層 3 4 c となる。

【0060】

続いて、図 1 5 に示すように、犠牲層 6 2 a ~ 6 2 e、及び導電層 3 1 a A ~ 3 1 d A を貫通するように溝 6 3 を形成する。溝 6 3 は、カラム方向に隣接するメモリホール 3 3 の間に形成する。溝 6 3 は、ロウ方向に延びるように形成する。この工程により導電層 3 1 a A ~ 3 1 d A は、第 1 ~ 第 4 ワード線導電層 3 1 a ~ 3 1 d となる。

20

【0061】

次に、図 1 6 に示すように、第 4 ワード線導電層 3 1 d の上面まで溝 6 3 を埋めるようにポリシラザンを堆積させ、犠牲層 6 4 を形成する。

【0062】

続いて、図 1 7 に示すように、犠牲層 6 2 e 上に、順次、酸化シリコン (SiO_2)、ポリシリコン (p-Si)、及び酸化シリコン (SiO_2) を堆積させる。ここで、ポリシリコン (p-Si) には、砒素 (As)、リン (P)、及びボロン (B) にいずれかを注入する。この工程により、犠牲層 6 2 e は、絶縁層 4 1 A となる。また、その絶縁層 4 1 A 上に、導電層 4 2 A、及び絶縁層 4 3 A が形成される。

30

【0063】

次に、図 1 8 に示すように、絶縁層 4 3 A、導電層 4 2 A、及び絶縁層 4 1 A を貫通するように、ドレイン側ホール 4 6 a、及びソース側ホール 4 6 b を形成する。ドレイン側ホール 4 6 a、及びソース側ホール 4 6 b は、メモリホール 3 3 と整合する位置に形成する。

【0064】

続いて、図 1 9 に示すように、ドレイン側ホール 4 6 a の側面、及びソース側ホール 4 6 b の側面に、順次、窒化シリコン (SiN)、及びポリシリコン (p-Si) を形成する。この工程により、ドレイン側ホール 4 6 a の側面にドレイン側ゲート絶縁層 4 7 a が形成される。ドレイン側ホール 4 6 a を埋めるようにドレイン側柱状半導体層 4 8 a が形成される。また、ソース側ホール 4 6 b の側面にソース側ゲート絶縁層 4 7 b が形成される。ソース側ホール 4 6 b を埋めるようにソース側柱状半導体層 4 8 b が形成される。

40

【0065】

次に、図 2 0 に示すように、絶縁層 4 3 A、導電層 4 2 A、及び絶縁層 4 1 A を貫通するように溝 6 5 を形成する。溝 6 5 は、ロウ方向に延びるように形成する。溝 6 5 は、下層に位置する溝 6 3 と整合する位置に形成する。この工程により、絶縁層 4 1 A は、第 1 絶縁層 4 1 となる。導電層 4 2 A は、ドレイン側導電層 4 2 a となる。また、導電層 4 2 A は、ソース側導電層 4 2 b となる。絶縁層 4 3 A は、第 2 絶縁層 4 3 となる。

【0066】

続いて、図 2 1 に示すように、溝 6 5 に面する側面を覆うように窒化シリコン (SiN)

50

)を堆積させ、保護層44を形成する。窒化シリコン(SiN)は、フッ酸耐性を有する。

【0067】

次に、図22に示すように、溝65を介して、希フッ酸処理を行い、選択的に犠牲層64を除去する。この際、第1絶縁層41の側面、ドレイン側導電層42aの側面(ソース側導電層42b)、及び第2絶縁層43の側面は、保護層44により覆われているので、除去されることはない。

【0068】

続いて、図23に示すように、溝65、及び溝63を介して、アンモニア窒化処理を行い、第1~第4ワード線導電層31a~31dの側面に、窒化シリコン(SiN)を堆積させ、保護層32aを形成する。

10

【0069】

次に、図24及び図25に示すように、溝65、及び溝63を介して、犠牲層62a~62dを除去する。この際、第1~第4ワード線導電層31a~31dの側面は、保護層32aにて覆われているので、除去されることはない。この工程により、積層方向における第1~第4ワード線導電層31a~31dの間に、空隙Agが形成される。

【0070】

続いて、図26及び図27に示すように、溝65、溝63、及び空隙Agを介して、ポリシリコン層34bAを酸化する。これにより、ポリシリコン層34bAは、浮遊電極層34ba、及び分離絶縁層34bbとなる。この際、第1~第4ワード線導電層31a~31dの上面及び下面は、酸化され、酸化層32bとなる。

20

【0071】

次に、図26及び図27に示す工程に続いて、溝65、溝63、及び空隙Agを埋めるように、酸化シリコン(SiO₂)を堆積させ、連続して一体に層間絶縁層36及び層間絶縁層45を形成する。また、ドレイン側ホール46a、及びソース側ホール46bを埋めるように、タングステン(W)/窒化チタン(TiN)/チタン(Ti)を堆積させ、プラグ層49を形成する。そして、配線層50を形成し、図4に示す不揮発性半導体記憶装置100が形成される。

【0072】

(実施形態に係る不揮発性半導体記憶装置100の効果)

30

次に、実施形態に係る不揮発性半導体記憶装置100の効果について説明する。実施形態に係る不揮発性半導体記憶装置100は、積層方向に所定ピッチをもって複数形成された、メモリトランジスタMTr1~MTr8のフローティングゲートとして機能する浮遊電極層34baを有する。したがって、隣接する浮遊電極層34baにて、電荷が移動することはなく、信号量低下等が懸念されることはない。すなわち、実施形態に係る不揮発性半導体記憶装置100は、信頼性を確保することができる。

【0073】

続いて、図28及び図29を参照して、カップリング比に関する効果を説明する。図28は、本実施形態に係るカップリング比を説明するための図である。図29は、メモリホール33の半径、メモリゲート絶縁層34の厚みに対応するカップリング比を示す図である。

40

【0074】

図28に示すように、メモリホール33の半径を「 r 」とする。U字状半導体層35と浮遊電極層34ba(フローティングゲート)との間の寄生容量を「 $C1$ 」とする。浮遊電極層34ba(フローティングゲート)と第1ワード線導電層31a(第2~第4ワード線導電層31d)との間の寄生容量を「 $C2$ 」とする。これら上記の記号を用いると、カップリング比 C_r は、以下に示す(式1)で表すことができる。

【0075】

$$C_r = C2 / (C1 + C2) \quad \dots (式1)$$

ここで、一般に、カップリング比 C_r が少なくとも、0.5以上でなければ、メモリト

50

ランジスタ M T r 1 ~ M T r 8 は、書き込み及び消去動作を実行することができない。これに対し、本実施形態に係る不揮発性半導体記憶装置 1 0 0 においては、図 2 9 に示すように、ブロック絶縁層 3 4 a の厚み、浮遊電極層 3 4 b a の厚み、トンネル絶縁層 3 4 c の厚み、及びメモリホール 3 3 の半径 を変化させることで、カップリング比 C r を調整し、0.5 以上とすることができる。

【 0 0 7 6 】

[その他実施形態]

以上、不揮発性半導体記憶装置の一実施形態を説明してきたが、本発明は、上記実施形態に限定されるものではなく、発明の趣旨を逸脱しない範囲内において種々の変更、追加、置換等が可能である。

10

【 0 0 7 7 】

例えば、上記実施形態において、U 字状半導体層 3 5 は、中空 3 5 c をもって形成されている。しかしながら、U 字状半導体層 3 5 は、中空 3 5 c を有さず、その内部をポリシリコンにて埋められた構成であってもよい。この構成は、図 1 2、及び図 1 3 に示す工程においてメモリホール 3 3 内、及びバックゲートホール 2 3 内を完全にポリシリコンにて埋めることによって実現される。

【 図面の簡単な説明 】

【 0 0 7 8 】

【 図 1 】 本発明の実施形態に係る不揮発性半導体記憶装置 1 0 0 の構成概略図である。

【 図 2 】 実施形態に係る不揮発性半導体記憶装置の一部の回路図である。

20

【 図 3 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の一部省略斜視図である。

【 図 4 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の断面図である。

【 図 5 】 図 4 の A 部拡大図である。

【 図 6 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である。

【 図 7 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である。

【 図 8 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である。

【 図 9 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である。

【 図 1 0 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である。

。

【 図 1 1 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である

30

。

【 図 1 2 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である

。

【 図 1 3 】 図 1 2 の B 部拡大図である。

【 図 1 4 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である

。

【 図 1 5 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である

。

【 図 1 6 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である

。

40

【 図 1 7 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である

。

【 図 1 8 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である

。

【 図 1 9 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である

。

【 図 2 0 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である

。

【 図 2 1 】 実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である

。

50

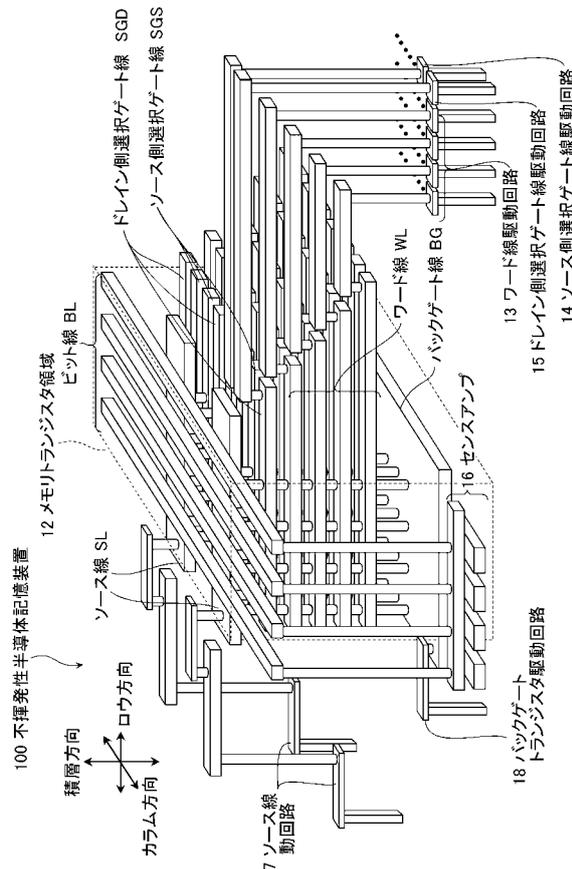
- 【図 2 2】実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である。
- 【図 2 3】実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である。
- 【図 2 4】実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である。
- 【図 2 5】図 2 4 の C 部拡大図である。
- 【図 2 6】実施形態に係る不揮発性半導体記憶装置 1 0 0 の製造工程を示す断面図である。
- 【図 2 7】図 2 6 の D 部拡大図である。
- 【図 2 8】本実施形態に係るカップリング比を説明するための図である。
- 【図 2 9】メモリホール 3 3 の半径、メモリゲート絶縁層 3 4 の厚みに対応するカップリング比を示す図である。

【符号の説明】

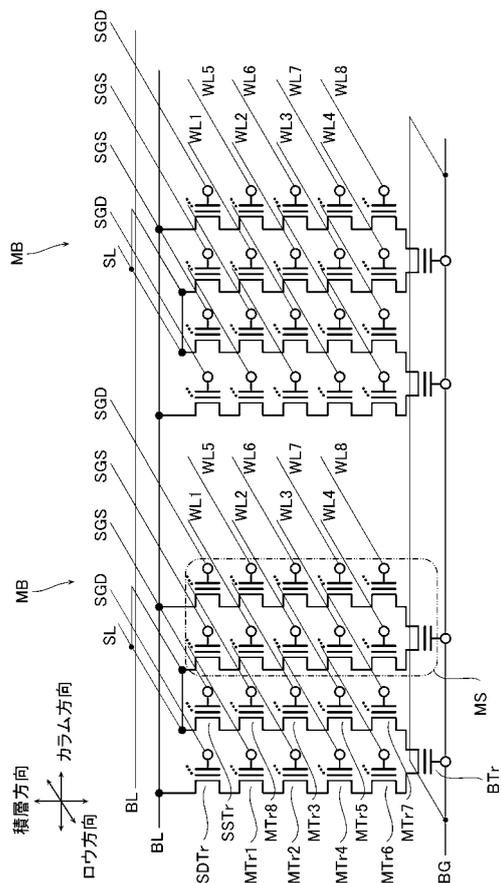
【0079】

1 0 0 ... 不揮発性半導体記憶装置、 2 0 ... バックゲートトランジスタ層、 3 0 ... メモリトランジスタ層、 4 0 ... 選択トランジスタ層、 Ba ... 半導体基板、 MTr 1 ~ MTr 8 ... メモリトランジスタ、 BTr ... バックゲートトランジスタ、 SStr ... ソース側選択トランジスタ、 SDTr ... ドレイン側選択トランジスタ。

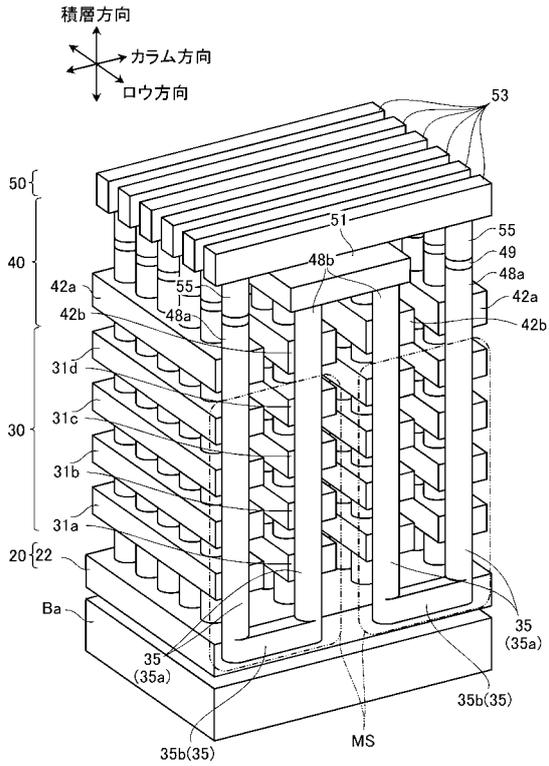
【図 1】



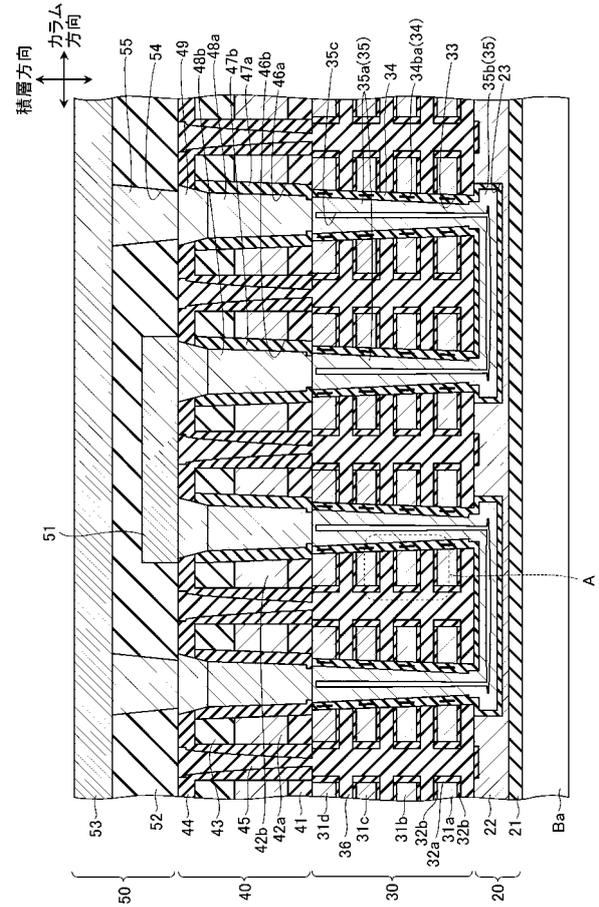
【図 2】



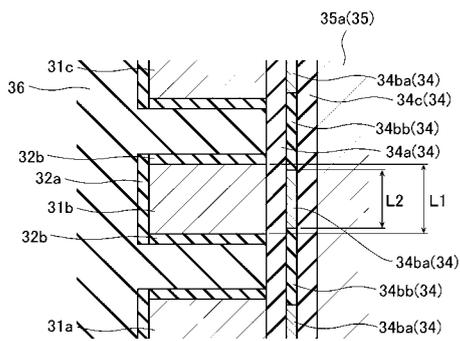
【図3】



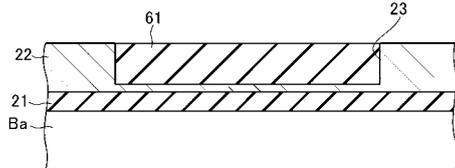
【図4】



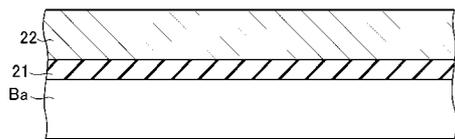
【図5】



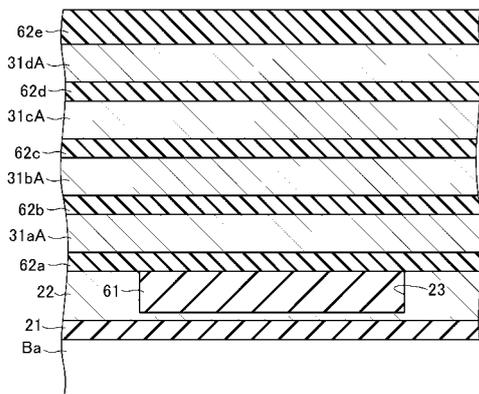
【図8】



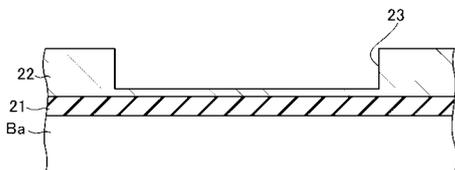
【図6】



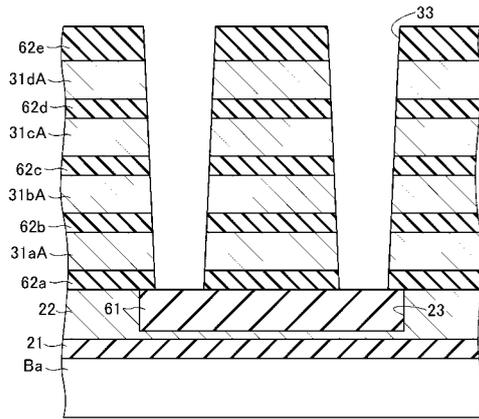
【図9】



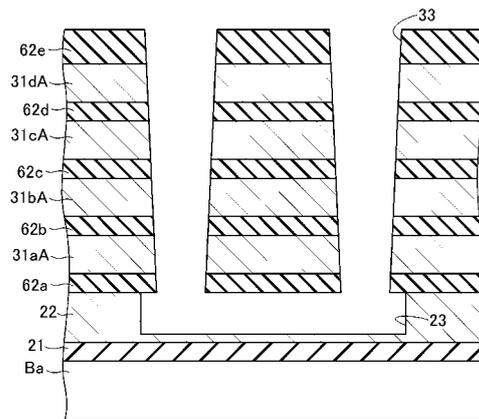
【図7】



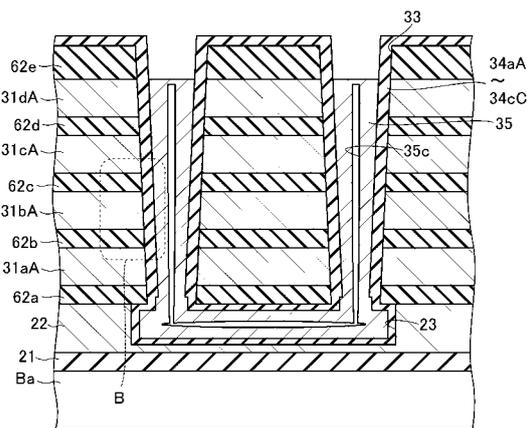
【図10】



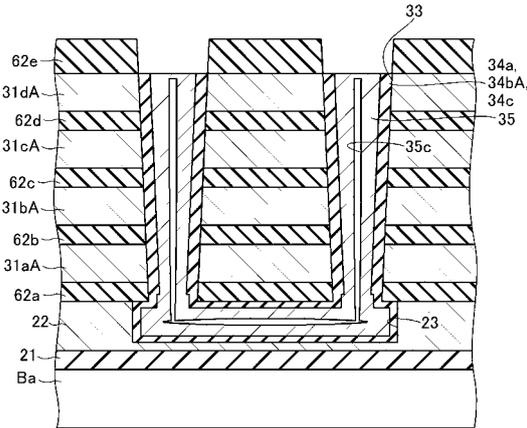
【図11】



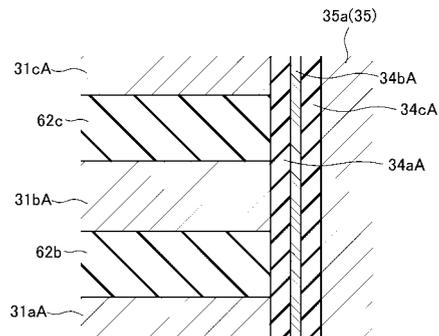
【図12】



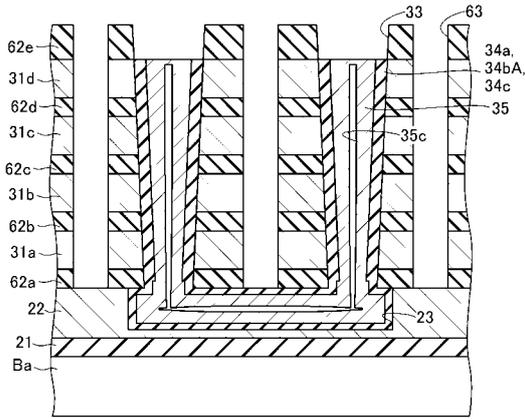
【図14】



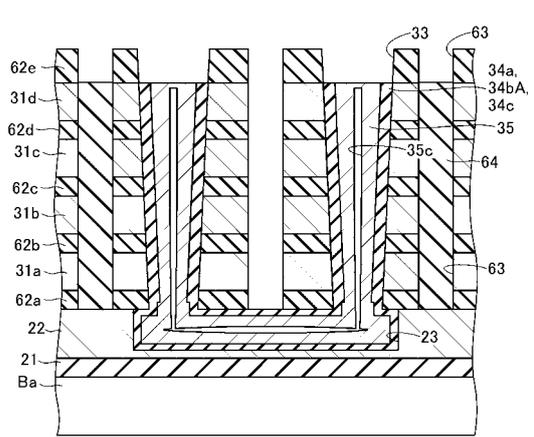
【図13】



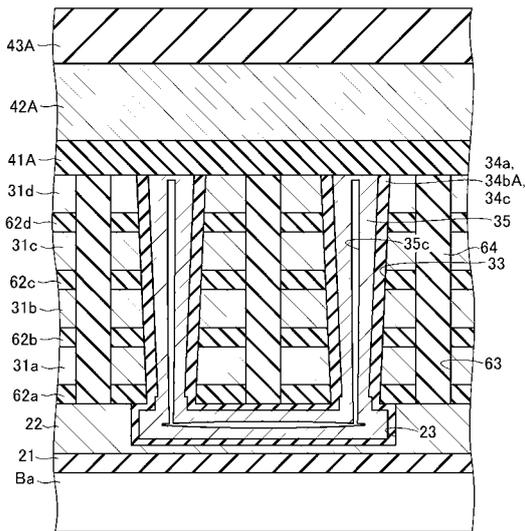
【図15】



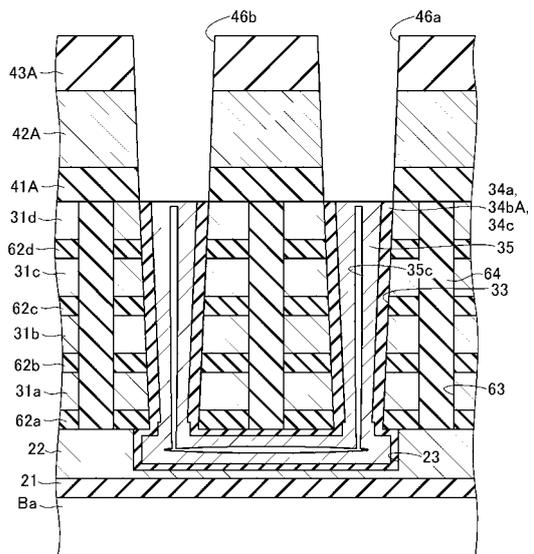
【図16】



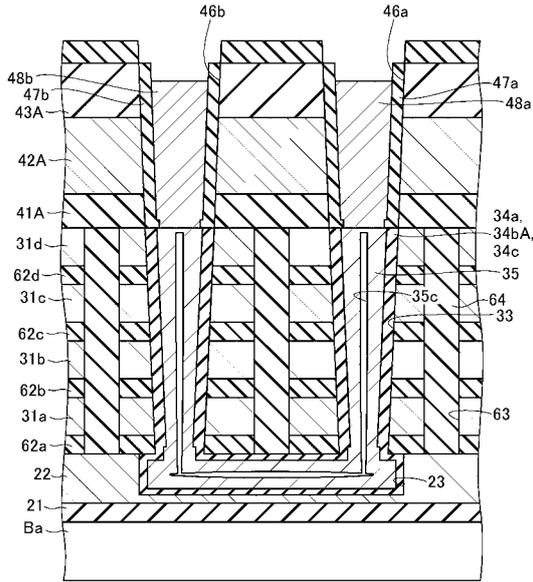
【図17】



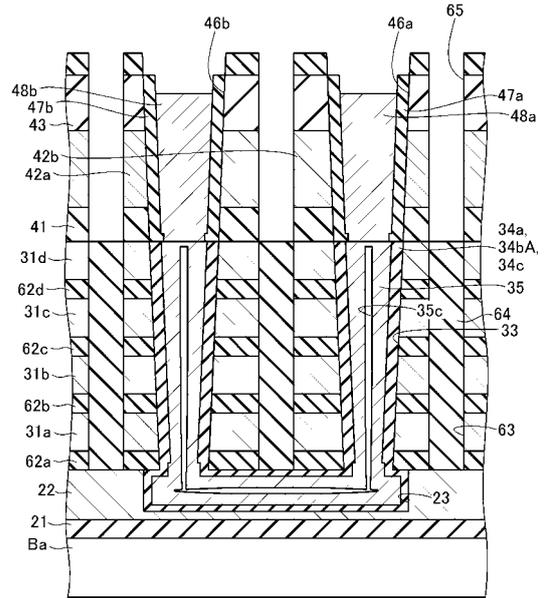
【図18】



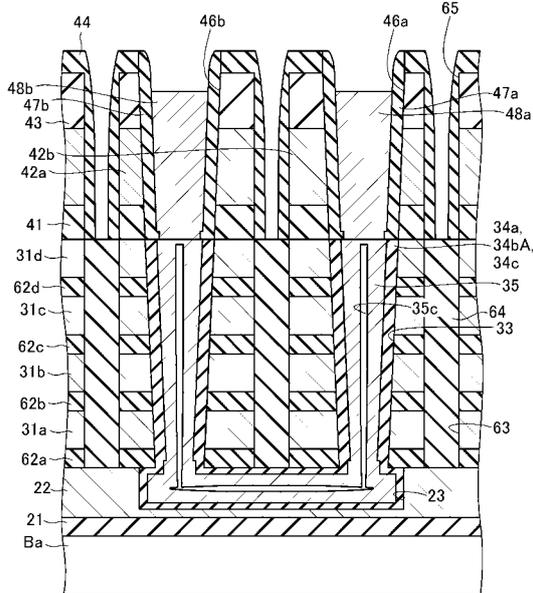
【図 19】



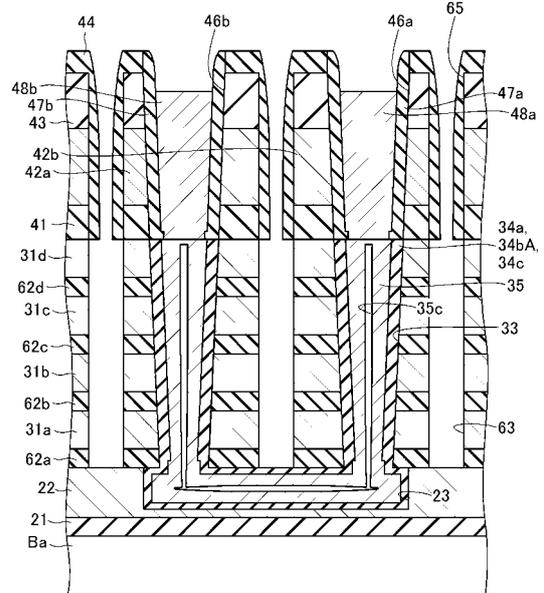
【図 20】



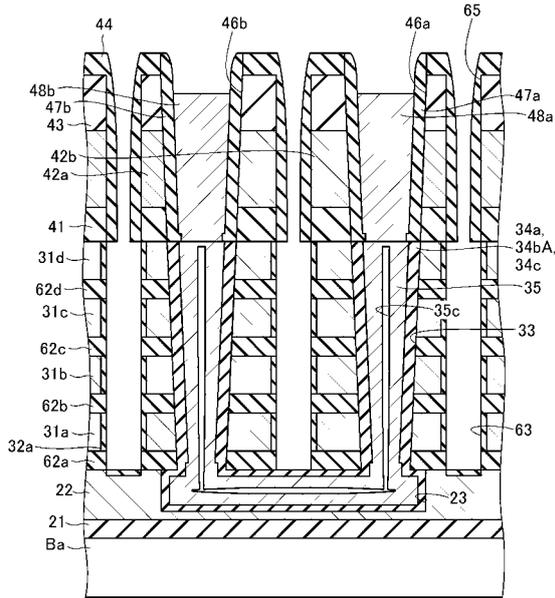
【図 21】



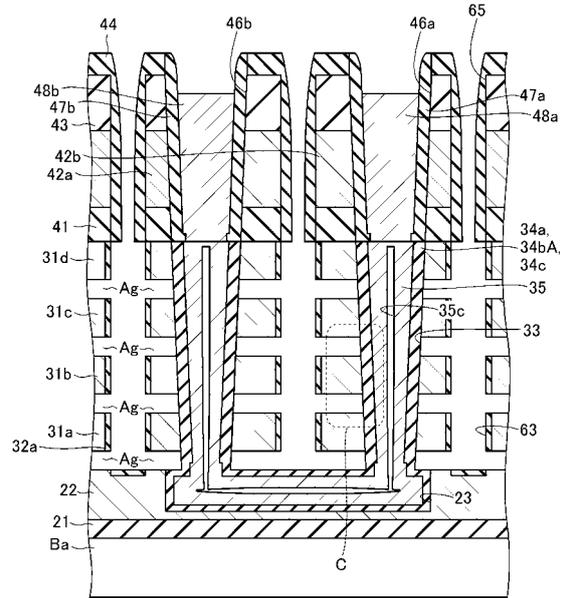
【図 22】



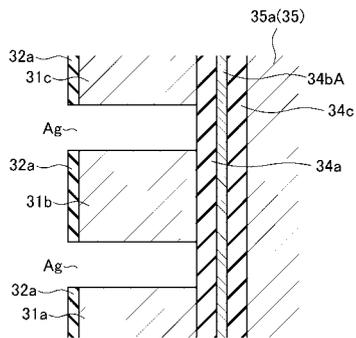
【図 2 3】



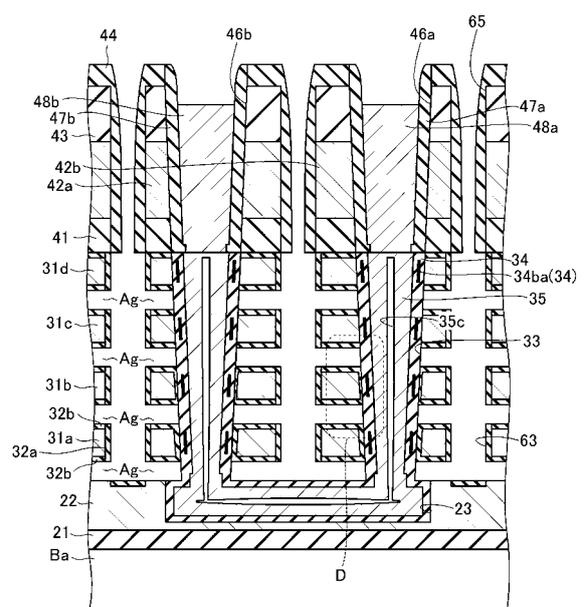
【図 2 4】



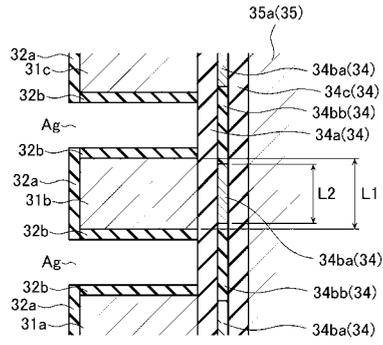
【図 2 5】



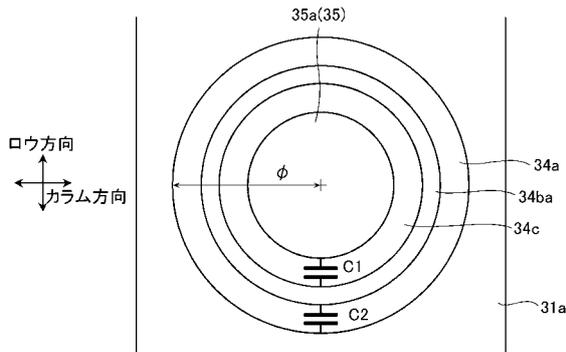
【図 2 6】



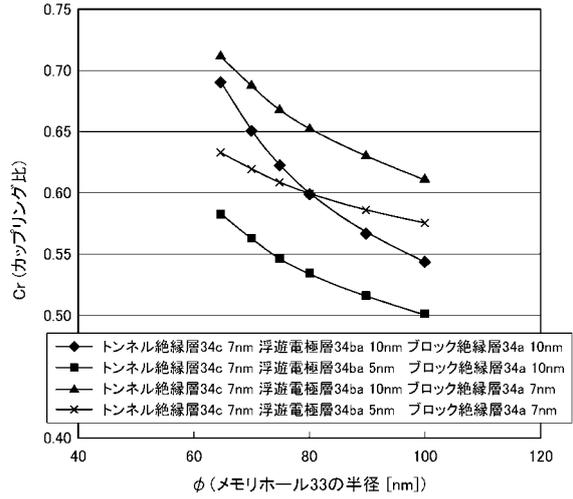
【図27】



【図28】



【図29】



フロントページの続き

- (72)発明者 福住 嘉晃
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 田中 啓安
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小森 陽介
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 石月 恵
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 青地 英明
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 堀江 義隆

- (56)参考文献 特開平6 - 338602 (JP, A)
特開2007 - 180389 (JP, A)
特開2006 - 128390 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
H01L 21/336
H01L 27/115
H01L 29/788
H01L 29/792