

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>7</sup> H02M 3/28	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월26일 10-0503770 2005년07월18일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0054521 2002년09월10일	(65) 공개번호 (43) 공개일자	10-2003-0022727 2003년03월17일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 JP-P-2001-00273915 2001년09월10일 일본(JP)

(73) 특허권자 가부시킴가이샤 무라타 세이사쿠쇼  
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고

(72) 발명자 호소타니다즈야  
일본국교토후나가오카쿄시덴진2초메26방10고가부시킴가이샤무라타세이사쿠쇼  
  
다케무라히로시  
일본국교토후나가오카쿄시덴진2초메26방10고가부시킴가이샤무라타세이사쿠쇼

(74) 대리인 박중환  
윤동열  
이선희

심사관 : 임창수

(54) 스위칭 전원장치

요약

본 발명은 전류 연속 모드로 동작하는 2석식(2石式) 플라이백형의 스위칭 전원장치를 자려 발진 방식으로 실현하고, 스위칭 전원의 고효율화와 동시에 소형 경량화 및 저비용화를 도모할 수 있는 스위칭 전원장치를 제공하는 것을 목적으로 한다.

본 발명에 따르면, 제1 스위치 소자(Q1)과 제2 스위치 소자(Q2)를 번갈아 온/오프해서 자려 발진시키는 스위칭 전원장치에 있어서, 상기 인덕터(L)와 상기 커패시터(C)를, 상기 제1 스위치 소자(Q1)의 오프 기간에 있어서 공진시켜, 제2 스위치 소자(Q2)가 턴 온된 후, 2차 권선(T2)으로부터의 에너지 방출이 끝나기 전에 상기 제2 스위치 소자(Q2)와 인덕터(L)의 직렬 회로에 흐르는 공진 전류를 차단하고, 이에 따라서 인덕터(L)에 전압을 발생시켜서 트랜스포머 전압을 반전시키도록, 제2 스위치 소자(Q2)를 턴 오프시키는 시정수로 설정된 온 시간 제어회로(4)를 구비한다.

대표도

도 1

색인어

스위칭 전원장치, 자려 발진 방식, 트랜스포머, 스위치 회로, 시정수

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시형태의 스위칭 전원장치의 회로도.

- 도 2는 상기 스위칭 전원장치의 동작과형도.
- 도 3은 종래의 스위칭 전원장치의 동작과형도.
- 도 4는 종래의 스위칭 전원장치와 상기 실시형태의 스위칭 전원장치의 스위치 소자의 온/오프 시퀀스를 나타낸 도면.
- 도 5는 과전류시에 있어서의 전류(Id1) 및 여자 전류(Im)의 변화를 나타낸 도면.
- 도 6은 과전류 보호회로 특성을 나타낸 도면.
- 도 7은 전류(Id1) 및 여자 전류(Im)의 부하 변동에 대한 변화를 나타낸 도면.
- 도 8은 도 7의 각 모드에 있어서의 출력 전력에 대한 스위칭 주파수의 변화를 나타낸 도면.
- 도 9는 본 발명의 제2 실시형태의 스위칭 전원장치의 개략 구성도.
- 도 10은 본 발명의 제3 실시형태의 스위칭 전원장치의 개략 구성도.
- 도 11은 본 발명의 제4 실시형태의 스위칭 전원장치의 개략 구성도.
- 도 12는 제1 스위칭 소자(Q1)의 구동 제어회로의 실시예.
- 도 13은 제2 스위칭 소자(Q2)의 구동 제어회로의 실시예.

(도면의 주요 부분에 있어서의 부호의 설명)

- 1, 3: 지연회로
- 2,4: 온 시간 제어회로
- 5: 과전류 보호회로
- 6: 과전류 보호 입력 구성회로
- Q1: 제1 스위치 소자
- Q2: 제2 스위치 소자
- T: 트랜스포머
- L: 인덕터

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 직류 안정화 전원을 공급하는 스위칭 전원장치, 특히, 2개의 스위치 소자를 번갈아 온/오프 차례 발진해서 전류 연속 모드로 동작하는 스위칭 전원장치에 관한 것이다.

트랜스포머(T)의 1차측에, 제1 스위치 소자(Q1)와 제2 스위치 소자(Q2)를 접속하고, 이들 제1 및 제2 스위치 소자(Q1, Q2)가 함께 오프되는 기간을 사이에 두고 번갈아 온/오프되는 스위칭 제어회로를 형성하고, 제1 스위치 소자(Q1)의 온 기간에 1차 권선과 인덕터(L)에 에너지를 축적하고, 제1 스위치 소자(Q1)의 오프 기간에 2차 권선으로부터 에너지를 방출하고, 제1 스위치 소자(Q1)와 제2 스위치 소자(Q2)를 차례 발진시키는 스위칭 전원장치에 관하여, 예를 들면, 일본국 특허공개 평11-187664호 공보에 개시되어 있다. 이러한 구성의 스위칭 전원장치를, 스위치 소자를 2개 사용한 플라이백형의 차례 발진식 스위칭 전원장치라고 한다.

또한, 스위치 소자를 2개 사용한 플라이백형의 다른 스위칭 전원장치로서는, 예를 들면, 일본국 특허공개 평4-845604호 공보, 실용신안공개 평6-36392호 공보, 특허공표 평10-50083호 공보에 개시되어 있다. 이들 공보에 개시되는 플라이백형의 스위칭 전원장치는, 트랜스포머(T)의 1차측에 2개의 스위치 소자를 사용하는 점에서, 일본국 특허공개 평11-187664호 공보에 개시되는 스위칭 전원장치와 동일한 구성을 갖지만, 차례 발진을 행하는 구성으로는 되어 있지 않다. 또한, 이들 스위칭 전원장치에서는, 동작 특성이 전류 연속 모드로 되어 있다. 한편, 스위칭 전원장치에 있어서, 전류 연속 모

드란, 트랜스포머(T)의 2차측에 전류가 흐른 후, 휴지 시간을 두지 않고 연속해서 1차측에 전류가 흐르고, 메인 스위치 소자에 흐르는 전류의 전류파형이 사다리꼴 파형이 되는 동작 모드를 말한다. 또한, 전류 불연속 모드란, 상기 1차측에도 2차측에도 전류가 흐르지 않는 휴지 기간이 있으며, 메인 스위치 소자에 흐르는 전류의 전류파형이 삼각파가 되는 동작 모드를 말한다.

**발명이 이루고자 하는 기술적 과제**

그러나, 상기의 종래의 스위칭 전원장치에서는 다음과 같은 결점이 있었다.

(1)일본국 특허공개 평11-187664호 공보에 개시되는 바와 같은 플라이백형의 자려 발진식 스위칭 전원장치의 결점

이 스위칭 전원장치에서는, 링잉 쇼크 컨버터로 대표되는 바와 같이, 1차 권선에 흐르는 전류 파형이 항상 삼각파로 되어 있다. 이 때문에, 중부하시(重負荷時)에 1차측의 전류 피크값이 커지고, 실효 전류가 증가한다. 실효 전류가 증가하면, 트랜스포머의 동손(銅損), 스위치 소자의 도통 손실이 증가하고, 효율이 저하한다. 이것은 스위칭 전원장치의 소형 경량화의 방해가 된다.

또한, 1차 권선에 흐르는 전류 파형이 삼각파가 되기 때문에, 중부하시에 스위치 소자의 온 시간이 길어진다. 또한, 온 시간의 연장에 따라서 오프 시간도 길어진다. 이 때문에, 스위칭 주기가 길어져 스위칭 주파수가 저주파가 되기 때문에, 대형의 트랜스포머나 2차측 평활 커패시터 등이 필요하게 되고, 스위칭 전원장치의 소형 경량화의 방해가 된다.

(2)일본국 특허공개 평4-84560호 공보에 개시되는 바와 같은, 전류 연속 모드로 동작하는 2석식 플라이백형의 스위칭 전원장치의 결점

1차 권선에 흐르는 전류 파형이 사다리꼴파가 되기 때문에, 트랜스포머의 동손, 스위치 소자의 도통 손실을 저감할 수 있다. 그러나, 자려 발진형이 아니기 때문에, 2석(2石)의 스위치 소자를 번갈아 온/오프시키기 위한 구동 제어회로로서, 발진 회로 및 구동용의 토템폴(totem pole) 회로, 접지 레벨이 다른 하이사이드의 스위치 소자를 구동하기 위한 고내압 드라이브 IC, 또는 펄스 트랜스포머 등이 필요하게 되고, 결과적으로, 스위칭 전원장치의 소형 경량화, 저비용화를 충분히 도모할 수가 없다.

본 발명은 상기 플라이백형의 자려 발진식의 스위칭 전원장치와, 일본국 특허공개 평4-84560호 공보에 개시되는 바와 같은 전류 연속 모드로 동작하는 2석식 플라이백형의 스위칭 전원장치 양자의 결점을 해소하고, 스위칭 전원의 고효율화와 동시에 소형 경량화 및 저비용화를 도모할 수 있는 스위칭 전원장치를 제공하는데 있다.

**발명의 구성 및 작용**

본 발명은 종래 기술인, 전류 연속 모드로 동작하는 2석식 플라이백형의 스위칭 전원장치의 동작 특성을, 자려 발진 방식으로 실현시키는 새로운 기술이다. 본 발명은 다음과 같이 구성되어 있다.

(1)트랜스포머(T)의 1차 권선과 인덕터(L)의 직렬 회로에, 제1 스위치 회로와 입력 전원이 직렬로 접속됨과 아울러 제2 스위치 회로와 커패시터(C)의 직렬 회로가 상기 트랜스포머(T)의 1차 권선과 상기 인덕터(L)의 직렬 회로에 병렬로 접속되며, 상기 트랜스포머(T)의 2차 권선에 정류 소자(Ds)를 포함하는 정류 평활 회로가 형성되며,

제1 스위치 회로를, 제1 스위치 소자(Q1), 제1 다이오드(D1) 및 제1 커패시터(C1)의 병렬 접속 회로로 구성하고,

제2 스위치 회로를, 제2 스위치 소자(Q2), 제2 다이오드(D2) 및 제2 커패시터(C2)의 병렬 접속 회로로 구성하고,

상기 트랜스포머(T)에 형성된 제1 구동권선과 제1 스위치 소자(Q1)의 제어단자 사이, 및 상기 트랜스포머(T)에 형성된 제2 구동권선과 제2 스위치 소자(Q2)의 제어단자사이에 접속되며, 상기 제1 및 제2 스위치 소자(Q1, Q2)가 함께 오프 되는 시간을 사이에 두고 번갈아 온/오프되는 스위칭 제어회로를 형성하고, 제1 스위치 소자(Q1)의 온 기간에 상기 1차 권선과 인덕터(L)에 에너지를 축적하고, 제1 스위치 소자(Q1)의 오프 기간에 2차 권선으로부터 에너지를 방출하고, 제1 스위치 소자(Q1)와 제2 스위치 소자(Q2)를 자려 발진시키는 스위칭 전원장치에 있어서,

상기 인덕터(L)와 상기 커패시터(C)는 상기 제1 스위치 소자(Q1)의 오프 기간에 있어서 공진하는 공진 회로를 구성하고,

상기 스위칭 제어회로는 상기 제1 스위치 소자(Q1)가 턴 온된 후, 소정 시간경과후에 상기 제1 스위치 소자(Q1)를 턴 오프시키는 시정수로 설정된 제1 온 시간제어회로와,

상기 제2 스위치 소자(Q2)가 턴 온된 후, 상기 2차 권선으로부터의 에너지방출이 끝나기 전에 상기 제2 스위치 소자(Q2)와 상기 인덕터(L)의 직렬 회로에 흐르는 공진 전류를 차단하도록 상기 제2 스위치 소자(Q2)를 턴 오프시키는 시정수로 설정된 제2 온 시간 제어회로를 구비하며, 전류 연속 모드로 동작하는 것을 특징으로 한다.

본 발명에서는, 스위칭 제어회로를 구성하는 제1 온 시간 제어회로와 제2 온 시간 제어회로가, 각각 다른 동작을 한다. 일본국 특허공개 평11-187664호 공보에 개시되는 바와 같은 플라이백형의 자려 발진식 스위칭 전원장치에서는, 트랜스포머(T)의 1차측에 있어서, 제2 스위치 소자(Q2)를 제어하는 제2 온 시간 제어회로는, 2차 권선으로부터의 에너지 방출이 끝난 단계에서 제2 스위치 소자(Q2)를 턴 오프하는데, 본 발명에서는, 제2 온 시간 제어회로는 제2 스위치 소자(Q2)

가 턴 온된 다음, 2차 권선으로부터의 에너지 방출이 끝나기 전에 상기 제2 스위치 소자(Q2)와 인덕터(L)의 직렬 회로에 흐르는 공진 전류를 강제적으로 차단시킨다. 즉, 제2 온 시간 제어회로는 이러한 동작을 행하도록 소정의 시정수로 설정되어 있다.

이러한 제2 온 시간 제어회로에 따르면, 2차 권선으로부터의 에너지 방출이 끝나기 전에 제2 스위치 소자(Q2)를 턴 오프해서 인덕터(L)에 흐르는 전류를 차단하기 때문에, 이 전류의 변화에 의해 1차 권선의 전압이 반전되고, 이에 따라서 제1 구동권선에 전압이 발생해서 제1 스위치 소자(Q1)가 턴 온된다. 이에 따라, 자려 발진 동작을 행함과 아울러, 트랜스포머(T)의 2차측에 전류가 흐른 후, 휴지 기간을 두지 않고 전류가 1차측에 연속해서 흐르는 연속 동작 모드로 되고, 상기 1차측의 제1 스위치 소자(Q1)에 흐르는 전류 파형을 사다리꼴파로 할 수 있다. 즉 중부하시에 제1 스위치 소자(Q1)에 흐르는 전류 파형이 사다리꼴파가 되는 전류연속 모드로 동작하게 되기 때문에, 트랜스포머(T) 및 제1 스위치 소자(Q1)에 흐르는 전류 피크값 및 실효 전류를 저감할 수 있고, 트랜스포머의 동손, 스위치 소자(Q1)의 도통 손실을 저감하고, 스위칭 전원장치의 소형 경량화, 고효율화를 도모할 수 있다.

(2)트랜스포머(T)의 1차 권선과 인덕터(L)와 제1 스위치 회로와 입력 전원이 직렬로 접속됨과 아울러, 제2 스위치 회로와 커패시터(C)의 직렬 회로가 제1 스위치 회로와 병렬로 접속되어, 상기 트랜스포머(T)의 2차 권선에 정류소자(Ds)를 포함하는 정류 평활 회로가 형성되며,

제1 스위치 회로를, 제1 스위치 소자(Q1), 제1 다이오드(D1) 및 제1 커패시터(C1)의 병렬 접속 회로로 구성하고,

제2 스위치 회로를, 제2 스위치 소자(Q2), 제2 다이오드(D2) 및 제2 커패시터(C2)의 병렬 접속 회로로 구성하고,

상기 트랜스포머(T)에 형성된 제1 구동권선과 제1 스위치 소자(Q1)의 제어단자 사이, 및 상기 트랜스포머(T)에 형성된 제2 구동권선과 제2 스위치 소자(Q2)의 제어단자 사이에 접속되며, 상기 제1 및 제2 스위치 소자(Q1, Q2)가 함께 오프 되는 시간을 사이에 두고 번갈아 온/오프되는 스위칭 제어회로를 형성하고, 제1 스위치 소자(Q1)의 온 기간에 상기 1차 권선과 인덕터(L)에 에너지를 축적하고, 제1 스위치 소자(Q1)의 오프 기간에 2차 권선으로부터 에너지를 방출하고, 제1 스위치 소자(Q1)과 제2 스위치 소자(Q2)를 자려 발진시키는 스위칭 전원장치에 있어서,

상기 인덕터(L)와 상기 커패시터(C)는 상기 제1 스위치 소자(Q1)의 오프 기간에 있어서 공진하는 공진 회로를 구성하고,

상기 스위칭 제어회로는

상기 제1 스위치 소자(Q1)가 턴 온된 후, 소정 시간 경과후에 상기 제1 스위치 소자(Q1)를 턴 오프시키는 시정수로 설정된 제1 온 시간 제어회로와,

상기 제2 스위치 소자(Q2)가 턴 온된 후, 상기 2차 권선으로부터의 에너지 방출이 끝나기 전에 상기 제2 스위치 소자(Q2)와 상기 인덕터(L)의 직렬 회로에 흐르는 공진 전류를 차단하도록 상기 제2 스위치 소자(Q2)를 턴 오프시키는 시정수로 설정된 제2 온 시간 제어회로를 구비하며, 전류 연속 모드로 동작하는 것을 특징으로 한다.

본 발명에서는, 상기 (1)의 구성에 대하여, 커패시터(C)의 접속 위치가 다르게 되어 있다. 본 발명에 있어서도, 상기 (1)과 동일한 동작이 되고, 스위칭 전원장치의 소형 경량화 및 고효율화를 도모할 수 있다. 또한, 커패시터(C)에 인가되는 전압은 상기 (1)의 구성에 비하여 커지지만, 동일한 전하량을 축적하는 경우에는 용량값을 작게 할 수 있기 때문에, 그 만큼 커패시터(C)의 소형화를 도모할 수 있다.

(3)트랜스포머(T)의 1차 권선과 인덕터(L)와 커패시터(C)와 제1 스위치 회로와 입력 전원이 직렬로 접속됨과 아울러 제2 스위치 회로가 상기 트랜스포머(T)의 1차 권선과 인덕터(L)와 커패시터(C)의 직렬 회로에 병렬로 접속되며, 상기 트랜스포머(T)의 2차 권선에 정류 소자(Ds)를 포함하는 정류 평활 회로가 형성되고,

제1 스위치 회로를, 제1 스위치 소자(Q1), 제1 다이오드(D1) 및 제1 커패시터(C1)의 병렬 접속 회로로 구성하고,

제2 스위치 회로를, 제2 스위치 소자(Q2), 제2 다이오드(D2) 및 제2 커패시터(C2)의 병렬 접속 회로로 구성하고,

상기 트랜스포머(T)에 형성된 제1 구동권선과 제1 스위치 소자(Q1)의 제어단자 사이, 및 상기 트랜스포머(T)에 형성된 제2 구동권선과 제2 스위치 소자(Q2)의 제어단자 사이에 접속되며, 상기 제1 및 제2 스위치 소자(Q1, Q2)가 함께 오프 되는 시간을 사이에 두고 번갈아 온/오프되는 스위칭 제어회로를 형성하고, 제1 스위치 소자(Q1)의 온 기간에 상기 1차 권선과 인덕터(L)에 에너지를 축적하고, 제1 스위치 소자(Q1)의 오프 기간에 2차 권선으로부터 에너지를 방출하고, 제1 스위치 소자(Q1)과 제2 스위치 소자(Q2)를 자려 발진시키는 스위칭 전원장치에 있어서,

상기 인덕터(L)와 상기 커패시터(C)는 상기 제1 스위치 소자(Q1)의 오프 기간에 있어서 공진하는 공진 회로를 구성하고,

상기 스위칭 제어회로는

상기 제1 스위치 소자(Q1)가 턴 온된 후, 소정 시간 경과후에 상기 제1 스위치 소자(Q1)를 턴 오프시키는 시정수로 설정된 제1 온 시간 제어회로와,

상기 제2 스위치 소자(Q2)가 턴 온된 후, 상기 2차 권선으로부터의 에너지 방출이 끝나기 전에 상기 제2 스위치 소자(Q2)와 상기 인덕터(L)의 직렬 회로에 흐르는 공진 전류를 차단하도록 상기 제2 스위치 소자(Q2)를 턴 오프시키는 시정수로 설정된 제2 온 시간 제어회로를 구비하고, 전류 연속 모드로 동작하는 것을 특징으로 한다.

본 발명은 상기 (1)의 구성에 대하여, 커패시터(C)의 접속 위치를 바꾼 것이다. 본 발명에 있어서도, 상기 (1)과 동일한 동작을 하기 때문에, 스위칭 전원장치의 소형 경량화 및 고효율화를 도모할 수 있다. 또한, 본 발명에서는 트랜스포머(T)의 1차측이 소위 하프 브리지 구성으로 되기 때문에, 제1 스위치 소자(Q1) 및 제2 스위치 소자(Q2)에 인가되는 전압이 입력 전압과 동등하게 되고, 상기(1)의 구성에 대하여 동일한 인가 전압이 저하된다. 일반적으로, 내압이 낮은 스위치 소자는 온 저항이 작기 때문에 온 저항에 의한 도통 손실을 저감할 수 있게 되어, 고효율화에 기여한다. 또한, 트랜스포머(T)에 인가되는 전압도 약 절반이 되기 때문에, 권선수를 줄여서 트랜스포머의 소형화 및 고효율화에 기여한다.

또한, 제1 스위치 소자(Q1)의 온 시간에 트랜스포머(T)에 축적하는 여자 에너지뿐만 아니라, 커패시터(C)에 축적되어 있는 정전 에너지도 제1 스위치 소자(Q1)의 오프 기간에 방출하기 때문에, 트랜스포머(T)나 스위치 소자에 흐르는 전류 피크값, 실효 전류를 저감하여 도통 손실을 저감한다.

(4)상기 제1 스위치 소자(Q1)에 직렬로 접속된 전류 검출 수단을 구비하고, 상기 전류 검출 수단에서 검출된 상기 제1 스위치 소자에 흐르는 값이 문턱값이 되면, 상기 제1 스위치 소자의 온 시간을 제한하는 과전류 보호회로를 형성한 것을 특징으로 한다.

본 발명에서는, 제1 스위치 소자(Q1)에 흐르는 전류의 피크값을 검출해서 동일 전류를 제한하는 과전류 보호회로를 구비하고 있기 때문에, 과전류시 또는 기동시에, 피크 전류값이 증가함에 따른 트랜스포머의 포화, 스위치 소자의 파괴를 막을 수 있다.

(5)상기 과전류 보호회로는 상기 제1 스위치 소자를 턴 오프시키는 제3 스위치 수단을 구비하고, 상기 제3 스위치 수단을 상기 제1 스위치 소자의 제어단자에 접속하고, 상기 전류 검출 수단에 흐르는 피크 전류값이 상기 문턱값이 되면 상기 제3 스위치 수단을 온하고, 상기 제1 스위치 소자를 턴 오프시키는 것을 특징으로 한다.

본 발명에서는, 제3 스위치 수단으로 제1 스위치 소자(Q1)의 피크 전류값을 제한할 수 있기 때문에, 과전류 보호회로의 구성이 간단해진다.

(6)상기 스위칭 제어회로는, 상기 제1 구동권선과 상기 제1 스위치 소자(Q1)의 제어단자사이, 및 상기 제2 구동권선과 상기 제2 스위치 소자(Q2)의 제어단자사이,에 접속한, 저항 또는 저항과 커패시터의 직렬 회로로 이루어지는 지연회로를 구비하고, 상기 제1 구동권선에 상기 제1 스위치 소자(Q1)를 온시키는 전압이 발생하고 나서 지연하여, 또는 상기 제2 구동권선에 상기 제2 스위치 소자(Q2)를 온시키는 전압이 발생하고 나서 지연하여, 상기 제1 스위치 소자(Q1) 또는 상기 제2 스위치 소자(Q2)를 턴 온시키는 것을 특징으로 한다.

본 발명에서는, 지연회로를 구비함으로써, 스위치 소자의 턴 온 타이밍을 지연시키고, 상기 스위치 소자의 인가 전압이 영전압으로 저하하고 나서 턴 온시킬 수 있다. 이 때문에, 영전압 스위칭 동작이 가능해지고, 스위칭 손실을 저감할 수 있다.

또한, 스위치 소자(Q1)에 흐르는 전류 파형이 삼각파가 되는 종래 기술에서는, 2차측의 정류 소자(Ds)가 오프되면, 이것이 트리거(trigger)로 되어, 트랜스포머(T)의 1차 권선 및 인덕터(L)와 커패시터(C1 및 C2)가 공진하고, 제1 스위치 소자(Q1)가 턴 온되는데 비하여, 본 발명에서는, 인덕터(L)에 축적되어 있는 에너지의 방출 중에 제2 스위치 소자(Q2)가 오프되면, 이것이 트리거로 되어, 제1 구동권선에 전압이 발생하여 제1 스위치 소자(Q1)가 턴 온된다. 이러한 동작 때문에, 전압 반전시의 공진 주기는 종래 기술의 회로에 비교해 짧아지기 때문에, 제1 스위치 소자(Q1)의 턴 온 지연 시간은 짧아진다.

또한, 지연회로를 구성하는 저항은 구동권선에 발생하는 전압 서지를 감쇠시킴과 아울러 제어 전압의 상승 시간을 둔하게 하여 턴 온을 지연시킨다. 커패시터는 스위치 소자의 입력 용량으로 분압되어, 제어단자에의 인가전압을 조정할 수 있다.

(7)상기 지연회로는 상기 제1 스위치 소자(Q1) 또는 상기 제2 스위치 소자(Q2)의 양단에 인가되는 전압이 영전압 또는 영전압 부근까지 저하하고 나서 턴 온되도록 지연 시간이 설정되어 있는 것을 특징으로 한다.

본 발명에서는, 지연회로의 동작에 의해 제1 스위치 소자(Q1) 또는 제2 스위치 소자(Q2)가 영전압 스위칭하기 때문에, 스위칭 손실을 저감할 수 있다.

(8)상기 제1 온 시간 제어회로는 상기 제1 스위치 소자(Q1)를 턴 오프시키는 제1 스위치 수단을 구비하고, 상기 제1 온 시간 제어회로는 상기 제1 구동권선에 상기 제1 스위치 소자(Q1)를 턴 온시키는 전압이 발생하고 나서, 소정 시간 경과 후에 상기 제1 스위치 수단을 온하여 상기 제1 스위치 소자(Q1)를 턴 오프시키는 것을 특징으로 한다.

본 발명에서는, 시정수 회로를 구비한 제1 스위치 소자(Q1)의 제1 온 시간 제어회로에 의해, 출력전압을 안정화할 수 있다.

(9)상기 제2 온 시간 제어회로는 상기 제2 스위치 소자(Q2)를 턴 오프시키는 제2 스위치 수단을 구비하며, 상기 제2 온 시간 제어회로는, 상기 제2 구동권선에 상기 제2 스위치 소자(Q2)를 턴 온시키는 전압이 발생하고 나서, 상기 2차 권선으로부터의 에너지 방출이 끝나기 전에 상기 제2 스위치 수단을 온해서 상기 제2 스위치 소자(Q2)를 턴 오프시켜서, 상기 제2 스위치 소자(Q2)와 상기 인덕터(L)의 직렬 회로에 흐르는 전류를 차단하는 것을 특징으로 한다.

본 발명에서는, 시정수 회로를 구비한 제2 스위치 소자(Q2)의 제2 온 시간 제어회로에 의해, 트랜스포머(T)의 2차 권선으로부터의 에너지 방출이 끝나기 전에 제2 스위치 소자(Q2)를 턴 오프하기 때문에, 이것을 트리거로 하여 트랜스포머(T)

의 발생 전압을 반전해서 제1 구동권선에 전압을 발생하고, 이 전압에 의해 제1 스위치 소자(Q1)를 턴 온하여 자려 발진시킬 수 있다. 이에 따라서, 상술한 바와 같이 제1 스위치 소자(Q1)에 흐르는 전류 파형을 사다리꼴파로 하여, 동작 모드를 전류연속 모드로 할 수 있다.

(10)상기 인덕터(L) 및 상기 커패시터(C)의 각 값은 상기 스위칭 제어회로에 의해 상기 제2 스위치 소자(Q2)를 턴 오프함으로써 상기 인덕터(L)에 흐르는 전류가 차단되었을 때에, 상기 인덕터(L)와 커패시터(C)에 흐르는 공진 전류가 그 피크 전류 부근이 되는 값으로 설정되어 있는 것을 특징으로 한다.

본 발명에서는, 공진 전류의 피크 전류 부근에서 제2 스위치 소자(Q2)를 턴 오프함으로써, 커패시터(C)의 용량값을 작게 할 수 있고, 커패시터(C)의 소형 경량화를 도모할 수 있다.

또한, 인덕터(L)와 커패시터(C)에 흐르는 공진 전류에 의해, 2차 측 정류 소자(Ds)의 전류 파형을 정현파 형상으로 상승하는 파형으로 할 수 있고, 피크 전류를 저감해서 실효 전류를 저감할 수 있다.

또한, 상기 공진 전류가 피크 전류값에 도달한 후에 제2 스위치 소자(Q2)를 턴 오프함으로써, 2차측 정류 소자(Ds)의 턴 오프 전류가 저감된다. 이에 따라서, 상기 다이오드의 역회복 손실을 저감할 수 있다.

(11)상기 제1 온 시간 제어회로는 출력전압에 대응하는 신호에 따라서, 상기 제1 스위치 소자(Q1)를 턴 오프시킬 때까지의 시간을 변화시키는 회로를 구비하는 것을 특징으로 한다.

본 발명에서는, 출력 전력에 대응하는 신호에 따라서, 경부하시에는, 제1 스위치 소자(Q1)이 턴 오프할 때까지의 시간을 단축하고, 중부하때에는 제1 스위치 소자(Q1)이 턴 오프할 때까지의 시간을 길게 함으로써, 출력전압을 안정화할 수 있다.

(12)상기 과전류 보호회로는 상기 제3 스위치 수단을 트랜지스터로 구성하고, 상기 트랜지스터를 제1 스위치 소자(Q1)의 제어단자에 접속하고, 상기 전류 검출 수단에 발생하는 전압을 저항을 통하여 상기 트랜지스터의 제어단자에 주고, 상기 제1 스위치 소자(Q1)에 흐르는 전류가 소정 값에 도달하면 상기 트랜지스터의 제어단자 전압이 문턱값에 도달하여, 상기 트랜지스터를 온하고, 상기 제1 스위치 소자(Q1)를 턴 오프시켜서 상기 제1 스위치 소자(Q1)에 흐르는 피크 전류값을 제한하는 것을 특징으로 한다.

본 발명에서는, 제3 스위치 수단을 트랜지스터로 구성함으로써, 전류 검출 수단에 발생하는 전압의 분압 저항과 트랜지스터의 문턱값(베이스-에미터 사이 전압: 약 0.6V)을 비교할 수 있다. 이에 따라서, 제1 스위치 소자(Q1)의 피크 전류값을 제한할 수 있으며, 간단한 구성으로 부품수를 삭감하고, 스위칭 전원장치의 저비용화, 소형 경량화에 기여한다.

(13)상기 과전류 보호회로는 상기 제1 스위치 소자(Q1)가 온인 기간에 제1 구동권선에 발생하는 전압을 저항과 다이오드를 통하여 상기 트랜지스터의 제어단자에 입력하도록 구성한 것을 특징으로 한다.

입력 전압이 변동된 경우, 피크 전류값이 동일하면, 입력 전압이 높을수록 과전류점은 커진다. 따라서, 제1 구동권선에 발생하는, 입력 전압에 비례한 전압을 저항과 다이오드를 통하여 제3 스위치 수단의 제어단자에 입력함으로써, 입력 전압이 높은 경우에만 과전류점을 작게 하고, 입력 변동에 있어서의 과전류점의 변동을 억제할 수 있다. 즉 입력 전압이 높을 때에는 제3 스위치 수단은 더 빨리 온되게 된다. 이에 따라, 스위칭 전원장치의 소형 경량화에 기여한다.

(14)상기 과전류 보호회로는 상기 제1 스위치 소자(Q1)의 최대 온 시간을 규정하는 제1 온 시간 제한 수단과, 상기 제1 스위치 소자(Q1)에 흐르는 전류가 소정 값이 되면 상기 제1 스위치 소자(Q1)를 턴 오프하는 제2 온 시간 제한 수단의 2개의 독립된 온 시간 제한 수단을 구비하고 있는 것을 특징으로 한다.

과전류시에는 제2 온 시간 제한 수단에 의해 피크 전류값을 제한하고, 출력전압이 저하하면 제1 온 시간 제한 수단에 의해 제1 스위치 소자(Q1)의 최대 온 시간을 단축해 간다. 이에 따라, 2차측 출력 전류의 증대를 억제할 수 있으며, 또는 단락 전류를 저감할 수 있다.

(15)상기 제1 스위치 소자(Q1) 또는 상기 제2 스위치 소자(Q2)를 전계 효과 트랜지스터로 구성한 것을 특징으로 한다.

본 발명에서는, 전계 효과 트랜지스터의 기생 용량을 커패시터(C1) 또는 커패시터(C2)로서 사용할 수 있으며, 또한, 전계 효과 트랜지스터의 기생 다이오드를 다이오드(D1) 또는 다이오드(D2)로서 사용할 수 있다. 이에 따라, 부품수를 삭감하여 스위칭 전원장치의 저비용화와 소형 경량화를 도모할 수 있다.

(16)상기 트랜스포머(T)가 갖는 누설 인덕터에 의해 상기 인덕터(L)를 구성한 것을 특징으로 한다.

본 발명에서는, 인덕터(L)로서 트랜스포머(T)가 갖는 누설 인덕터를 사용하기 때문에, 부품수를 삭감하고, 스위칭 전원장치의 저비용화, 소형 경량화를 도모할 수 있다.

(17)상기 정류 소자(Ds)의 양단에 용량성 임피던스를 접속한 것을 특징으로 한다.

본 발명에서는, 2차측 정류 소자(Ds)의 양단에 용량성 임피던스를 접속함으로써, 상기 정류 소자(Ds)의 역회복 손실을 저감하고, 고효율화와 저EMI노이즈화를 도모할 수 있다.

(발명의 실시 형태)

도 1은 본 발명의 실시형태인 스위칭 전원장치의 회로도이다.

트랜스포머(T)의 1차측에서는, 그 1차 권선(T1)과 인덕터(L)의 직렬 회로에, 제1 스위치 회로(S1)와 입력 전원(Vin)이 직렬로 접속됨과 아울러, 제2 스위치 회로(S2)와 커패시터(C)의 직렬 회로는 상기 1차 권선(T1)과 인덕터(L)의 직렬 회로에 병렬로 접속되어 있다. 또한, 트랜스포머(T)의 2차 권선(T2)에는, 정류 소자(Ds)를 포함하는 정류 평활 회로가 접속되어 있다.

제1 스위치 회로(S1)는 제1 스위치 소자(Q1), 제1 다이오드(D1), 제1 커패시터(C1)의 병렬 접속 회로로 구성되어 있다. 제2 스위치 회로(S2)는 제2 스위치 소자(Q2), 제2 다이오드(D2), 제2 커패시터(C2)의 병렬 접속 회로로 구성되어 있다.

트랜스포머(T)에는, 제1 구동권선(T3)과 제2 구동권선(T4)이 형성되며, 제1 구동권선(T3)과 제1 스위치 소자(Q1)의 제어단자 사이에는 제1 스위칭 제어회로가 접속되며, 제2 구동권선(T4)과 제2 스위치 소자(Q2)의 제어단자 사이에는 제2 스위칭 제어회로가 형성되어 있다. 이 제1 및 제2 스위칭 제어회로는 제1 및 제2 스위치 소자(Q1, Q2)가 함께 오프되는 기간을 사이에 두고 번갈아 온/오프되도록 상기 스위치 소자를 제어하고, 제1 스위치 소자(Q1)의 온 기간에 1차 권선(T1)과 인덕터(L)에 에너지를 축적하고, 제1 스위치 소자(Q1)의 오프 기간에 2차 권선(T2)로부터 에너지를 방출하고, 제1 스위치 소자(Q1)와 제2 스위치 소자(Q2)를 자려 발진시킨다.

상기 제1 스위칭 제어회로는 지연회로(1)와 온 시간 제어회로(2)로 구성된다.

지연회로(1)는 저항(R3)과 커패시터(C3)의 직렬 회로로 이루어지고, 제1 구동권선(T3)에 발생한 전압을 지연해서 제1 스위치 소자(Q1)의 제어단자에 인가 한다. 이 지연회로(1)에 설정되는 지연 시간은 제1 구동권선(T3)에 전압이 발생하고 나서, 오프 상태에 있는 제1 스위치 소자(Q1)의 양단에 인가되어 있는 커패시터(C1)의 충전 전하가 영전압으로 저하할 때까지의 시간, 또는 영전압 부근으로 저하할 때까지의 시간으로 설정된다. 이에 따라, 제1 스위치 소자(Q1)는 그 양단에 인가되는 전압이 영전압 또는 영전압 부근까지 저하하고 나서 턴 온되게 된다.

상기 온 시간 제어회로(2)는 제1 스위치 소자(Q1)의 제어단자와 입력 전원(Vin)의 기준 전위(부극) 단자 사이에 접속되는 제1 스위치 수단인 트랜지스터(Tr1)와, 이 트랜지스터(Tr1)의 제어단자에 접속되는, 저항(R2)과 커패시터(C4)로 이루어지는 시정수 회로와, 이 트랜지스터(Tr1)의 제어단자와 제1 스위치 소자(Q1)의 제어단자 사이에 접속되며, 저항(R4)과 포토커플러(PC)의 포토트랜지스터의 직렬 회로를 구비하고 있다. 저항(R2)과 커패시터(C4)의 시정수 회로는 제1 구동권선(T3)에 접속되며, 제1 구동권선(T3)에 전압이 발생하고 나서, 소정의 시간후에 트랜지스터(Tr1)를 온하여, 제1 스위치 소자(Q1)를 턴 오프시킨다. 또한, 상기 포토트랜지스터와 저항(R4)의 직렬 회로는, 후술하는 출력전압 검출회로로부터의 신호에 의거하여 트랜지스터(Tr1)의 온 시간을 제어하고, 출력전압(Vo)의 안정화를 도모한다.

상기 제2 스위칭 제어회로는 지연회로(3)와 온 시간 제어회로(4)로 구성된다.

지연회로(3)는 제2 구동권선(T4)에 발생한 전압을 지연하여 제2 스위치 소자(Q2)의 제어단자에 인가한다. 이 지연회로(3)의 지연 시간은 상기 지연회로(1)와 마찬가지로, 제2 구동권선(T4)에 전압이 발생하고 나서, 제2 스위치 소자(Q2)의 양단에 인가되는 전압이 영전압 또는 영전압 부근으로 저하할 때까지의 시간으로 설정된다. 이에 따라, 제2 스위치 소자(Q2)도 영전압 스위칭을 행한다. 또한, 온 시간 제어회로(4)는 제2 스위치 소자(Q2)의 제어단자에 접속되는 제2 스위치 수단인 트랜지스터(Tr2)와, 이 트랜지스터(Tr2)의 제어단자에 접속되며, 저항(R12)과 커패시터(C12)로 이루어지는 시정수 회로를 구비하고 있다. 저항(R12)과 커패시터(C12)의 시정수 회로는 제2 구동권선(T4)의 전압이 발생하고 나서, 소정의 시간 후에 트랜지스터(Tr2)를 온하여, 제2 스위치 소자(Q2)를 턴 오프한다. 또한, 이 저항(R12)과 커패시터(C12)의 직렬 회로로 이루어지는 시정수 회로는, 상술한 바와 같이, 제2 구동권선(T4)에 전압이 발생해서 제2 스위치 소자(Q2)가 턴 온된 후, 2차 권선(T2)으로부터의 에너지 방출이 끝나기 전에 상기 제2 스위치 소자(Q2)와 인덕터(L)의 직렬 회로에 흐르는 전류를 강제적으로 차단해서 제2 스위치 소자(Q2)를 턴 오프시키도록 시정수가 설정되어 있다.

상기 제1 스위치 소자(Q1)에는 상기 스위치 소자(Q1)에 흐르는 전류(Id1)의 크기를 검출하는 저항(R)을 포함하는 과전류 보호회로(5)가 접속되어 있다. 과전류 보호회로(5)는 상기 전류(Id1)의 크기를 검출하는 저항(R)과, 이 저항(R)의 양단 전압이, 저항(R5) 및 저항(R6)을 통하여 베이스 단자에 입력되는 트랜지스터(Tr3)와, 트랜지스터(Tr3)의 컬렉터 단자와 제1 스위치 소자(Q1)의 제어단자 사이에 접속되는 다이오드(D3)를 구비하고 있다. 이 과전류 보호회로(5)는 저항(R)에 흐르는 전류(Id1)의 크기에 대응한 전압을 저항(R5)과 저항(R6)으로 분압해서 트랜지스터(Tr3)의 베이스-에미터 사이에 공급하고, 이 전압이 문턱값 Vbe(약0.6V)를 초과했을 때에 트랜지스터(Tr3)가 온되어 제1 스위치 소자(Q1)를 턴 오프한다. 이에 따라, 1차 권선(T1) 및 제1 스위치 소자(Q1)에 흐르는 전류 피크 값(Idp)을 소정 값으로 제한하고, 과전류에 의한 트랜스포머의 포화를 방지할 수 있다.

또한, 과전류시에는, 온 시간 제어회로(2)의 저항(R2)과 커패시터(C4)로 이루어지는 시정수 회로를 포함하는 제2 온 시간 제어회로에 의해서도 과전류 보호를 행한다. 후술하는 바와 같이, 출력전압이 안정화되어 있는 동작 모드로부터, 2차 권선(T2)으로부터의 출력 전류(Io)가 증대되어 제1 스위치 소자(Q1)에 흐르는 전류(Id1)의 전류 피크값이 일정 이상으로 커지면, 과전류 보호회로(5)가 동작해서 전류 피크값이 제한되는데, 출력 전류(Io)가 더욱 증가하려고 하면, 출력 전류를 일정하게 유지한 채 출력전압이 저하하는 수하(垂下) 특성 모드가 된다. 이 때, 온 시간 제어회로(2)의 상기 시정수 회로는 상세에 대해서는 후술하는 것 같이, 트랜지스터(Tr1)의 온 타이밍을 빠르게 하고, 이에 따라, 제1 스위치 소자(Q1)의 최대 온 시간을 짧아지도록 제어한다. 따라서, 과전류시에 있어서는, 첫번째로, 과전류 보호회로(5)에 의해 전류 피크값이 제한되며, 두번째로, 온 시간 제어회로(2)에 의해 제1 스위치 소자(Q1)의 최대 온 시간이 규정된다. 이에 따라, 트랜스포머의 포화를 방지함과 아울러, 2차측 출력 전류의 증대를 억제할 수 있으며, 또는 단락전류를 저감할 수 있다. 이 실시형태에서는, 상기 과전류 보호회로(5)가 본 발명의 제2 온 시간 제한 수단이며, 온 시간 제어회로(2)가 본 발명의 제1 온 시간 제한 수단을 구성하고 있다.

과전류 보호회로(5)에는 과전류 보호 입력 보정회로(6)가 접속되어 있다. 본 발명에서는, 이 과전류 보호 입력 보정회로(6)도 과전류 보호회로의 일부로 간주된다.

과전류 보호 입력 보정회로(6)는 제1 구동권선(T3)과, 과전류 보호회로(5)의 트랜지스터(Tr3)의 베이스 단자 사이에 접속된 것으로, 다이오드(D4), 제너 다이오드(D5) 및 저항(R7)의 직렬 회로로 구성된다. 이 회로는 입력 전압이 변동된 경우, 과전류 보호회로(5)가 동작하는 출력 전류를 보정하기 위한 것이다. 즉 입력 전압이 높을 때에는 제1 구동권선(T3)에 발생하는 전압도 높아지기 때문에, 이 보정회로(6)의 루트에서 트랜지스터(Tr3)의 베이스 단자에 전류를 흘림으로써, 과전류 보호회로의 동작점을 낮게 한다. 이렇게 함으로써, 입력 전압의 변동에 대하여, 과전류 보호회로의 동작점을 거의 일정하게 하는 것이 가능하다.

트랜스포머(T)의 2차 권선(T2)의 출력측에는 출력전압(Vo)을 검출하는 출력전압 검출회로(7)가 형성되어 있다.

이 출력전압 검출회로(7)는 출력전압(Vo)을 분압하는 분압 저항(R20, R21)과, 그 저항의 접속점(기준점)이 레퍼런스 전압(Vr)의 입력 단자에 접속되는 셉트 레귤레이터(IC1)와, 이 셉트 레귤레이터(IC1)에 직렬로 접속되는 포토커플러(PC)의 포토다이오드를 구비하고 있다. 셉트 레귤레이터(IC1)는 레퍼런스 전압(Vr)과 분압 저항(R20, R21)에 의한 분압 전압(Va)을 비교하고, 그 차에 따라서 캐소드-애노드 간의 전류를 제어한다. 포토커플러(PC)는 이 전류의 변화를 빛의 강약으로 변환한다. 즉 출력전압(Vo)이 높아지면, 온 시간 제어회로(2)의 포토트랜지스터의 컬렉터-에미터 간의 임피던스가 작아지고, 이에 따라, 제1 스위치 소자(Q1)의 온 기간에 있어서의 커패시터(C4)의 충전시간이 빨라지고, 트랜지스터(Tr1)가 더욱 빨리 온되고, 제1 스위치 소자(Q1)의 턴 오프 타이밍이 빨라져서 온 시간이 짧아진다. 제1 스위치 소자(Q1)의 온 시간이 짧아지면, 출력 전류가 감소하고, 출력전압(Vo)이 저하한다. 출력전압(Vo)이 소정의 전압(설정 전압)보다도 저하하면, 상기와 반대 동작에 의해 출력 전력이 증대하여 출력전압이 상승한다. 이렇게 하여, 출력전압의 안정화 제어가 행해진다.

다음으로, 상기의 스위칭 전원장치의 동작을 설명한다.

도 2는 도 1에 나타낸 회로의 파형도이다. 이하, 도 1 및 도 2를 참조해서 상기 회로의 동작을 상세하게 설명하겠다.

도 2에 있어서, S1, S2는 제1 스위치 소자(Q1), 제2 스위치 소자(Q2)의 온/오프를 나타내는 신호, Vds1, Vds2, Vs는 각각 커패시터(C1, C2, Cs)의 양단 전압파형, Id1, Id2, Is는 각각 스위치 회로(S1, S2), 정류 소자(Ds)의 전류 파형이다.

본 회로의 최적의 정상 상태에 있어서의 스위칭 동작은, 1 스위칭 주기(T)에 있어서, 시간 t1~t5의 4개의 동작상태로 나눌 수 있다. 이하, 각 상태에 있어서의 동작에 관하여 설명하겠다.

(상태 1) t1~t2

제1 스위치 소자(Q1)는 온되어 있으며, 입력 전압이 트랜스포머(T)의 1차 권선(T1)에 인가됨으로써 1차 권선 전류가 직선적으로 증가한다. 이 때, 트랜스포머(T)에 여자 에너지가 축적된다. 또한, 이 때, 포토커플러(PC)를 통하여 커패시터(C4)가 충전되고, 이 커패시터(C4)의 전압이 트랜지스터(Tr1)의 문턱값 전압(약 0.6V)에 도달하면 상기 트랜지스터(Tr1)가 온되어, 시간 t2에서 제1 스위치 소자(Q1)가 턴 오프되고, 상태 2로 천이된다.

(상태 2) t2~t3

제1 스위치 소자(Q1)가 턴 오프되면, 트랜스포머(T)의 1차 권선(T1)과 인덕터(L)는 커패시터(C1 및 C2)와 공진하고, 커패시터(C1)를 충전하고, 커패시터(C2)를 방전한다. 또한, 2차측에서는 트랜스포머(T)의 2차 권선(T2)과 커패시터(Cs)가 공진하고, 커패시터(Cs)를 방전한다. 전압(Vds1)의 상승, 및 전압(Vds2)의 하강 부분의 곡선은 1차 권선(T1) 및 인덕터(L)와 커패시터(C1) 및 커패시터(C2)의 공진에 의한 정현파의 일부다. 커패시터(C2)의 양단 전압(Vds2)이 하강하여 영전압이 되면, 다이오드(D2)가 도통하고, 상태 3으로 천이된다.

이 때, 2차측에서는, 커패시터(Cs)의 양단 전압(Vs)이 영전압까지 하강하고, 정류 소자(Ds)가 도통하고, 영전압 턴 온 동작이 된다. 이 양단 전압(Vs)의 하강 부분의 곡선은 커패시터(Cs)와 2차 권선(T2)의 공진에 의한 정현파의 일부이다.

(상태 3) t3~t4

다이오드(D2)가 도통된 상태에서, 커패시터(C11) 및 저항(R11)으로 구성되는 지연회로(3)에 의해, 제2 구동권선(T4)에 발생한 전압이 지연되어 제2 스위치 소자(Q2)의 제어단자에 주어지고, 이 제2 스위치 소자(Q2)가 턴 온된다. 이에 따라, 제2 스위치 소자(Q2)는 영전압 스위칭 동작한다. 상태 3에서는, 1차측에서 다이오드(D2) 및 제2 스위치 소자(Q2)가 도통되어 있으며, 인덕터(L)와 커패시터(C)는 공진을 시작하고, 커패시터(C)가 방전된다.

이 때, 2차측에서는 정류 소자(Ds)는 도통되고, 트랜스포머(T)에 축적된 여자 에너지를 2차 권선(T2)으로부터 방출하고, 정류 평활 회로를 통하여 출력된다. 이 상태에서는, 정류 소자(Ds)에 흐르는 전류(Is)는 1차측의 인덕터(L)와 커패시터(C)에 의한 공진 전류(Id2)에 대하여, 직선적으로 감소하는 여자 전류(Im)를 첨가한 값과 비슷한 형상이 되기 때문에, 영전류로부터 비교적 가파르게 상승하고, 정현파 형상의 곡선을 갖는 파형이 된다.

1차측에서는, 제2 구동권선(T4)에 발생한 전압에 의해, 저항(R12)을 통하여 커패시터(C12)가 충전되고, 그 충전 전압이 트랜지스터(Tr2)의 문턱값 전압(약 0.6V)에 도달하면, 상기 트랜지스터(Tr2)가 온되고, 제2 스위치 소자(Q2)에 흐르는 공진 전류를 강제적으로 차단한다. 그리고, 이 때 차단되는 상기 공진 전류의 크기는 피크값 부근이며, 그 타이밍은 시간 t4이다. 온 시간 제어회로(4)의 저항(R12)과 커패시터(C12)로 이루어지는 시정수 회로는 상기 시간 t4에서 제2 스위치 소자(Q2)를 턴 오프하는 시정수로 설정되어 있다.

(상태 4) t4~t5

제2 스위치 소자(Q2)가 턴 오프되면, 공진 전류(Id2)가 급격히 차단되고, 이 급격한 전류 변화에 의해 인덕터(L)에 전압이 발생하고, 트랜스포머(T)의 1차 권선(T1)의 전압은 반전된다. 인덕터(L)는 커패시터(C1 및 C2)와 공진하고, 인덕터(L)의 여자 에너지에 의해, 커패시터(C1)를 방전하고, 커패시터(C2)를 충전한다. 커패시터(C1)의 양단 전압(Vds1)이 하강하고, 시간 t5에서 영전압이 되면, 다이오드(D1)가 도통하여 상태 4가 종료된다. 다이오드(D1)가 도통되어 있는 상태에서, 저항(R3), 커패시터(C3)으로 이루어지는 지연회로(1)에 의해, 제1 구동권선(T3)에 발생한 전압이 지연되어 제1 스위칭 소자(Q1)의 제어단자에 주어진다. 이에 따라, 제1 스위치 소자(Q1)가 턴 온되어 영전압 스위칭 동작이 행해진다.

2차측에서는, 스위치 소자(Q2)가 턴 오프되면, 정류 소자(Ds)가 오프되어 커패시터(Cs)의 양단 전압(Vs)이 영전압으로부터 상승하고, 2차 권선 전압과 출력전압의 합인 전압으로 클램프된다.

1 스위칭 주기당, 이상과 같은 동작을 행하고, 이하, 이 동작을 반복한다.

(종래의 회로와의 비교)

도 3은 일본국 특허공개 평11-187664호 공보에 개시되는 종래의 스위칭 전원장치의 동작 파형도이다.

종래의 스위칭 전원장치에서는, 제2 스위치 소자(Q2)가 턴 오프되는 타이밍의 시간 t4는 공진 전류(Id2)가 영전류 부근까지 저하된 타이밍이다. 이에 비하여, 본 실시형태에서는, 제2 스위치 소자(Q2)를 턴 오프하는 시간 t4는 공진 전류(Id2)가 피크 전류값 부근에 있는 타이밍이다. 즉 종래의 스위칭 전원장치에서는, 제1 스위치 소자(Q1)의 온 기간에 축적된 여자 에너지가 방출종료되고 나서 제2 스위치 소자(Q2)가 턴 오프되고, 계속하여, 정류 소자(Ds)가 오프되어 상기 다이오드의 양단에 역전압이 발생하고, 이에 따라 트랜스포머(T)의 전압이 반전되어 제1 구동권선(T3)에 정극성의 전압이 발생하고, 이에 따라 제1 스위치 소자(Q1)가 턴 온되는 동작을 행한다. 이에 비하여, 본 실시형태의 스위칭 전원장치에서는, 제1 스위치 소자(Q1)의 온 기간에 축적된 여자 에너지를 2차측에 방출종료하기 전에, 제2 스위치 소자(Q2)를 턴 오프하고, 이에 따라 제1 구동권선(T3)에 발생하는 전압에 의해 제1 스위치 소자(Q1)를 턴 온하도록 동작한다. 그리고, 제1 스위치 소자(Q1)가 턴 온됨으로써, 2차측의 정류 소자(Ds)의 양단에 역전압이 발생해서 오프된다.

이와 같이, 종래의 스위칭 전원장치에서는, 여자 에너지를 방출종료하여 2차측의 정류 소자(Ds)가 오프되는 것이 제1 스위치 소자(Q1)를 턴 온하는 트리거로 되고 있는데 비하여, 본 실시형태의 스위칭 전원장치에서는, 여자 에너지가 방출되어 있는 가장 중간에 온 시간 제어회로(4)에 의해 제2 스위치 소자(Q2)를 턴 오프하는 것이 다음에 제1 스위치 소자(Q1)를 턴 온하기 위한 트리거로 되어 있다. 그리고, 본 발명의 실시형태의 스위칭 전원장치에서는, 상기 여자 에너지가 방출되고 있는 가장 중간에, 제2 스위치 소자(Q2)가 턴 오프되도록, 온 시간 제어회로(4)의 시정수가 설정되어 있다. 따라서, 종래의 스위칭 전원장치와 본 실시형태의 스위칭 전원장치가 기본적으로 다른 점은 온 시간 제어회로(4)에 설정되는 시정수의 크기이다.

도 4는 스위치 소자(Q1, Q2), 정류 소자(Ds)의 온/오프 시퀀스를 나타내고, 도 4a는 종래의 장치, 도 4b는 본 실시형태의 장치를 나타낸다.

도면에 나타낸 바와 같이, 종래의 장치에서는, 정류 소자(Ds)에 역전압이 발생하여 오프되는 것이, 트랜스포머 발생 전압이 반전되어 제1 스위치 소자(Q1)가 턴 온되는 트리거로 되는데 비하여, 본 실시형태의 장치에서는, 제2 스위치 소자(Q2)를 온 시간 제어회로(4)에 의해 턴 오프하는 것 자체가, 트랜스포머 발생전압이 반전되어 제1 스위치 소자(Q1)를 턴 온하는 트리거로 된다. 도 4에 나타낸바와 같이, 종래의 장치와 본 실시형태의 장치에서는, 각 스위치 소자(Q1, Q2)의 온/오프 동작 모드가 다른 것이 명확하다.

(출력전압 안정화의 동작)

출력전압(Vo)의 안정화의 동작에 대해서는, 종래의 장치와 동일하다.

정상 동작에 있어서, 출력전압(Vo)을 저항(R20)과 저항(R21)으로 분압하여 전압(Va)과 셉트 레귤레이터(IC1)의 레퍼런스 전압(Vr)을 비교하고 있다. 이 상태에서, 출력전압(Vo)가 설정 전압보다 상승한 경우, 분압 전압(Va)이 레퍼런스 전압(Vr)보다도 높아짐에 따라서, 셉트 레귤레이터(IC1)의 캐소드 전위가 저하하고, 포토커플러(PC)의 포토다이오드가 도통한다. 이에 따라, 온 시간 제어회로(2)에 형성되어 있는 포토트랜지스터의 컬렉터-에미터 사이의 임피던스가 작아진다. 그러면, 제1 스위치 소자(Q1)의 온 기간에 있어서의 커패시터(C4)의 충전 시간이 빨라지고, 트랜지스터(Tr1)의 온 타이밍이 빨라진다. 따라서, 제1 스위치 소자(Q1)의 턴 오프 타이밍도 빨라진다. 이에 따라, 제1 스위치 소자(Q1)의 온 시간이 짧아져, 출력 전력이 감소하고, 출력전압이 저하한다.

또한, 출력전압(Vo)이 설정 전압보다 저하한 경우에는 상기와 반대의 동작이 된다. 즉 포토트랜지스터의 컬렉터-에미터 사이의 임피던스가 커지고, 트랜지스터(Tr1)가 온되는 타이밍이 늦어지게 되어, 제1 스위치 소자(Q1)의 온 시간이 길어지고, 출력 전력이 증가하고, 출력전압이 상승한다.

이상의 동작에 의해, 출력전압(Vo)은 설정 전압에 의해 안정화된다. 이 때의 출력전압(Vo)은 다음 식으로 표시된다.

$$Vo = Vr \times (R20 + R21) / R21$$

(과전류 보호회로의 동작)

과전류시 및 기동시의 과전류 보호회로(5) 및 과전류 보호 입력 보정회로(6)의 동작은 다음과 같다.

출력 전력이 증가하여 1차 권선(T1)에 흐르는 전류 피크값이 커지면, 트랜스포머(T)의 포화를 방지하기 위해서 과전류 보호회로(5)가 작동한다. 도 1에 있어서, 저항(R)에 전류가 흐르면 상기 저항(R)의 양단 전압이 저항(R5)과 저항(R6)으로 분압되고, 트랜지스터(Tr3)의 베이스-에미터 사이에 공급된다. 이 때, 저항(R)에 흐르는 전류가 증가하고, 상기 저항(R)의 양단 전압이 커져서 트랜지스터(Tr3)의 베이스-에미터 사이 전압이 문턱값(Vbe)(약0.6V)을 초과하면, 트랜지스터(Tr3)가 온되어 제1 스위치 소자(Q1)를 턴 오프한다. 이에 따라, 1차 권선(T1)에 흐르는 전류 피크값은 제한되며, 트랜스포머(T)의 포화를 방지한다.

전류 피크값이 제한되기 시작하여 다시 출력 전류가 증가하면, 출력전압을 저하시켜서 출력 전력(Po)을 최대 출력 전력으로 유지한다. 그리고, 출력 전류가 최대 출력 전류에 도달하면, 이번에는 온 시간 제어회로(2)가 스위치 소자(Q1)의 최대 온 시간을 짧아지도록 제어한다. 온 시간 제어회로(2)의 커패시터(C4)는 1차 권선(T1)과 인덕터(L)에 에너지를 축적하는 기간에서는 1차 권선(T1)의 전압에 비례한 전압을 발생하는 제1 구동권선(T3)의 전압으로 충전되며, 상기 에너지를 2차 권선(T2)로부터 방출하는 기간에서는, 이 2차 권선(T2)의 전압에 비례한 역전압을 발생하는 제1 구동권선(T3)의 역전압에 의해 방전된다. 커패시터(C4)의 충전 전하는, 이 충전과 방전 사이클이 반복됨으로써, 정상 상태에서는 늘어나는 일은 없다. 그러나, 출력전압(Vo)가 저하되어 가면, 어떤 시점에서, 제1 구동권선(T3)에 발생하는 역전압에 따라서는, 커패시터(C4)의 충전전하를 완전히 방전할 수 없어져, 커패시터(C4)의 충전 전하가 늘어난다. 이에 따라서, 트랜지스터(Tr1)의 온 타이밍이 빨라지며, 결과적으로 제1 스위치 소자(Q1)의 최대 온 시간이 짧아진다. 이 최대의 온 시간은, 출력전압(Vo)이 저하하면 할수록 짧아져 간다. 이 동작에 의해, 출력 전류는 최대 출력 전류 이상으로 증가하는 일이 없어지고, 출력 전류와 출력전압이 함께 저하하는 동작 모드가 된다. 또한, 이 동작 모드가 더욱 진행하면, 이번에는 제1 구동권선(T3)에 발생하는 전압에서는 제1 스위치 소자(Q1)가 턴 온할 수 없게 되고, 온 시간이 제한된 기동과 정지를 반복하는 발진 모드가 되고, 출력 전력은 대폭 저감된다.

도 5는 상기의 과전류시에 있어서, 온 시간 제어회로(2)가 제1 스위치 소자(Q1)의 최대 온 시간을 제한하도록 동작하기 시작했을 때의 전류(Id1)와, 여자 전류(Im)의 변화를 나타내고 있다. 1차 권선(T1)에 흐르는 전류 피크값(Idp)은 과전류 보호회로(5)에 의해 제한됨과 아울러, 온 시간 제어회로(2)에 의한 제어에 의해, 제1 스위치 소자(Q1)의 온 시간이 서서히 짧아져서, 최후에는 기동 정지 발진 모드에 이른다.

도 6은 과전류 보호회로(5)에 의한 전류 피크값 제한 동작과, 온 시간 제어회로(2)에 의한 최대 온 시간의 제한 동작에 의한 과전류 보호회로 특성도를 나타내고 있다. 도 6에 있어서, 출력 전류(Io)가 과전류 보호회로 동작 개시점(A)에 도달하면, 도 5에 나타낸 바와 같이, 과전류 보호회로(5)의 동작에 의해, 출력 전력(Po)을 최대 출력 전력으로 유지하면서 출력 전류(Io)의 증가에 따라서 출력전압(Vo)을 저하시켜 간다. 출력 전류(Io)가 최대 출력 전류 지점(B점)에 도달하면, 온 시간 제어회로(2)의 동작이 지배적으로 되고, 도 5에 나타낸 바와 같이, 제1 스위치 소자(Q1)의 최대 온 시간(Ton max)을 짧게 해 간다. 이 모드에서는, 출력전압(Vo)과 함께 출력 전류(Io)가 함께 저하되어 간다. X로 나타낸 특성은, 종래의 스위칭 전 원장치에 있어서의 과전류 보호회로의 특성(수하 특성)을 나타내고 있다. 본 실시형태의 과전류 보호회로 특성에서는, 출력 전류(Io)가 최대 출력 전류에 도달하면, 그 이후에는 전류, 전압 모두 저하하도록 제어하기 때문에, 2차측 출력 전류(Io)의 증대를 억제할 수 있고, 또는 단락시의 단락 전류를 저감할 수 있다.

한편, 1차 권선(T1)에 흐르는 전류 피크값(Idp)은 이하의 식으로 나타낼 수 있다.

$$Idp = Vbe \cdot (R5 + R6) / R6 / R$$

과전류 보호 입력 보정회로(6)는 입력 전압이 변동한 경우에 과전류 보호회로(5)가 동작하는 출력 전류를 보정한다. 즉 입력 전압이 높은 때에는 제1 구동권선(T3)에 발생하는 전압도 높아지기 때문에, 이 전압을, 다이오드(D4), 제너 다이오드(D5), 저항(R7)의 루트에서 트랜지스터(Tr3)의 베이스 단자에 인가하고, 트랜지스터(Tr3)를 빨리 온시킨다. 즉 과전류 보호회로의 동작점을 낮게 한다. 이에 따라, 입력 전압 변동에 대하여, 과전류 보호회로의 동작점을 거의 일정하게 할 수 있다.

도 2에 나타낸 바와 같이, 제2 스위치 소자(Q2)는 공진 전류(Id2)의 피크값부근에서, 즉 여자 전류(Im)가 영(zero) 부근이 되기 전에 턴 오프되고, 이어서 제1 스위치 소자(Q1)가 턴 온되기 때문에, 전류(Id1)는 그 파형이 사다리꼴형 파가 된다. 그리고, 정상 상태에서는, 제2 스위치 소자(Q2)의 온 시간이 거의 일정하게 제어되기 때문에, 제1 스위치 소자(Q1)의 온 시간이 거의 일정하게 제어되며, 이에 따라 스위칭 주파수도 거의 일정하게 된다. 또한, 전류(Id1)의 파형이 사다리꼴 파가 되므로, 이 파형이 삼각파인 종래의 장치에 비하여, 동일한 출력 전력을 얻음에 있어서 전류 피크값이 작아도 된다. 이 때문에, 트랜스포머(T)를 소형화할 수 있으며, 장치의 소형 경량화 및 고효율화를 도모할 수 있다.

도 7은 부하 변화에 대한 제1 스위치 소자(Q1)의 전류(Id1) 및 여자 전류(Im)의 변화를 나타낸 도면이다.

도 7의 (a)는 부하의 변화에 대하여 스위칭 주파수가 조금만 변화하는 동작 모드를 나타내고 있다. 이 동작 모드에서는, 중부하시에 있어서 전류(Id1)가 사다리꼴 파로 되어 있다. 또한, 경부하시에 있어서, 인덕터(L)와 1차 권선(T1)에 축적되어 있는 에너지의 일부를 입력측에 회생시키는 순환 전류가 발생하고 있다.

도 7의 (b)는 스위칭 주파수를 일정하게 한 경우의 전류 파형을 나타낸다. 또한, 도 7의 (c)는 경부하시에 순환 전류를 저감한 경우의 전류 파형을 나타낸다. 도 7의 (a), (b), (c) 모두 중부하시에는 전류(Id1)는 사다리꼴 파형으로 되어 있다. 한편, 이들 동작 모드의 설정은, 지연회로(1, 3)나 온 시간 제어회로(2, 4)의 정수의 값을 조정함으로써 가능하다.

도 7의 (d)는 종래 기술에 있어서의 전류(Id1)의 파형을 나타내고 있다. 종래 기술의 동작 모드에서는, 중부하시에 있어서도, 전류(Id1)의 파형은 삼각파로 되어 있다. 도 8은 상기도 7의 각 모드에 있어서의 출력 전력과 스위칭 주파수의 관계를 나타내고 있다. 도 8의 (a)~(d)는 도 7의 (a)~(d)에 각각 대응하고 있다. 한편, 도 8의 (c)는 도 7의 (c)에 나타낸 바와 같이, 출력 전류가 작은 경부하시에, 전환점에 있어서 제2 스위치 소자(Q2)의 온 시간을 짧게 해서, 순환 전류를 저감한 예를 나타내고 있다.

도 7의 (a)~(c)에 나타난 본 실시형태의 각 동작 모드에서는, 출력 전력( $P_o$ )이 중간부하시 및 중부하시에 있어서 스위칭 주파수가 거의 일정하다. 이에 비하여, 종래의 링잉 컨버터나 종래의 자려 2석 플라이백식 컨버터에서는, 모두 중간부하시 및 중부하시에 있어서 스위칭 주파수가 일정하지 않고, 출력 전력( $P_o$ )이 클수록 저하된다. 도 8로부터, 본 실시형태에서는, 스위칭 주파수의 저하를 억제할 수 있다는 것을 알 수 있으며, 그 결과, 트랜스포머(T)나 평활 회로를 소형화할 수 있고, 스위칭 전원장치 전체의 소형 경량화를 도모할 수 있다.

다음으로, 본 발명의 다른 실시형태에 대해서 설명하겠다.

도 9는 본 발명의 제2 실시형태의 스위칭 전원장치의 개략 구성도를 나타낸다.

제2 실시형태에서는, 트랜스포머(T)의 1차 권선(T1)과 인덕터(L)와 제1 스위치 회로(S1)와 입력 전원( $V_{in}$ )이 직렬로 접속되며, 제2 스위치 회로(S2)와 커패시터(C)의 직렬 회로가 상기 제1 스위치 회로(S1)에 병렬로 접속되어 있다.

이 회로 구성에서는, 실시형태 1의 장치와 비교하여, 커패시터(C)에 인가되는 전압은 커지지만, 동일 전하량을 축적하는 경우에 용량값은 작게 할 수 있기 때문에, 커패시터(C)의 소형 경량화를 도모할 수 있다.

도 10은 본 발명의 제3 실시형태의 스위칭 전원장치의 개략 구성도를 나타낸다.

이 실시형태에서는, 트랜스포머(T)의 1차 권선(T1)과 인덕터(L)와 커패시터(C)와 제1 스위치 회로(S1)와 입력 전원( $V_{in}$ )이 직렬로 접속되어 있다. 또한, 제2 스위치 회로(S2)가 트랜스포머(T)의 1차 권선(T1)과 인덕터(L)와 커패시터(C)의 직렬 회로에 병렬로 접속되어 있다.

이 실시형태의 스위칭 제어회로는, 1차측이 하프 브리지 구성으로 되어 있다. 이 때문에, 제1 스위치 회로(S1) 및 제2 스위치 회로(S2)에 인가 되는 전압이 입력 전압과 동등하게 되고, 실시형태 1의 장치와 비교해서 저하되고 있다. 일반적으로, 내압이 낮은 스위치 소자는 온 저항이 작기 때문에, 온 저항에 의한 도통 손실을 저감할 수 있으며 고효율화를 도모할 수 있다. 또한, 트랜스포머(T)에 인가 되는 전압도 약 반이 되기 때문에, 권선수를 줄여서 트랜스포머(T)의 소형 고효율화를 도모할 수 있다. 또한, 제1 스위치 회로(S1)의 온 시간에 트랜스포머(T)에 축적하는 여자 에너지뿐만 아니라, 커패시터(C)에 축적하는 정전 에너지도, 오프 기간에 방출하기 때문에, 트랜스포머(T)나 스위치 회로에 흐르는 전류 피크값, 실효 전류를 저감해서 도통 손실을 저감하고 고효율화에 기여할 수 있다.

도 11은 본 발명의 제4 실시형태의 스위칭 전원장치의 개략 구성도를 나타낸다.

이 실시형태에서는, 상용 교류 전압을 정류 평활한 전압을 입력 전압으로 하고 있다. 또한, 출력전압 검출회로로서 커런트 트랜스포머(CT)를 사용하고 있다. 커런트 트랜스포머(CT)를 사용함으로써, 출력전압 검출회로에서의 손실을 저감할 수 있다.

도 12는 제1 스위치 소자(Q1)의 구동 제어회로의 실시예를 나타낸다.

이 실시예는, 도 1에 있어서, 트랜지스터( $Tr1$ )와 트랜지스터( $Tr3$ )를 1개의 트랜지스터( $Tr1$ )로 바꿔 놓은 것이다.

도 13은 제2 스위치 소자(Q2)의 구동 제어회로의 실시예를 나타낸다. 이 실시예는, 출력이나 신호에 따라서 제2 스위치 소자(Q2)의 온 시간을 변화시킨다. 포토커플러(PC2)의 포토트랜지스터는 예를 들면, 도 1의 포토커플러(PC)의 포토다이오드에 직렬로 접속하고, 이 포토커플러(PC2)의 포토트랜지스터를 도시하는 바와 같이 저항( $R14$ )에 직렬 접속해서 트랜지스터( $Tr2$ )의 제어단자에 접속한다. 이에 따라서, 중부하시에 있어서 제2 스위치 소자(Q2)의 온 시간을 단축할 수 있다. 경부하시에 있어서 제2 스위치 소자(Q2)의 온 시간을 단축함으로써, 순환 전류를 저감하고, 효율을 개선할 수 있다.

한편, 이상의 실시형태에 있어서, 제1 스위치 소자(Q1) 및 제2 스위치 소자(Q2)를, 전계효과 트랜지스터로 구성할 수 있다. 전계 효과 트랜지스터로 함으로써, 그 기생 용량을 커패시터(C1) 또는 커패시터(C2)로서 사용할 수 있고, 또한, 기생 다이오드를 다이오드(D1) 또는 다이오드(D2)로서 이용할 수 있다. 이에 따라, 부품수를 삭감하고, 스위칭 전원장치의 저비용화, 소형 경량화를 도모할 수 있다.

또한, 인덕터(L)로서 트랜스포머(T)가 갖는 누설 인덕터를 채용할 수 있다. 이에 따라, 부품수를 삭감하고, 스위칭 전원장치의 저비용화, 소형 경량화를 도모할 수 있다.

또한, 2차측 정류 소자(Ds)의 양단에 용량성 임피던스(Cs)가 접속되어 있기 때문에, 정류 소자(Ds)의 역회복 손실을 저감하고, 고효율화를 도모함과 아울러 저EMI노이즈화를 도모할 수 있다.

### 발명의 효과

본 발명에 따르면, 특히 중부하시에 있어서, 제1 스위치 소자(Q1)에 흐르는 전류 파형이 사다리꼴 파가 되는 전류 연속 모드로 동작시킴으로써, 트랜스포머(T) 및 제1 스위치 회로에 흐르는 전류 피크값 및 실효 전류를 저감할 수 있다. 이에 따라, 트랜스포머의 동손, 제1 스위치 소자(Q1)의 도통 손실을 저감할 수 있으며, 스위칭 전원장치의 소형 경량화, 고효율화를 도모할 수 있다.

또한, 자려 발진 방식으로 회로를 구성하기 때문에, 발진기나 토렘폴 회로 등의 구동 회로가 불필요하게 되고, 부품수의 삭감에 따른 소형 경량화, 저비용화를 도모할 수 있다.

또한, 제1 스위치 소자(Q1)와 접지 레벨이 다른 하이사이드의 제2 스위치 소자(Q2)를 제2 구동권선을 사용하여 구동할 수 있기 때문에, 펄스 트랜스포머나 고내압의 드라이브 IC 등이 불필요하게 되고, 부품수를 삭감하고, 스위칭 전원장치의 고효율화, 소형 경량화, 저비용화를 도모할 수 있다.

또한, 본 발명에서는, 제1 스위치 소자(Q1)에 흐르는 전류의 피크값을 검출해서 이것을 제한하는 과전류 보호회로를 구비하고 있기 때문에, 과전류시나 기동시에 있어서, 피크 전류값이 증가함에 따른 트랜스포머(T)의 포화, 스위치 소자의 파괴를 방지할 수 있다.

또한, 제2 온 시간 제어회로에 의해 제2 스위치 소자(Q2)의 온 시간이 거의 일정하게 되고, 이에 따라, 제1 스위치 소자(Q1)의 온 시간도 거의 일정하게 제어되며, 스위칭 주파수도 거의 일정하게 된다. 이에 따라, 스위칭 주파수의 저하를 억제하고, 트랜스포머나 평활회로를 소형화하고, 스위칭 전원장치의 소형 경량화를 도모할 수 있다.

또, 이 발명에서는, 과전류 보호회로로서, 제1 온 시간 제한 수단과 제2 온 시간 제한 수단이 독립된 2개의 온 시간 제한 수단을 구비하고 있다. 이 때문에, 과전류시에는 제2 온 시간 제한 수단으로 피크 전류값을 제한하고, 더욱 과전류 상태가 진행하면 제1 온 시간 제한 수단에 의해 제1 스위치 소자(Q1)의 최대 온 시간을 짧아지도록 제어한다. 이에 따라, 2차측 출력 전류의 증대를 억제하고, 단락 전류를 저감할 수 있다.

**(57) 청구의 범위**

**청구항 1.**

트랜스포머(T)의 1차 권선에 관련하여 접속된, 입력 전원, 인덕터(L), 커패시터(C), 제1 스위치 회로, 및 제2 스위치 회로를 가지며,

상기 트랜스포머(T)의 2차 권선에 접속된 정류 소자(Ds)를 가지며,

제1 스위치 회로를, 제1 스위치 소자(Q1), 제1 다이오드(D1), 및 제1 커패시터(C1)의 병렬 접속 회로로 구성하고,

제2 스위치 회로를, 제2 스위치 소자(Q2), 제2 다이오드(D2), 및 제2 커패시터(C2)의 병렬 접속 회로로 구성하고,

상기 트랜스포머(T)에 형성된 제1 구동권선과 제1 스위치 소자(Q1)의 제어단자사이, 및 상기 트랜스포머(T)에 형성된 제2 구동권선과 제2 스위치 소자(Q2)의 제어단자 사이에 접속되며, 상기 제1 및 제2 스위치 소자(Q1, Q2)가 함께 오프되는 기간을 사이에 두고 번갈아 온/오프되는 스위칭 제어회로를 형성하고, 제1 스위치 소자(Q1)의 온 기간에 상기 1차 권선과 인덕터(L)에 에너지를 축적하고, 제1 스위치 소자(Q1)의 오프 기간에 상기 2차 권선으로부터 에너지를 방출하고, 제1 스위치 소자(Q1)와 제2 스위치 소자(Q2)를 차례 발진시키는 스위칭 전원장치에 있어서,

상기 인덕터(L)와 상기 커패시터(C)는 상기 제1 스위치 소자(Q1)의 오프 기간에 있어서 공진하는 공진회로를 구성하고,

상기 스위칭 제어회로는

상기 제1 스위치 소자(Q1)가 턴 온된 후, 소정 시간 경과후에 상기 제1 스위치 소자(Q1)를 턴 오프시키는 시정수로 설정된 제1 온 시간 제어회로와,

상기 제2 스위치 소자(Q2)가 턴 온된 후, 상기 2차 권선으로부터의 에너지 방출이 끝나기 전에 상기 제2 스위치 소자(Q2)와 상기 인덕터(L)의 직렬 회로에 흐르는 공진 전류를 차단하도록 상기 제2 스위치 소자(Q2)를 턴 오프시키는 시정수로 설정된 제2 온 시간 제어회로를 구비하고, 전류 연속 모드로 동작하는 것을 특징으로 하는 스위칭 전원장치.

**청구항 2.**

제1항에 있어서, 상기 트랜스포머(T)의 1차 권선과 인덕터(L)의 직렬 회로에, 상기 제1 스위치 회로와 상기 입력 전원이 직렬로 접속됨과 아울러 상기 제2 스위치 회로와 상기 커패시터(C)의 직렬 회로가 상기 트랜스포머(T)의 1차 권선과 상기 인덕터(L)의 직렬 회로에 병렬로 접속된 것을 특징으로 하는 스위칭 전원장치.

**청구항 3.**

제1항에 있어서, 상기 트랜스포머(T)의 1차 권선과 상기 인덕터(L)와 상기 제1 스위치 회로와 상기 입력 전원이 직렬로 접속됨과 아울러 상기 제2 스위치 회로와 상기 커패시터(C)의 직렬 회로가 상기 제1 스위치 회로와 병렬로 접속된 것을 특징으로 하는 스위칭 전원장치.

**청구항 4.**

제1항에 있어서, 상기 트랜스포머(T)의 1차 권선과 상기 인덕터(L)와 상기 커패시터(C)와 상기 제1 스위치 회로와 상기 입력 전원이 직렬로 접속됨과 아울러 상기 제2 스위치 회로가 상기 트랜스포머(T)의 1차 권선과 상기 인덕터(L)와 상기 커패시터(C)의 직렬 회로에 병렬로 접속된 것을 특징으로 하는 스위칭 전원장치.

### 청구항 5.

제1항에 있어서, 상기 제1 스위치 소자(Q1)에 직렬로 접속된 전류 검출 수단을 구비하며, 상기 전류 검출 수단에서 검출된 상기 제1 스위치 소자에 흐르는 값이 문턱값이 되면 상기 제1 스위치 소자의 온 시간을 제한하는 과전류 보호회로를 형성한 것을 특징으로 하는 스위칭 전원장치.

### 청구항 6.

제5항에 있어서, 상기 과전류 보호회로는 상기 제1 스위치 소자를 턴 오프시키는 제3 스위치 수단을 구비하며, 상기 제3 스위치 수단을 상기 제1 스위치 소자의 제어단자에 접속하고, 상기 전류 검출 수단에 흐르는 피크 전류값이 상기 문턱값이 되면 상기 제3 스위치 수단을 온하고, 상기 제1 스위치 소자를 턴 오프시키는 것을 특징으로 하는 스위칭 전원장치.

### 청구항 7.

제1항에 있어서, 상기 스위칭 제어회로는 상기 제1 구동권선과 상기 제1 스위치 소자(Q1)의 제어단자 사이, 및 상기 제2 구동권선과 상기 제2 스위치 소자(Q2)의 제어단자 사이에 접속된, 저항 또는 저항과 커패시터의 직렬 회로로 이루어지는 지연회로를 구비하며, 상기 제1 구동권선에 상기 제1 스위치 소자(Q1)를 온시키는 전압이 발생하고 나서 지연하여, 또는 상기 제2 구동권선에 상기 제2 스위치 소자(Q2)를 온시키는 전압이 발생하고 나서 지연하여, 상기 제1 스위치 소자(Q1) 또는 상기 제2 스위치 소자(Q2)를 턴 온시키는 것을 특징으로 하는 스위칭 전원장치.

### 청구항 8.

제7항에 있어서, 상기 지연회로는 상기 제1 스위치 소자(Q1) 또는 상기 제2 스위치 소자(Q2)의 양단에 인가되는 전압이 영전압 또는 영전압 부근까지 저하되고 나서 턴 온되도록 지연 시간이 설정되어 있는 것을 특징으로 하는 스위칭 전원장치.

### 청구항 9.

제1항에 있어서, 상기 제1 온 시간 제어회로는 상기 제1 스위치 소자(Q1)를 턴 오프시키는 제1 스위치 수단을 구비하며, 상기 제1 온 시간 제어회로는 상기 제1 구동권선에 상기 제1 스위치 소자(Q1)를 턴 온시키는 전압이 발생하고 나서, 소정 시간 경과후에 상기 제1 스위치 수단을 온해서 상기 제1 스위치 소자(Q1)를 턴 오프시키는 것을 특징으로 하는 스위칭 전원장치.

### 청구항 10.

제1항에 있어서, 상기 제2 온 시간 제어회로는 상기 제2 스위치 소자(Q2)를 턴 오프시키는 제2 스위치 수단을 구비하며, 상기 제2 온 시간 제어회로는 상기 제2 구동권선에 상기 제2 스위치 소자(Q2)를 턴 온시키는 전압이 발생하고 나서, 상기 2차 권선으로부터의 에너지 방출이 종료되기 전에 상기 제2 스위치 수단을 온하여 상기 제2 스위치 소자(Q2)를 턴 오프시켜서, 상기 제2 스위치 소자(Q2)와 상기 인덕터(L)의 직렬 회로에 흐르는 전류를 차단하는 것을 특징으로 하는 스위칭 전원장치.

### 청구항 11.

제1항에 있어서, 상기 인덕터(L) 및 상기 커패시터(C)의 각 값은 상기 스위칭 제어회로에 의해 상기 제2 스위치 소자(Q2)를 턴 오프함으로써 상기 인덕터(L)에 흐르는 전류가 차단되었을 때에, 상기 인덕터(L)와 커패시터(C)에 흐르는 공진 전류가 그 피크 전류 부근이 되는 값으로 설정되어 있는 것을 특징으로 하는 스위칭 전원장치.

### 청구항 12.

제9항에 있어서, 상기 제1 온 시간 제어회로는 출력전압에 대응하는 신호에 따라서, 상기 제1 스위치 소자(Q1)를 턴 오프시킬 때까지의 시간을 변화시키는 회로를 구비한 것을 특징으로 하는 스위칭 전원장치.

**청구항 13.**

제6항에 있어서, 상기 과전류 보호회로는 상기 제3 스위치 수단을 트랜지스터로 구성하고, 상기 트랜지스터를 제1 스위치 소자(Q1)의 제어단자에 접속하고, 상기 전류 검출 수단에 발생하는 전압을 저항을 통하여 상기 트랜지스터의 제어단자에 부여하고, 상기 제1 스위치 소자(Q1)에 흐르는 전류가 소정 값에 도달하면 상기 트랜지스터의 제어단자 전압이 문턱값에 도달하여, 상기 트랜지스터를 온하고, 상기 제1 스위치 소자(Q1)를 턴 오프시켜서, 상기 제1 스위치 소자(Q1)에 흐르는 피크 전류값을 제한하는 것을 특징으로 하는 스위칭 전원장치.

**청구항 14.**

제13항에 있어서, 상기 과전류 보호회로는 상기 제1 스위치 소자(Q1)가 온인기간에 제1 구동권선에 발생하는 전압을 저항과 다이오드를 통하여 상기 트랜지스터의 제어단자에 입력하도록 구성한 것을 특징으로 하는 스위칭 전원장치.

**청구항 15.**

제13항에 있어서, 상기 과전류 보호회로는 상기 제1 스위치 소자(Q1)의 최대 온 시간을 규정하는 제1 온 시간 제한 수단과, 상기 제1 스위치 소자(Q1)에 흐르는 전류가 소정 값이 되면 상기 제1 스위치 소자(Q1)를 턴 오프하는 제2 온 시간 제한 수단의 2개의 독립된 온 시간 제한 수단을 구비하고 있는 것을 특징으로 하는 스위칭 전원장치.

**청구항 16.**

제1항에 있어서, 상기 제1 제1 스위치 소자(Q1) 또는 상기 제2 스위치 소자(Q2)를 전계효과 트랜지스터로 구성한 것을 특징으로 하는 스위칭 전원장치.

**청구항 17.**

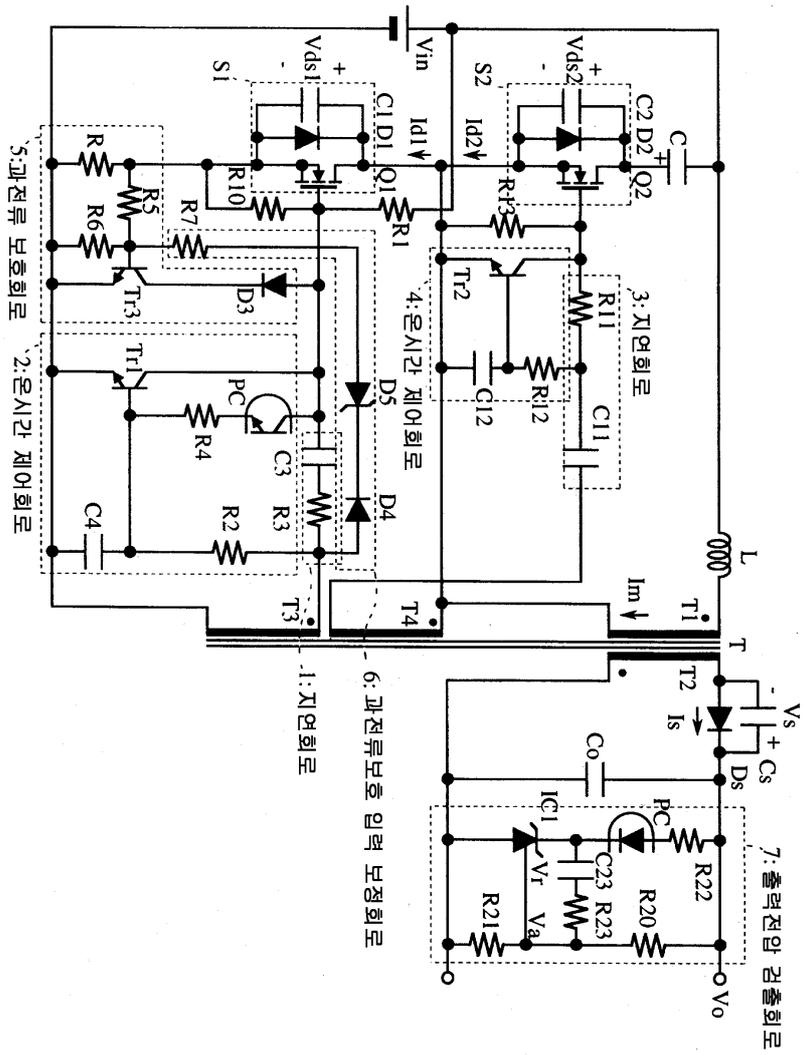
제1항에 있어서, 상기 트랜스포머(T)가 갖는 누설 인덕터에 의해 상기 인덕터(L)를 구성한 것을 특징으로 하는 스위칭 전원장치.

**청구항 18.**

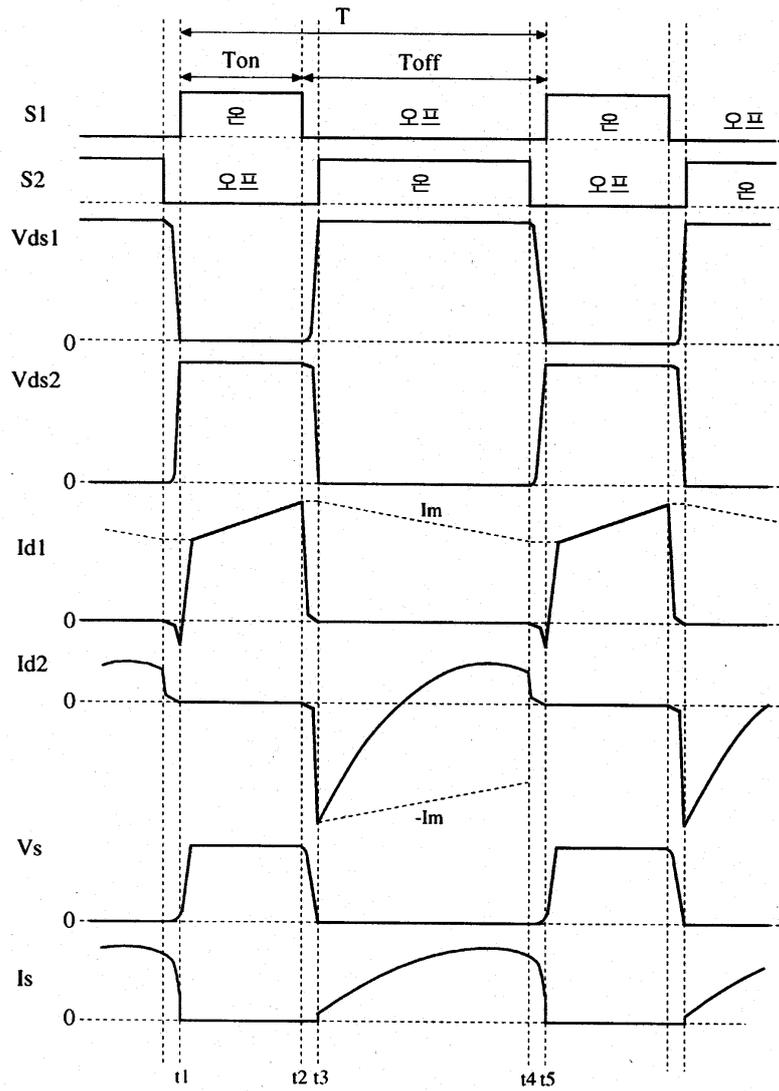
제1항에 있어서, 상기 정류 소자(Ds)의 양단에 용량성 임피던스를 접속한 것을 특징으로 하는 스위칭 전원장치.

도면

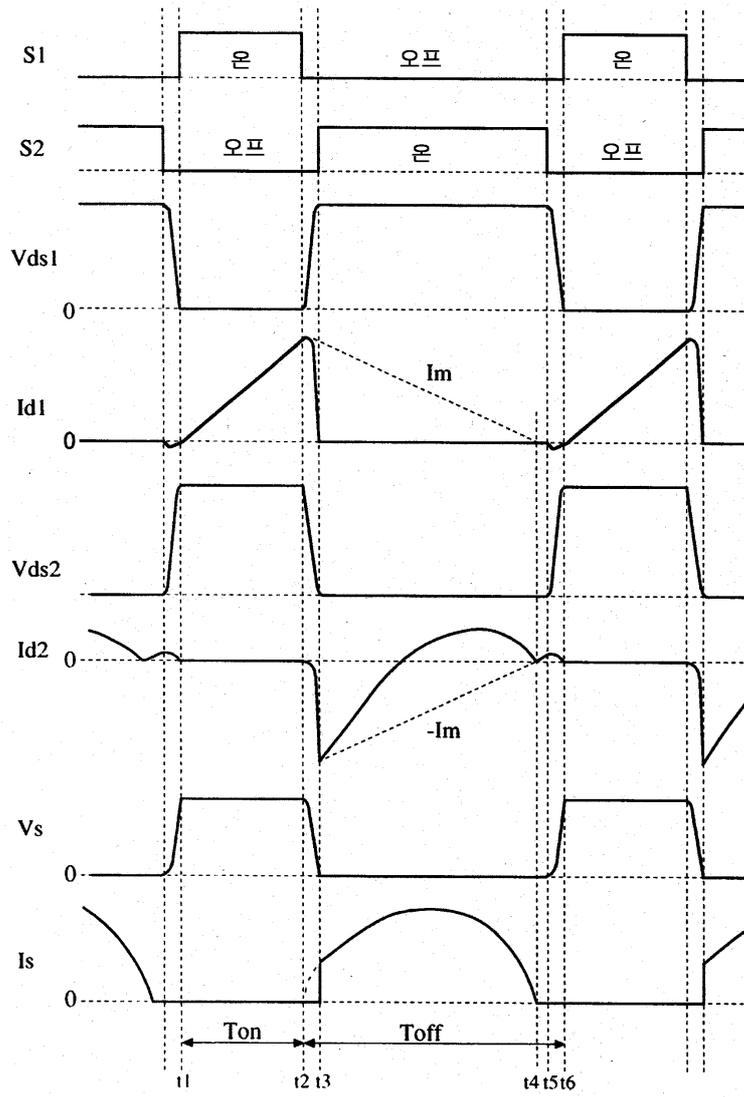
도면1



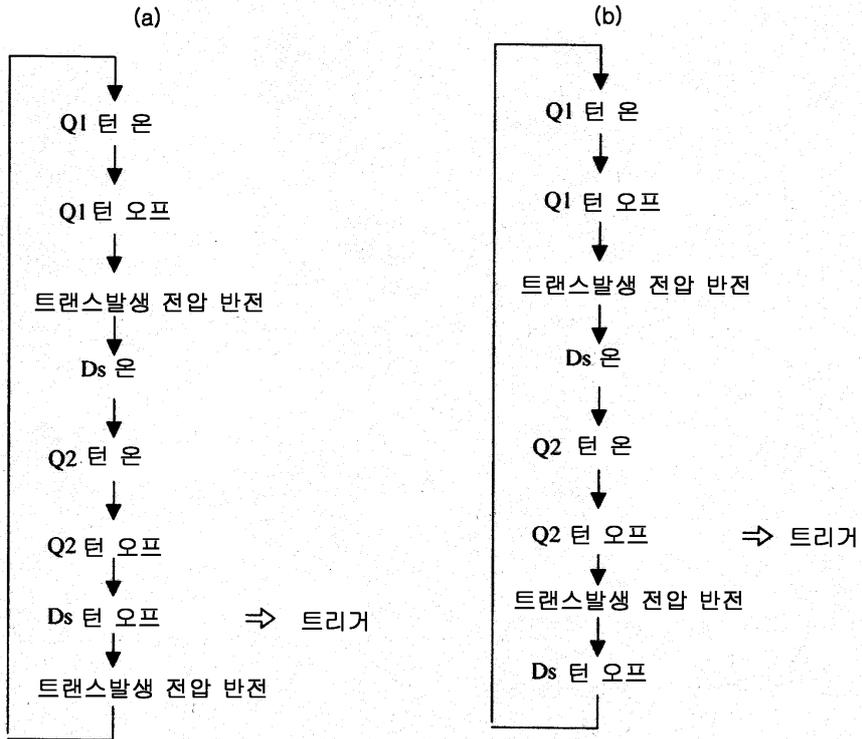
도면2



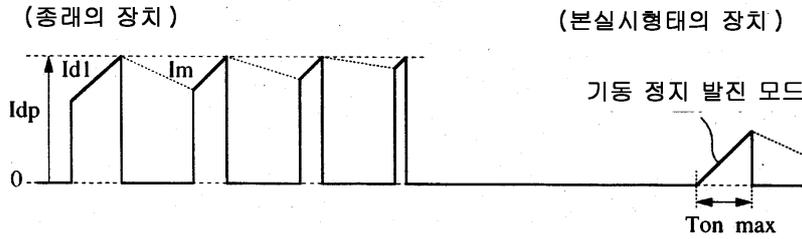
도면3



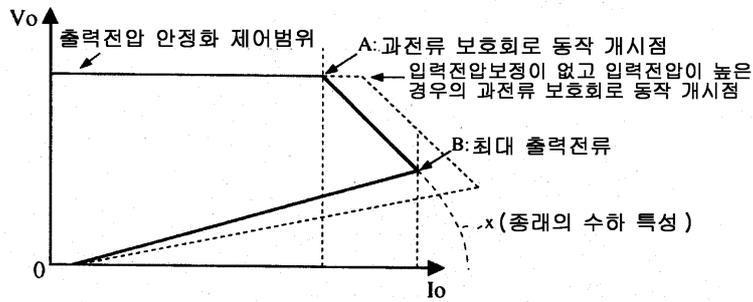
도면4



도면5

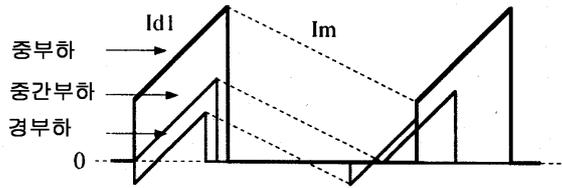


도면6

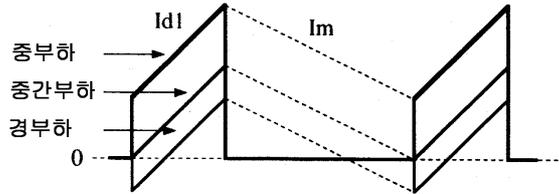


도면7

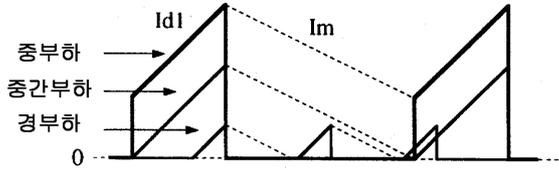
(a) 전류 파형  $I_{d1}$



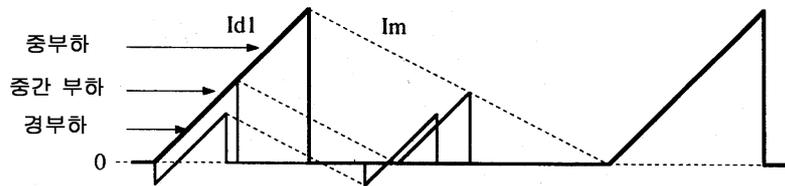
(b) 스위칭 주파수를 일정하게 한 경우의 전류  $I_{d1}$



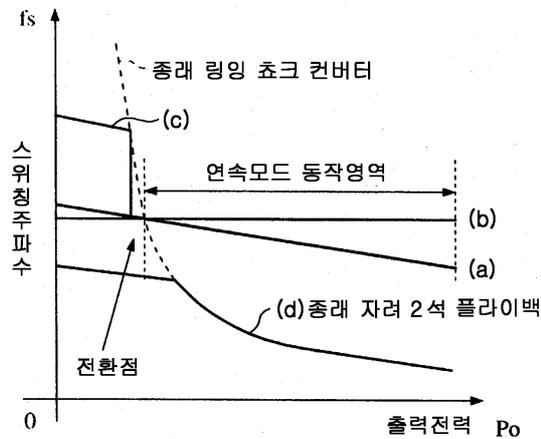
(c) 경부하시에 순환전류를 저감한 경우의 전류  $I_{d1}$



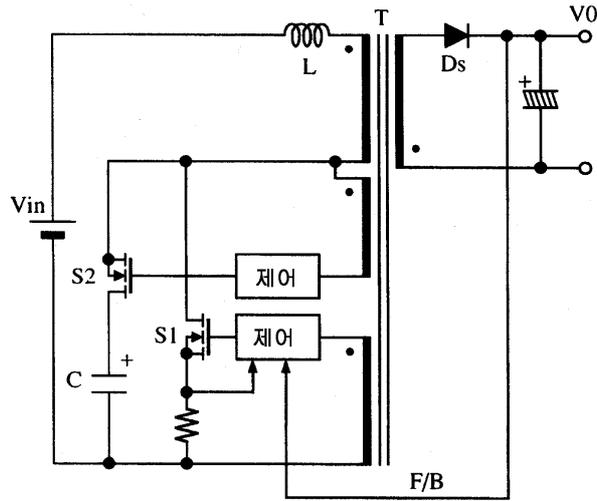
(d) 종래 기술에 있어서의 전류  $I_{d1}$



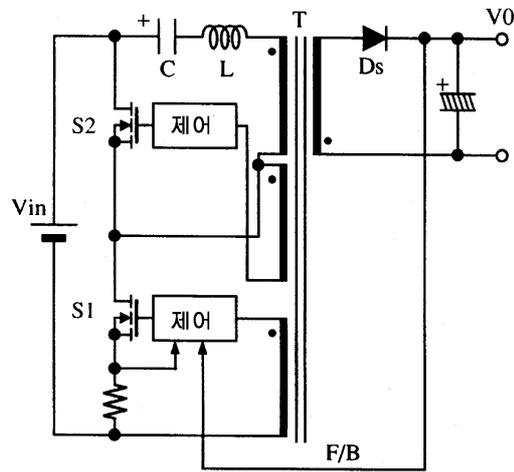
도면8



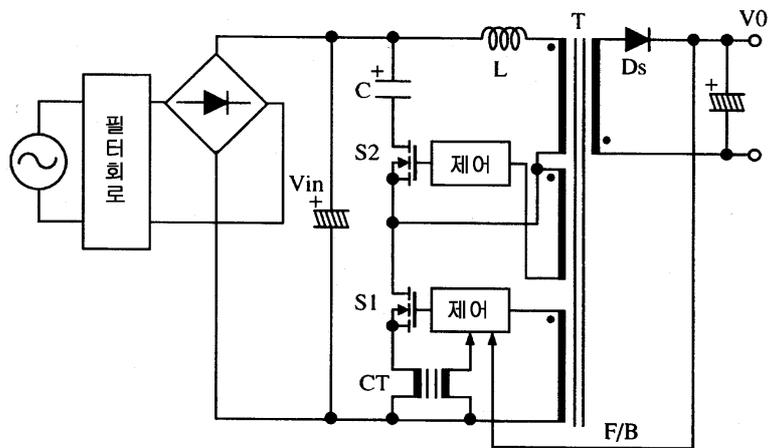
도면9



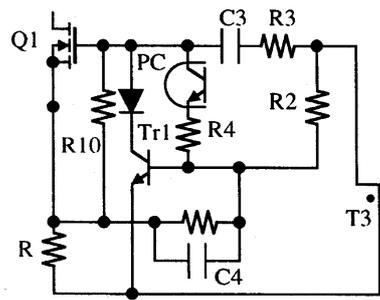
도면10



도면11



도면12



도면13

