



(12) 发明专利

(10) 授权公告号 CN 110120242 B

(45) 授权公告日 2021.06.18

(21) 申请号 201910366150.7

G11C 29/44 (2006.01)

(22) 申请日 2019.05.05

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 108511029 A, 2018.09.07

申请公布号 CN 110120242 A

CN 1493988 A, 2004.05.05

(43) 申请公布日 2019.08.13

US 2002159310 A1, 2002.10.31

(73) 专利权人 珠海市杰理科技股份有限公司

CN 104979015 A, 2015.10.14

地址 519085 广东省珠海市吉大石花西路

US 2008192554 A1, 2008.08.14

107号9栋综合楼(1-4层)

CN 102148062 A, 2011.08.10

审查员 王晓春

(72) 发明人 魏园洲 邓志欢

(74) 专利代理机构 广州华进联合专利商标代理

有限公司 44224

代理人 黄晶晶 黄晓庆

(51) Int. Cl.

G11C 29/12 (2006.01)

G11C 29/14 (2006.01)

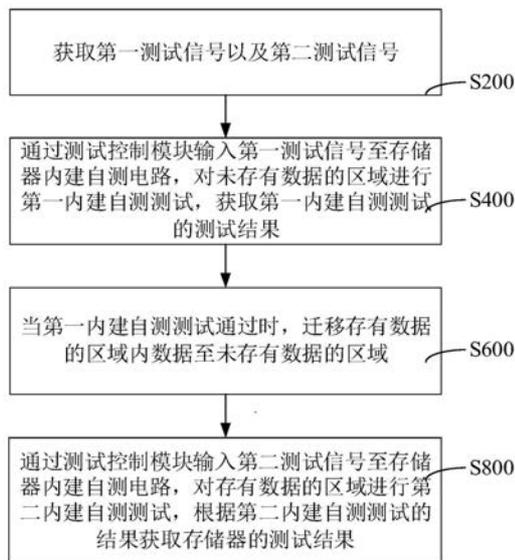
权利要求书3页 说明书10页 附图4页

(54) 发明名称

存储器测试方法、装置、计算机设备以及存储介质

(57) 摘要

本申请涉及一种存储器测试方法、装置、计算机设备和存储介质。方法包括：首先获取测试信号；先对未存有数据的区域进行第一内建自测测试，获取第一内建自测测试的测试结果；当第一内建自测测试通过时，迁移存有数据的区域内数据至未存有数据的区域，将第二测试信号写入测试控制模块，对存有数据的区域进行测试，根据测试的结果获取存储器的测试结果。本申请的存储器测试方法通过测试控制模块来对芯片内嵌内建自测测试进行控制，同时对存有数据的区域以及未存有数据的区域分别进行测试，使得内部存储器的内建自测测试最优化，从而缩短内建自测测试的测试时间。



1. 一种存储器测试方法,其特征在于,应用于存储器测试系统,用于对RAM进行测试,所述存储器测试系统包括相互连接的测试控制模块以及存储器内建自测电路,所述存储器内建自测电路与待测存储器连接,所述测试控制模块通过测试访问端口与所述存储器内建自测电路连接,所述存储器内建自测电路包括测试向量产生电路、内建自测控制电路、响应分析器;

所述存储器测试方法包括:

获取第一测试信号以及第二测试信号,所述第一测试信号用于对待测存储器中未存储数据的区域进行存储器内建自测测试,所述第二测试信号用于对待测存储器中存储数据的区域进行存储器内建自测测试;

通过所述测试控制模块输入第一测试信号至存储器内建自测电路,对所述未存有数据的区域进行第一内建自测测试,获取所述第一内建自测测试的测试结果;

当所述第一内建自测测试通过时,迁移所述存有数据的区域内数据至所述未存有数据的区域;

通过所述测试控制模块输入第二测试信号至存储器内建自测电路,对所述存有数据的区域进行第二内建自测测试,根据所述第二内建自测测试的结果获取所述待测存储器的测试结果;

所述通过所述测试控制模块输入第一测试信号至存储器内建自测电路,对所述未存有数据的区域进行第一内建自测测试包括:

通过所述测试控制模块以读写的方式还原所述第一测试信号,输入所述第一测试信号至测试向量产生电路,控制所述测试向量产生电路生成对应测试向量,所述测试向量产生电路用于根据所述第一测试信号生成用于对所述待测存储器进行测试的测试向量,所述测试向量用于测试存储器失效类型;

发送所述测试向量至所述内建自测控制电路,通过所述内建自测控制电路输入所述测试向量至所述未存有数据的区域;

通过所述响应分析器获取所述未存有数据的区域对所述测试向量的测试响应,根据所述测试响应获取所述第一内建自测测试的测试结果。

2. 根据权利要求1所述的方法,其特征在于,所述通过所述测试控制模块输入第一测试信号至存储器内建自测电路,对所述未存有数据的区域进行第一内建自测测试,获取所述第一内建自测测试的测试结果之后,还包括:

当所述第一内建自测测试未通过时,判定所述待测存储器不合格。

3. 根据权利要求1所述的方法,其特征在于,所述响应分析器包括比较器以及MISR电路。

4. 根据权利要求1所述的方法,其特征在于,通过所述响应分析器获取所述未存有数据的区域对所述测试向量的测试响应,根据所述测试相应获取所述第一内建自测测试的测试结果包括:

通过所述响应分析器获取所述未存有数据的区域对所述测试向量的测试响应;

对比预存的正常存储器对所述测试向量的正常响应与所述测试响应,当所述正常响应与所述测试响应相同时,判定所述第一内建自测测试通过,当所述正常响应与所述测试响应不相同,判定测试未通过。

5. 根据权利要求4所述的方法,其特征在于,所述对比预存的正常存储器对所述测试向量的正常响应与所述测试响应,当所述正常响应与所述测试响应相同时,判定所述未存有数据的区域合格,当所述正常响应与所述测试响应不相同,判定所述未存有数据的区域不合格之后,还包括:

根据所述正常响应与所述测试响应的差异,获取存储器异常区域的地址信息,并生成与所述存储器异常区域的地址信息对应存储器测试报告。

6. 根据权利要求1所述的方法,其特征在于,所述当所述第一内建自测测试通过时,迁移所述存有数据的区域内数据至未存有数据的区域包括:

当所述第一内建自测测试通过时,根据处理器指针读取存有数据的区域内数据,将所述数据写入所述未存有数据的区域,同时将所述处理器指针跳转至所述未存有数据的区域的存储地址。

7. 一种存储器测试装置,其特征在于,所述存储器测试装置应用于存储器测试系统,用于对RAM进行测试,所述存储器测试系统包括存储器测试装置、测试控制模块以及存储器内建自测电路,所述测试控制模块通过测试访问端口与所述存储器内建自测电路连接,所述存储器内建自测电路包括测试向量产生电路、内建自测控制电路、响应分析器,所述装置包括:

信号获取模块,用于获取第一测试信号以及第二测试信号,所述第一测试信号用于对待测存储器中未存储数据的区域进行存储器内建自测测试,所述第二测试信号用于对待测存储器中存储数据的区域进行存储器内建自测测试;

第一测试控制模块,用于通过所述测试控制模块输入第一测试信号至存储器内建自测电路,对所述未存有数据的区域进行第一内建自测测试,获取所述第一内建自测测试的测试结果;

数据迁移模块,用于当所述第一内建自测测试通过时,迁移所述存有数据的区域内数据至所述未存有数据的区域;

第二测试控制模块,用于通过所述测试控制模块输入第二测试信号至存储器内建自测电路,对所述存有数据的区域进行第二内建自测测试,根据所述第二内建自测测试的结果获取所述待测存储器的测试结果;

所述第一测试控制模块具体用于:

通过所述测试控制模块以读写的方式还原所述第一测试信号,输入所述第一测试信号至测试向量产生电路,控制所述测试向量产生电路生成对应测试向量,所述测试向量产生电路用于根据所述第一测试信号生成用于对所述待测存储器进行测试的测试向量,所述测试向量用于测试存储器失效类型;

发送所述测试向量至所述内建自测控制电路,通过所述内建自测控制电路输入所述测试向量至所述未存有数据的区域;

通过所述响应分析器获取所述未存有数据的区域对所述测试向量的测试响应,根据所述测试响应获取所述第一内建自测测试的测试结果。

8. 根据权利要求7所述的装置,其特征在于,还包括故障中断判定模块,所述故障中断判定模块,用于当所述第一内建自测测试未通过时,判定所述待测存储器不合格。

9. 一种计算机设备,包括存储器和处理器,所述存储器存储有计算机程序,其特征在

于,所述处理器执行所述计算机程序时实现权利要求1至6中任一项所述方法的步骤。

10.一种计算机可读存储介质,其上存储有计算机程序,其特征在于,所述计算机程序被处理器执行时实现权利要求1至6中任一项所述的方法的步骤。

存储器测试方法、装置、计算机设备以及存储介质

技术领域

[0001] 本申请涉及芯片测试技术领域,特别是涉及一种存储器测试方法、装置、计算机设备以及存储介质。

背景技术

[0002] 随着集成电路产业的快速发展,芯片的逻辑规模急剧增大,芯片RAM(Random Access Memory,随机存取存储器)需求增大。随机存取存储器主要用于加载各式各样的程序与数据以供芯片直接运行与运用。芯片RAM在芯片设计中所占的比重越来越大,因此RAM良率以及可靠程度日趋重要。然而,由于RAM在芯片的内部,很少有芯片RAM可以直接通过芯片引脚直接相连,增加对芯片内部RAM的测试难度;并且随着集成电路产业工艺技术的提高以及特征尺寸的减小,芯片上的RAM也变得越来越密度,其出现的失效类型也越来越多。这样就大大增加了测试成本以及可靠性风险,使得原始的测试方法难以应对这些新的挑战。

[0003] 近年来,MBIST(Memory Build-In Self Test,存储器内建自测试),是广泛用来测试存储器的一种电路,MBIST以其占用面积小、测试开发费用低以及利用失效算法读写RAM来确定RAM是否有缺陷的特点,在集成电路设计被广泛采用。然而传统的MBIST的对RAM进行测试的测试时间较长,测试效率低。

发明内容

[0004] 基于此,有必要针对传统的MBIST的对存储器进行测试的测试时间较长,测试效率低的问题,提供一种能高效对存储器进行测试的存储器测试方法、装置、计算机设备以及存储介质。

[0005] 一种存储器测试方法,其特征在于,应用于存储器测试系统,所述存储器测试系统包括相互连接的测试控制模块以及存储器内建自测电路,所述存储器内建自测电路与待测存储器连接;

[0006] 所述存储器测试方法包括:

[0007] 获取第一测试信号以及第二测试信号,所述第一测试信号用于对待测存储器中未存储数据的区域进行存储器内建自测测试,所述第二测试信号用于对待测存储器中存储数据的区域进行存储器内建自测测试;

[0008] 通过所述测试控制模块输入第一测试信号至存储器内建自测电路,对所述未存有数据的区域进行第一内建自测测试,获取所述第一内建自测测试的测试结果;

[0009] 当所述第一内建自测测试通过时,迁移所述存有数据的区域内数据至所述未存有数据的区域;

[0010] 通过所述测试控制模块输入第二测试信号至存储器内建自测电路,对所述存有数据的区域进行第二内建自测测试,根据所述第二内建自测测试的结果获取所述存储器的测试结果。

[0011] 在其中一个实施例中,所述通过所述测试控制模块输入第一测试信号至存储器内

建自测电路,对所述未存有数据的区域进行第一内建自测测试,获取所述第一内建自测测试的测试结果之后,还包括:

[0012] 当所述第一内建自测测试未通过时,判定所述待测存储器不合格。

[0013] 在其中一个实施例中,存储器内建自测电路包括测试向量产生电路、内建自测控制电路、响应分析器,所述通过所述测试控制模块输入第一测试信号至存储器内建自测电路,对所述未存有数据的区域进行第一内建自测测试包括:

[0014] 输入所述第一测试信号至测试向量产生电路,控制所述测试向量产生电路生成对应测试向量;

[0015] 发送所述测试向量至所述内建自测控制电路,通过所述内建自测控制电路输入所述测试向量至所述未存有数据的区域;

[0016] 通过所述响应分析器获取所述未存有数据的区域对所述测试向量的测试响应,根据所述测试响应获取所述第一内建自测测试的测试结果。

[0017] 在其中一个实施例中,通过所述响应分析器获取所述未存有数据的区域对所述测试向量的测试响应,根据所述测试相应获取所述第一内建自测测试的测试结果包括:

[0018] 通过所述响应分析器获取所述未存有数据的区域对所述测试向量的测试响应;

[0019] 对比预存的正常存储器对所述测试向量的正常响应与所述测试响应,当所述正常响应与所述测试响应相同时,判定所述第一内建自测测试通过,当所述正常响应与所述测试响应不相同,判定测试未通过。

[0020] 在其中一个实施例中,所述对比预存的正常存储器对所述测试向量的正常响应与所述测试响应,当所述正常响应与所述测试响应相同时,判定所述未存有数据的区域合格,当所述正常响应与所述测试响应不相同,判定所述未存有数据的区域不合格之后,还包括:

[0021] 根据所述正常响应与所述测试响应的差异,获取存储器异常区域的地址信息,并生成与所述存储器异常区域的地址信息对应存储器测试报告。

[0022] 在其中一个实施例中,所述当所述第一内建自测测试通过时,迁移所述存有数据的区域内数据至未存有数据的区域包括:

[0023] 当所述第一内建自测测试通过时,根据处理器指针读取存有数据的区域内数据,将所述数据写入所述未存有数据的区域,同时将所述处理器指针跳转至所述未存有数据的区域的存储地址。

[0024] 一种存储器测试装置,所述存储器测试装置应用于存储器测试系统,所述存储器测试系统包括存储器测试装置、测试控制模块以及存储器内建自测电路,所述装置包括:

[0025] 信号获取模块,用于获取第一测试信号以及第二测试信号,所述第一测试信号用于对待测存储器中未存储数据的区域进行存储器内建自测测试,所述第二测试信号用于对待测存储器中存储数据的区域进行存储器内建自测测试;

[0026] 第一测试控制模块,用于通过所述测试控制模块输入第一测试信号至存储器内建自测电路,对所述未存有数据的区域进行第一内建自测测试,获取所述第一内建自测测试的测试结果;

[0027] 数据迁移模块,用于当所述第一内建自测测试通过时,迁移所述存有数据的区域内数据至所述未存有数据的区域;

[0028] 第二测试控制模块,用于通过所述测试控制模块输入第二测试信号至存储器内建自测电路,对所述存有数据的区域进行第二内建自测测试,根据所述第二内建自测测试的结果获取所述存储器的测试结果。

[0029] 在其中一个实施例中,还包括故障中断判定模块,所述故障中断判定模块,用于当所述第一内建自测测试未通过时,判定所述待测存储器不合格。

[0030] 一种计算机设备,包括存储器和处理器,所述存储器存储有计算机程序,所述处理器执行所述计算机程序时实现以下步骤:

[0031] 获取第一测试信号以及第二测试信号,所述第一测试信号用于对待测存储器中未存储数据的区域进行存储器内建自测测试,所述第二测试信号用于对待测存储器中存储数据的区域进行存储器内建自测测试;

[0032] 通过所述测试控制模块输入第一测试信号至存储器内建自测电路,对所述未存有数据的区域进行第一内建自测测试,获取所述第一内建自测测试的测试结果;

[0033] 当所述第一内建自测测试通过时,迁移所述存有数据的区域内数据至所述未存有数据的区域;

[0034] 通过所述测试控制模块输入第二测试信号至存储器内建自测电路,对所述存有数据的区域进行第二内建自测测试,根据所述第二内建自测测试的结果获取所述存储器的测试结果。

[0035] 一种计算机可读存储介质,其上存储有计算机程序,所述计算机程序被处理器执行时实现以下步骤:

[0036] 获取第一测试信号以及第二测试信号,所述第一测试信号用于对待测存储器中未存储数据的区域进行存储器内建自测测试,所述第二测试信号用于对待测存储器中存储数据的区域进行存储器内建自测测试;

[0037] 通过所述测试控制模块输入第一测试信号至存储器内建自测电路,对所述未存有数据的区域进行第一内建自测测试,获取所述第一内建自测测试的测试结果;

[0038] 当所述第一内建自测测试通过时,迁移所述存有数据的区域内数据至所述未存有数据的区域;

[0039] 通过所述测试控制模块输入第二测试信号至存储器内建自测电路,对所述存有数据的区域进行第二内建自测测试,根据所述第二内建自测测试的结果获取所述存储器的测试结果。

[0040] 上述存储器测试方法、装置、计算机设备以及存储介质,本申请的存储器测试方法通过测试控制模块来对芯片内嵌内建自测测试进行控制,同时对存有数据的区域以及未存有数据的区域分别进行测试,使得内部存储器的内建自测测试最优化,从而缩短内建自测测试的测试时间。

附图说明

[0041] 图1为一个实施例中存储器测试方法的应用环境图;

[0042] 图2为一个实施例中存储器测试方法的流程示意图;

[0043] 图3为另一个实施例中存储器测试方法的流程示意图;

[0044] 图4为一个实施例中图2的步骤S400的子流程示意图;

- [0045] 图5为另一个实施例中图2的步骤S400的子流程示意图；
- [0046] 图6为一个实施例中存储器测试装置的结构框图；
- [0047] 图7为一个实施例中计算机设备的内部结构图。

具体实施方式

[0048] 为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本申请进行进一步详细说明。应当理解，此处描述的具体实施例仅仅用以解释本申请，并不用于限定本申请。

[0049] 本申请提供的存储器测试方法，可以应用于如图1所示的芯片100的存储器测试系统中，通过处理器120实现，用于对芯片的RAM进行测试，其中存储器测试系统包括处理器120、测试控制模块140以及存储器内建自测电路160。处理器120获取用于对待测存储器进行存储器内建自测测试的第一测试信号以及第二测试信号；而后处理器120将第一测试信号写入测试控制模块140，测试控制模块140用于输入控制信号至存储器内建自测电路160，控制存储器内建自测电路对存储器180进行存储器测试；首先处理器120通过测试控制模块140输入第一测试信号至存储器内建自测电路160，对未存有数据的区域181进行第一内建自测测试，获取第一内建自测测试的测试结果；当第一内建自测测试通过时，处理器120迁移存有数据的区域183内程序至未存有数据的区域181，将第二测试信号写入测试控制模块140，通过测试控制模块140输入第二测试信号至存储器内建自测电路160，对存有数据的区域183进行第二内建自测测试，根据第二内建自测测试的结果获取存储器180的测试结果。

[0050] 如图2所示，在其中一个实施例中，本申请的存储器测试方法，通过处理器实现，具体包括以下步骤：

[0051] S200，获取第一测试信号以及第二测试信号，第一测试信号用于对待测存储器中未存储数据的区域进行存储器内建自测测试，第二测试信号用于对待测存储器中存储数据的区域进行存储器内建自测测试。

[0052] 其中，待测存储器是指包含在芯片内的随机存取存储器，存储器内建自测测试即是指Memory Build-In Self Test测试技术，简称MBIST，是BIST技术中的一种。BIST是在设计时在电路中植入相关功能电路用于提供自我测试功能的技术，以此降低器件测试对自动测试设备(ATE)的依赖程度。BIST是一种DFT(Design for Testability)技术，它可以应用于几乎所有电路，因此在半导体工业被广泛应用。第一测试信号与第二测试信号分别用于对存有数据的区域以及未存有数据的区域进行测试。第一测试信号与第二测试信号具体可以为IJTAG(Internal, Joint Test Action Group, 网络联合测试工作组)信号。第一测试信号基于不同的测试算法生成，用于输入测试向量产生电路，生成多种对存储器进行测试的测试向量。处理器与芯片的引脚相连，处理器可以通过芯片引脚获取外界输入的第一测试信号以及第二测试信号。首先芯片内的用于存储器测试处理器，可以通过芯片的引脚获取外界输入的第一测试信号以及第二测试信号。

[0053] S400，通过测试控制模块输入第一测试信号至存储器内建自测电路，对未存有数据的区域进行第一内建自测测试，获取第一内建自测测试的测试结果。

[0054] 测试控制模块是指用于控制芯片内部的存储器内建自测电路进行内建自测的模块，测试控制模块可以通过存储器内建自测电路的TAP(Test Access Port, 测试访问端口)

与存储器内建自测电路连接,对存储器内建自测电路进行测试。测试控制模块的主要功能是通过控制器的读写的方式还原原先接口上通信的数据。存储器内建自测电路是指在芯片内部用于对芯片的存储器进行内建自测测试的电路。

[0055] 处理器可以在接收到来自芯片外部的测试信号后,向测试控制模块写入用于对未存有数据的区域进行测试的第一测试信号。之后,在将第一测试信号输入到测试控制模块之后,可以通过测试控制模块来还原第一测试信号,并将其输入至存储器内建自测电路,存储器内建自测电路在获得测试控制模块输入的第一测试信号之后,依据第一测试信号对存储器中未存有数据的区域进行内建自测测试,并获得响应的测试结果。

[0056] S600,当第一内建自测测试通过时,迁移存有数据的区域内数据至未存有数据的区域。

[0057] 具体的芯片的存储器内可能包含有例如程序之类的的数据,当针对未存有数据的区域进行测试的第一内建自测测试通过时,即判定未存有数据的区域为可以正常读写的良品时,可以通过处理器读取存有数据的区域内数据,并将其写入待测存储器的未存有数据的区域的部分,即迁移存有数据的区域内数据至未存有数据的区域。

[0058] S800,通过测试控制模块输入第二测试信号至存储器内建自测电路,对存有数据的区域进行第二内建自测测试,根据第二内建自测测试的结果获取存储器的测试结果。

[0059] 而后对迁移程序之后的存有数据的区域进行第二内建自测测试,根据第二内建自测测试的测试结果获取整个芯片存储器的内建自测测试结果。由于在内建自测测试的过程中存储器内部的代码不能被覆盖,所以需要通过对处理器迁移存有数据的区域内数据来防止测试过程中这些数据被覆盖。当第一内建测试通过同时第二内建自测测试也通过时,可以判定当前待测存储器已通过测试,当第一内建测试通过但第二内建自测测试未通过时,则判定当前待测存储器存在问题未通过测试。

[0060] 上述存储器测试方法、装置、计算机设备以及存储介质,本申请的存储器测试方法通过测试控制模块来对芯片内嵌内建自测测试进行控制,同时对存有数据的区域以及未存有数据的区域分别进行测试,使得内部存储器的内建自测测试最优化,从而缩短内建自测测试的测试时间。

[0061] 如图3所示,在其中一个实施例中,S400之后还包括:

[0062] S500,当第一内建自测测试未通过时,判定待测存储器不合格。

[0063] 当对未存有数据的区域进行的第一内建自测测试未通过时,判断当前的待测存储器不能进行读写,判定待测存储器不合格,并结束存储器的测试进程,当第一内建自测未通过时,可以判断当前存储器存在一定的问题,可以直接结束测试,并判定当前的待测存储器不合格,通过在第一内建自测测试的过程中对待测存储器是否合格进行判定,避免对第一测试失败的待测存储器进行第二测试,可以有效地缩短测试的整个流程,提高测试效率。

[0064] 如图4所示,在其中一个实施例中,存储器内建自测电路包括测试向量产生电路、内建自测控制电路、响应分析器,S400包括:

[0065] S410,输入第一测试信号至测试向量产生电路,控制测试向量产生电路生成对应测试向量;

[0066] S430,发送测试向量至内建自测控制电路,通过内建自测控制电路输入测试向量至未存有数据的区域;

[0067] S450,通过响应分析器获取未存有数据的区域对测试向量的测试响应,根据测试响应获取第一内建自测测试的测试结果。

[0068] 其中测试向量是指用于对存储器进行指定方式测试的数据,它基于测试控制模块模拟的第一测试信号输入生成。测试向量产生电路可基于第一测试信号生成用于对存储器进行测试多种测试向量,测试多种存储器失效类型,获得更精确的测试效果。内建自测控制电路通常可以由状态机实现,控制对存储器的读写操作,响应分析器既可以用比较器实现,也可以用MISR(Multi-Input Signature Register压缩器多输入移位寄存器)电路实现,它对照已知正常的存储器响应,比较实际存储器模型响应并检测器件错误。可以通过内建自测电路中的各个器件,来实现对存储器的内建自测测试。同理,对于第二内建自测测试,也可以采用相同的流程来进行测试。

[0069] 如图5所示,在其中一个实施例中,S450包括:

[0070] S452,通过响应分析器获取未存有数据的区域对测试向量的测试响应;

[0071] S454,对比预存的正常存储器对测试向量的正常响应与测试响应,当正常响应与测试响应相同时,判定第一内建自测测试通过,当正常响应与测试响应不不同时,判定测试未通过。

[0072] 处理器可以通过响应分析模块获取待测存储器对测试向量的实际响应,并对比预存的响应,来分析获取待测存储器的实际测试结果。当两种响应一致,即待测存储器的测试过程中的响应与正常的存储器对该测试向量的响应相同时,可以判定待测存储器不存在问题,测试通过,当响应不同时,判定待测存储器存在问题,测试不通过。在其中一个实施例中,响应分析模块包括异或比较器,异或比较器对存储器的测试响应数据和预存的理想的响应进行异或操作,据此判断实际响应是否正确。通过对比可以有效确认当前的待测存储器是否存在失效问题。

[0073] 在其中一个实施例中,S450之后还包括:

[0074] 根据正常响应与测试响应的差异,获取存储器异常区域的地址信息,并生成与存储器异常区域的地址信息对应存储器测试报告。

[0075] 在当待测存储器对测试向量的响应与正常存储器的响应不同时,响应分析模块还可以根据两者响应的区别进行分析,根据不同的响应,定位失效部分在待测存储器中的具体的地址空间,生成对应的存储器测试报告。测试人员可以通过存储器测试报告清楚地了解到存储器存在的问题,提高测试的效率。

[0076] 在其中一个实施例中,S600包括:

[0077] 当第一内建自测测试通过时,根据处理器指针读取存有数据的区域内数据,将数据写入未存有数据的区域,同时将处理器指针跳转至未存有数据的区域的存储地址。

[0078] 处理器指针指向存有数据的区域的数据,当处理器迁移完存有数据的区域内数据至未存有数据的区域内时,同时将处理器的指针跳转到未存有数据的区域搬移后的对应位置,使得原本存放程序的存储器也可以进行存储器内建自测测试。

[0079] 在其中一个实施例中,本申请的存储器测试方法应用于存储器测试系统,存储器测试系统包括测试控制模块以及存储器内建自测电路,存储器内建自测电路与待测存储器连接,存储器内建自测电路包括测试向量产生电路、内建自测控制电路、响应分析器。方法包括:获取第一测试信号以及第二测试信号,第一测试信号用于对待测存储器中未存储数

据的区域进行存储器内建自测测试,第二测试信号用于对待测存储器中存储数据的区域进行存储器内建自测测试。输入第一测试信号至测试向量产生电路,控制测试向量产生电路生成对应测试向量;发送测试向量至内建自测控制电路,通过内建自测控制电路输入测试向量至未存有数据的区域;通过响应分析器获取未存有数据的区域对测试向量的测试响应,根据测试响应获取第一内建自测测试的测试结果。同时根据正常响应与测试响应的差异,获取存储器异常区域的地址信息,并生成与所述存储器异常区域的地址信息对应存储器测试报告。当第一内建自测测试未通过时,判定待测存储器不合格。当第一内建自测测试通过时,根据处理器指针读取存有数据的区域内数据,将数据写入未存有数据的区域,同时将处理器指针跳转至未存有数据的区域的存储地址。将第二测试信号写入测试控制模块,输入第二测试信号至测试向量产生电路,控制测试向量产生电路生成对应测试向量;发送测试向量至内建自测控制电路,通过内建自测控制电路输入测试向量至未存有数据的区域;通过响应分析器获取未存有数据的区域对测试向量的测试响应;对比预存的正常存储器对测试向量的正常响应与测试响应,当正常响应与测试响应相同时,判定第二内建自测测试通过,当正常响应与测试响应不相同,判定第二内建自测测试未通过。根据第二内建自测测试的结果获取存储器的测试结果。

[0080] 应该理解的是,虽然图2-5的流程图中的各个步骤按照箭头的指示依次显示,但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明,这些步骤的执行并没有严格的顺序限制,这些步骤可以以其它的顺序执行。而且,图2-5中的至少一部分步骤可以包括多个子步骤或者多个阶段,这些子步骤或者阶段并不必然是在同一时刻执行完成,而是可以在不同的时刻执行,这些子步骤或者阶段的执行顺序也不必然是依次进行,而是可以与其它步骤或者其它步骤的子步骤或者阶段的至少一部分轮流或者交替地执行。

[0081] 如图6所示,本申请还提供一种存储器测试装置,装置包括:

[0082] 信号获取模块200,用于获取第一测试信号以及第二测试信号,第一测试信号用于对待测存储器中未存储数据的区域进行存储器内建自测测试,第二测试信号用于对待测存储器中存储数据的区域进行存储器内建自测测试;

[0083] 第一测试控制模块400,用于通过测试控制模块输入第一测试信号至存储器内建自测电路,对未存有数据的区域进行第一内建自测测试,获取第一内建自测测试的测试结果;

[0084] 数据迁移模块600,用于当第一内建自测测试通过时,迁移存有数据的区域内数据至未存有数据的区域;

[0085] 第二测试控制模块800,用于通过测试控制模块输入第二测试信号至存储器内建自测电路,对存有数据的区域进行第二内建自测测试,根据第二内建自测测试的结果获取存储器的测试结果。

[0086] 在其中一个实施例中,还包括故障中断判定模块,故障中断判定模块,用于当第一内建自测测试未通过时,判定待测存储器不合格。

[0087] 在其中一个实施例中,存储器内建自测电路包括测试向量产生电路、内建自测控制电路、响应分析器,第一测试控制模块400具体用于:输入第一测试信号至测试向量产生电路,控制测试向量产生电路生成对应测试向量;发送测试向量至内建自测控制电路,通过

内建自测控制电路输入测试向量至未存有数据的区域;通过响应分析器获取未存有数据的区域对测试向量的测试响应,根据测试响应获取第一内建自测测试的测试结果。

[0088] 在其中一个实施例中,第一测试控制模块400还用于:通过响应分析器获取未存有数据的区域对测试向量的测试响应;对比预存的正常存储器对测试向量的正常响应与测试响应,当正常响应与测试响应相同时,判定第一内建自测测试通过,当正常响应与测试响应不相同,判定测试未通过。

[0089] 在其中一个实施例中,第一测试控制模块400还用于:根据正常响应与测试响应的差异,获取存储器异常区域的地址信息,并生成与存储器异常区域的地址信息对应存储器测试报告。

[0090] 在其中一个实施例中,数据迁移模块,用于:当第一内建自测测试通过时,根据处理器指针读取存有数据的区域内数据,将数据写入未存有数据的区域,同时将处理器指针跳转至未存有数据的区域的存储地址。

[0091] 关于存储器测试装置的具体限定可以参见上文中对于存储器测试方法的限定,在此不再赘述。上述存储器测试装置中的各个模块可全部或部分通过软件、硬件及其组合来实现。上述各模块可以硬件形式内嵌于或独立于计算机设备中的处理器中,也可以以软件形式存储于计算机设备中的存储器中,以便于处理器调用执行以上各个模块对应的操作。

[0092] 在一个实施例中,提供了一种计算机设备,该计算机设备可以是终端,其内部结构图可以如图7所示。该计算机设备包括通过系统总线连接的处理器、存储器、网络接口、显示屏和输入装置。其中,该计算机设备的处理器用于提供计算和控制能力。该计算机设备的存储器包括非易失性存储介质、内存储器。该非易失性存储介质存储有操作系统和计算机程序。该内存储器为非易失性存储介质中的操作系统和计算机程序的运行提供环境。该计算机设备的网络接口用于与外部的终端通过网络连接通信。该计算机程序被处理器执行时以实现一种存储器测试方法。该计算机设备的显示屏可以是液晶显示屏或者电子墨水显示屏,该计算机设备的输入装置可以是显示屏上覆盖的触摸层,也可以是计算机设备外壳上设置的按键、轨迹球或触控板,还可以是外接的键盘、触控板或鼠标等。

[0093] 本领域技术人员可以理解,图7中示出的结构,仅仅是与本申请方案相关的部分结构的框图,并不构成对本申请方案所应用于其上的计算机设备的限定,具体的计算机设备可以包括比图中所示更多或更少的部件,或者组合某些部件,或者具有不同的部件布置。

[0094] 在一个实施例中,提供了一种计算机设备,包括存储器和处理器,存储器中存储有计算机程序,该处理器执行计算机程序时实现以下步骤:

[0095] 获取第一测试信号以及第二测试信号,第一测试信号用于对待测存储器中未存储数据的区域进行存储器内建自测测试,第二测试信号用于对待测存储器中存储数据的区域进行存储器内建自测测试;

[0096] 通过测试控制模块输入第一测试信号至存储器内建自测电路,对未存有数据的区域进行第一内建自测测试,获取第一内建自测测试的测试结果;

[0097] 当第一内建自测测试通过时,迁移存有数据的区域内数据至未存有数据的区域;

[0098] 通过测试控制模块输入第二测试信号至存储器内建自测电路,对存有数据的区域进行第二内建自测测试,根据第二内建自测测试的结果获取存储器的测试结果。

[0099] 在一个实施例中,处理器执行计算机程序时还实现以下步骤:当第一内建自测测

试未通过时,判定待测存储器不合格。

[0100] 在一个实施例中,处理器执行计算机程序时还实现以下步骤:输入第一测试信号至测试向量产生电路,控制测试向量产生电路生成对应测试向量;发送测试向量至内建自测控制电路,通过内建自测控制电路输入测试向量至未存有数据的区域;通过响应分析器获取未存有数据的区域对测试向量的测试响应,根据测试响应获取第一内建自测测试的测试结果。

[0101] 在一个实施例中,处理器执行计算机程序时还实现以下步骤:通过响应分析器获取未存有数据的区域对测试向量的测试响应;对比预存的正常存储器对测试向量的正常响应与测试响应,当正常响应与测试响应相同时,判定第一内建自测测试通过,当正常响应与测试响应不相同,判定测试未通过。

[0102] 在一个实施例中,处理器执行计算机程序时还实现以下步骤:根据正常响应与测试响应的差异,获取存储器异常区域的地址信息,并生成与存储器异常区域的地址信息对应存储器测试报告。

[0103] 在一个实施例中,处理器执行计算机程序时还实现以下步骤:当第一内建自测测试通过时,根据处理器指针读取存有数据的区域内数据,将数据写入未存有数据的区域,同时将处理器指针跳转至未存有数据的区域的存储地址。

[0104] 在一个实施例中,提供了一种计算机可读存储介质,其上存储有计算机程序,计算机程序被处理器执行时实现以下步骤:

[0105] 获取第一测试信号以及第二测试信号,第一测试信号用于对待测存储器中未存储数据的区域进行存储器内建自测测试,第二测试信号用于对待测存储器中存储数据的区域进行存储器内建自测测试;

[0106] 通过测试控制模块输入第一测试信号至存储器内建自测电路,对未存有数据的区域进行第一内建自测测试,获取第一内建自测测试的测试结果;

[0107] 当第一内建自测测试通过时,迁移存有数据的区域内数据至未存有数据的区域;

[0108] 通过测试控制模块输入第二测试信号至存储器内建自测电路,对存有数据的区域进行第二内建自测测试,根据第二内建自测测试的结果获取存储器的测试结果。

[0109] 在一个实施例中,计算机程序被处理器执行时还实现以下步骤:当第一内建自测测试未通过时,判定待测存储器不合格。

[0110] 在一个实施例中,计算机程序被处理器执行时还实现以下步骤:输入第一测试信号至测试向量产生电路,控制测试向量产生电路生成对应测试向量;发送测试向量至内建自测控制电路,通过内建自测控制电路输入测试向量至未存有数据的区域;通过响应分析器获取未存有数据的区域对测试向量的测试响应,根据测试响应获取第一内建自测测试的测试结果。

[0111] 在一个实施例中,计算机程序被处理器执行时还实现以下步骤:通过响应分析器获取未存有数据的区域对测试向量的测试响应;对比预存的正常存储器对测试向量的正常响应与测试响应,当正常响应与测试响应相同时,判定第一内建自测测试通过,当正常响应与测试响应不相同,判定测试未通过。

[0112] 在一个实施例中,计算机程序被处理器执行时还实现以下步骤:根据正常响应与测试响应的差异,获取存储器异常区域的地址信息,并生成与存储器异常区域的地址信息

对应存储器测试报告。

[0113] 在一个实施例中, 计算机程序被处理器执行时还实现以下步骤: 当第一内建自测测试通过时, 根据处理器指针读取存有数据的区域内数据, 将数据写入未存有数据的区域, 同时将处理器指针跳转至未存有数据的区域的存储地址。

[0114] 本领域普通技术人员可以理解实现上述实施例方法中的全部或部分流程, 是可以通过计算机程序来指令相关的硬件来完成, 的计算机程序可存储于一非易失性计算机可读存储介质中, 该计算机程序在执行时, 可包括如上述各方法的实施例的流程。其中, 本申请所提供的各实施例中所使用的对存储器、存储、数据库或其它介质的任何引用, 均可包括非易失性和/或易失性存储器。非易失性存储器可包括只读存储器 (ROM)、可编程ROM (PROM)、电可编程ROM (EPROM)、电可擦除可编程ROM (EEPROM) 或闪存。易失性存储器可包括随机存取存储器 (RAM) 或者外部高速缓冲存储器。作为说明而非局限, RAM以多种形式可得, 诸如静态RAM (SRAM)、动态RAM (DRAM)、同步DRAM (SDRAM)、双数据率SDRAM (DDRSDRAM)、增强型SDRAM (ESDRAM)、同步链路 (Synchlink) DRAM (SLDRAM)、存储器总线 (Rambus) 直接RAM (RDRAM)、直接存储器总线动态RAM (DRDRAM)、以及存储器总线动态RAM (RDRAM) 等。

[0115] 以上实施例的各技术特征可以进行任意的组合, 为使描述简洁, 未对上述实施例中的各个技术特征所有可能的组合都进行描述, 然而, 只要这些技术特征的组合不存在矛盾, 都应当认为是本说明书记载的范围。

[0116] 以上实施例仅表达了本申请的几种实施方式, 其描述较为具体和详细, 但并不能因此而理解为对发明专利范围的限制。应当指出的是, 对于本领域的普通技术人员来说, 在不脱离本申请构思的前提下, 还可以做出若干变形和改进, 这些都属于本申请的保护范围。因此, 本申请专利的保护范围应以所附权利要求为准。

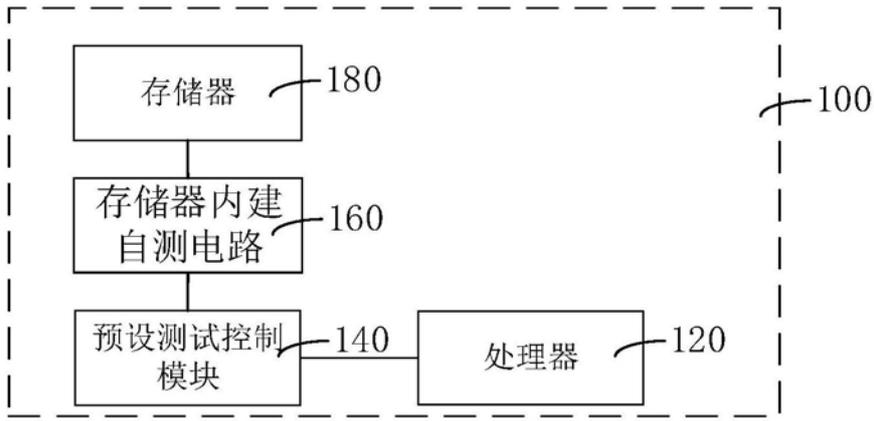


图1

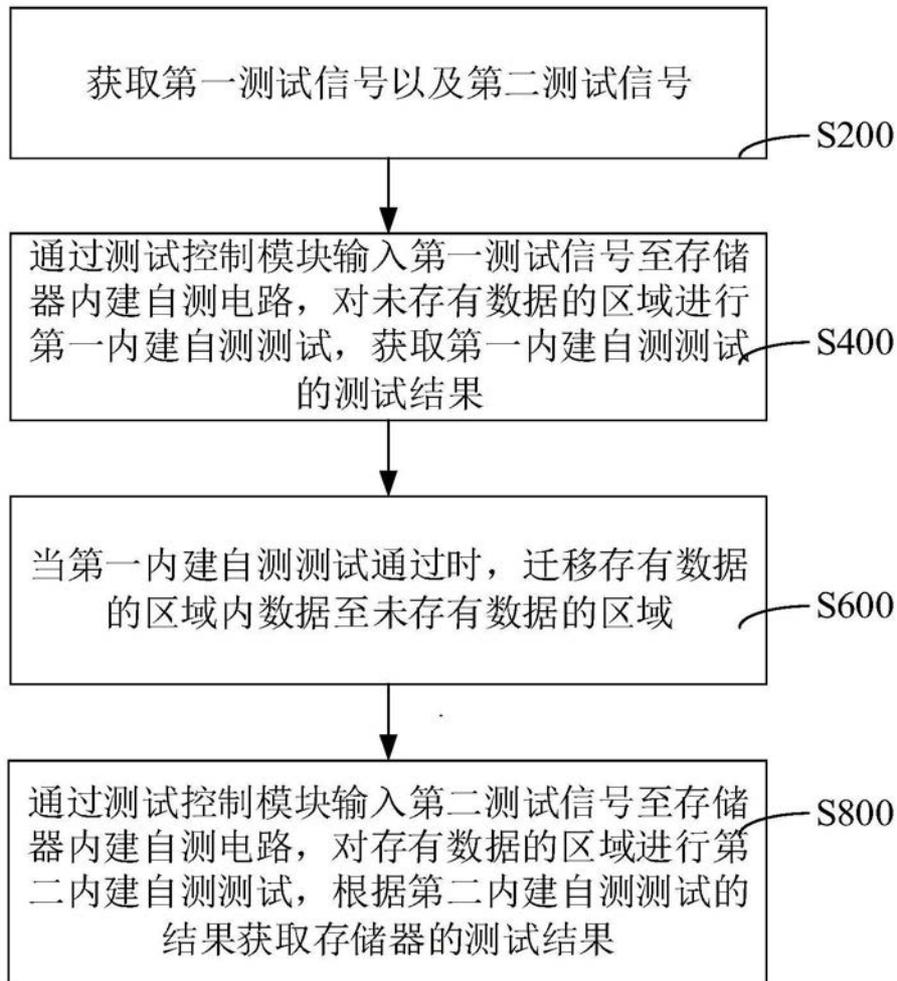


图2

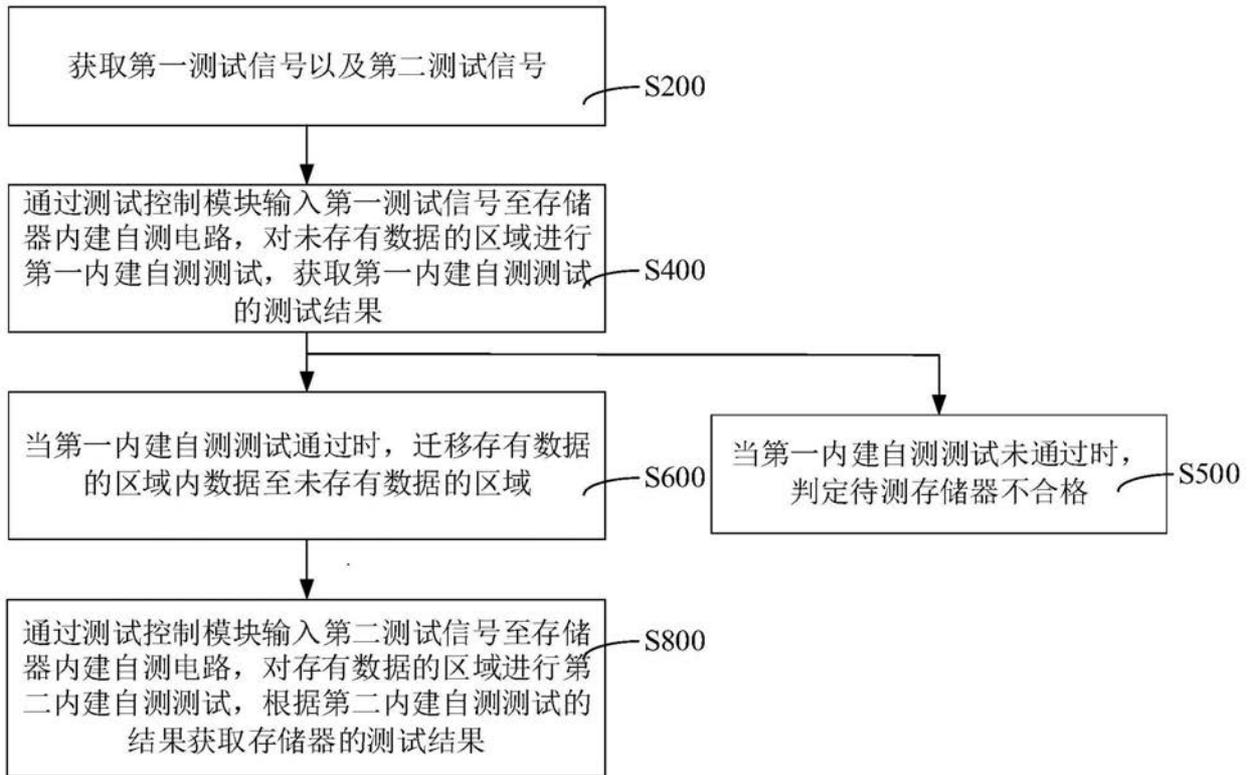


图3

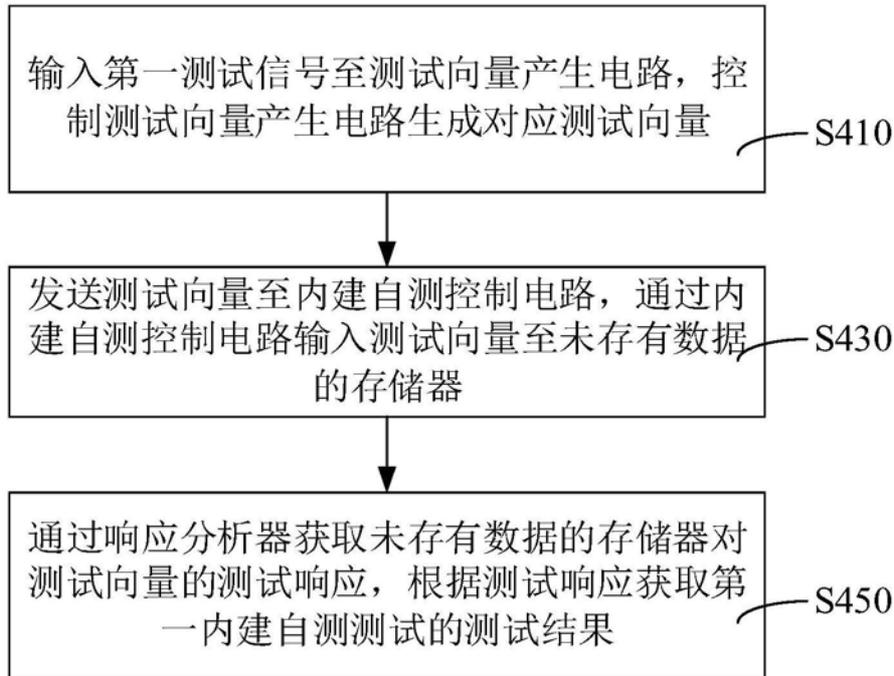


图4

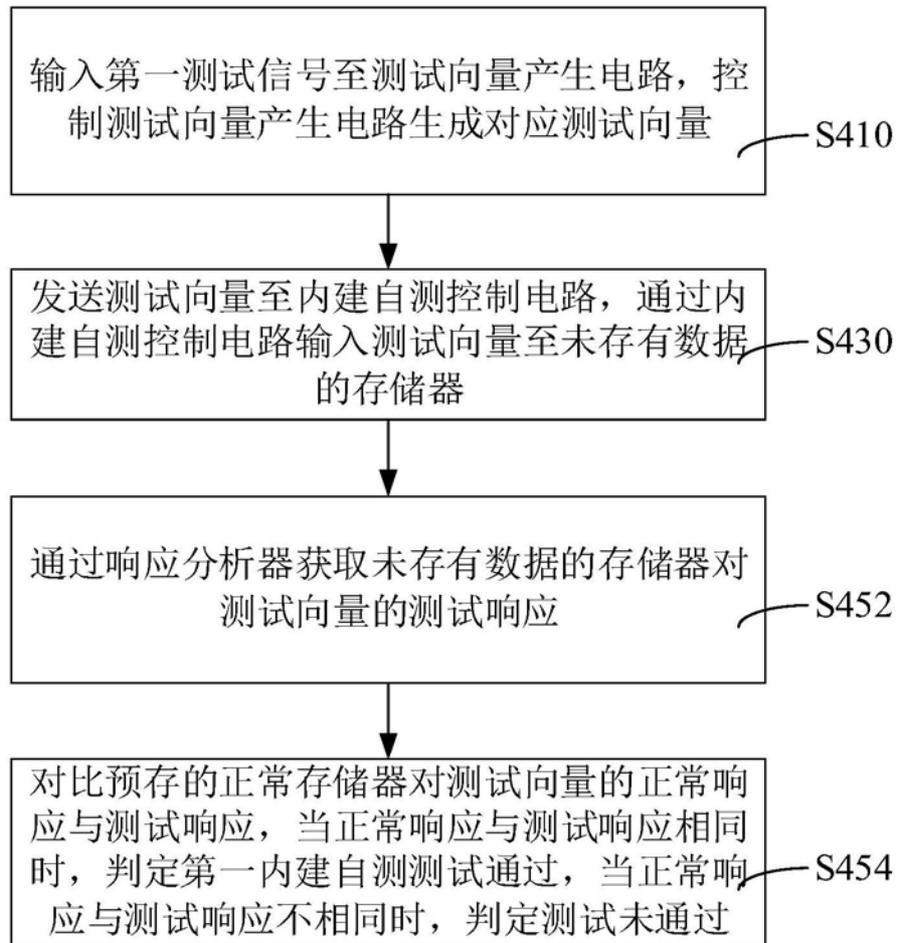


图5

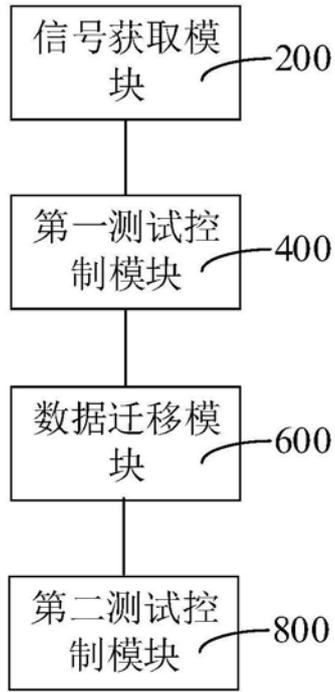


图6

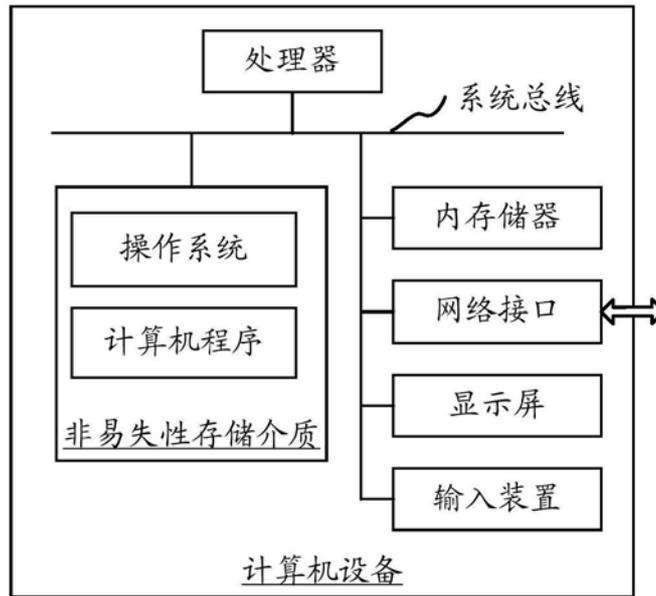


图7