

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4115982号
(P4115982)

(45) 発行日 平成20年7月9日(2008.7.9)

(24) 登録日 平成20年4月25日(2008.4.25)

(51) Int. Cl.	F I
G09G 3/28 (2006.01)	G09G 3/28 H
G09G 3/20 (2006.01)	G09G 3/20 611A
H04N 5/66 (2006.01)	G09G 3/20 622A
	G09G 3/20 623A
	G09G 3/20 624P
請求項の数 6 (全 15 頁) 最終頁に続く	

(21) 出願番号 特願2004-299075 (P2004-299075)	(73) 特許権者 590002817 三星エスディアイ株式会社
(22) 出願日 平成16年10月13日(2004.10.13)	大韓民国京畿道水原市靈通区▲しん▼洞5 75番地
(65) 公開番号 特開2005-122176 (P2005-122176A)	(74) 代理人 100072349 弁理士 八田 幹雄
(43) 公開日 平成17年5月12日(2005.5.12)	(74) 代理人 100110995 弁理士 奈良 泰男
審査請求日 平成16年10月13日(2004.10.13)	(74) 代理人 100111464 弁理士 齋藤 悦子
(31) 優先権主張番号 2003-072314	(74) 代理人 100114649 弁理士 宇谷 勝幸
(32) 優先日 平成15年10月16日(2003.10.16)	(74) 代理人 100124615 弁理士 藤井 敏史
(33) 優先権主張国 韓国 (KR)	
	最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルのスイッチング回路、及びプラズマディスプレイパネルの駆動装置

(57) 【特許請求の範囲】

【請求項1】

複数のアドレス電極と、互いに対をなして配列された複数の走査電極及び維持電極と、前記走査電極及び維持電極と前記アドレス電極との間に形成されるパネルキャパシタと、を含むプラズマディスプレイパネルを駆動するために用いられるプラズマディスプレイパネルのスイッチング回路において、

ゲートに印加される電圧に応じて導通または遮断動作をして、前記プラズマディスプレイパネルを駆動させるための電圧を出力する第1の絶縁ゲートバイポーラトランジスタと、

前記第1の絶縁ゲートバイポーラトランジスタに並列に連結され、ゲートに印加される電圧に応じて導通または遮断動作をして、前記プラズマディスプレイパネルを駆動させるための電圧を出力する第2の絶縁ゲートバイポーラトランジスタと、

前記第1の絶縁ゲートバイポーラトランジスタの導通時に流れる電流を測定する第1感知部と、

前記第1感知部によって測定された電流により、前記第1の絶縁ゲートバイポーラトランジスタのゲートに印加する電圧を調節する第1補償部と、

前記第2の絶縁ゲートバイポーラトランジスタの導通時に流れる電流を測定する第2感知部と、

前記第2感知部によって測定された電流により、前記第2の絶縁ゲートバイポーラトランジスタのゲートに印加する電圧を調節する第2補償部と、を含み、

10

20

前記第 1 補償部および前記第 2 補償部は、前記第 1 の絶縁ゲートバイポーラトランジスタおよび前記第 2 の絶縁ゲートバイポーラトランジスタそれぞれの導通時に流れる電流を均等に補償することを特徴とするプラズマディスプレイパネルのスイッチング回路。

【請求項 2】

前記プラズマディスプレイパネルのスイッチング回路は、前記パネルキャパシタにサステイン電圧を供給するために動作するスイッチング回路であることを特徴とする請求項 1 に記載のプラズマディスプレイパネルのスイッチング回路。

【請求項 3】

前記プラズマディスプレイパネルのスイッチング回路は、前記パネルキャパシタにアドレス電圧を供給するために動作するスイッチング回路であることを特徴とする請求項 1 に記載のプラズマディスプレイパネルのスイッチング回路。

10

【請求項 4】

前記第 1 及び第 2 の絶縁ゲートバイポーラトランジスタに並列に連結されて、前記プラズマディスプレイパネルを駆動させる際に発生する逆方向電流を流れるようにするダイオードをさらに含むことを特徴とする請求項 1 に記載のプラズマディスプレイパネルのスイッチング回路。

【請求項 5】

複数の第 1 電極及び第 2 電極によって放電空間が形成されるプラズマディスプレイパネルを駆動するプラズマディスプレイパネルの駆動装置において、

第 1 電圧を供給する第 1 電源を前記第 1 電極に電氣的に連結する第 1 スイッチと、

20

第 2 電圧を供給する第 2 電源を前記第 1 電極に電氣的に連結する第 2 スイッチと、を含み、

前記第 1 及び第 2 スイッチは、並列に連結された 2 個の絶縁ゲートバイポーラトランジスタであり、前記第 1 電圧は、維持期間において前記第 1 電極と前記第 2 電極との電圧差としてサステイン電圧が印加できるようにする電圧であり、

前記プラズマディスプレイパネルの駆動装置は、

前記第 1 スイッチの第 1 の絶縁ゲートバイポーラトランジスタの導通時に流れる電流を測定する第 1 感知部と、

前記第 1 感知部によって測定された電流により、前記第 1 の絶縁ゲートバイポーラトランジスタのゲートに印加する電圧を調節する第 1 補償部と、

30

前記第 1 スイッチの第 2 の絶縁ゲートバイポーラトランジスタの導通時に流れる電流を測定する第 2 感知部と、

前記第 2 感知部によって測定された電流により、前記第 2 の絶縁ゲートバイポーラトランジスタのゲートに印加する電圧を調節する第 2 補償部をさらに含み、

前記第 1 補償部および前記第 2 補償部は、前記第 1 の絶縁ゲートバイポーラトランジスタおよび前記第 2 の絶縁ゲートバイポーラトランジスタそれぞれの導通時に流れる電流を均等に補償することを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項 6】

前記プラズマディスプレイパネルは、前記第 1 及び第 2 電極と交差して形成される第 3 電極をさらに含み、

40

前記プラズマディスプレイパネルの駆動装置は、第 3 電圧を供給する第 3 電源を前記第 3 電極に電氣的に連結する第 3 スイッチをさらに含み、

前記第 3 スイッチは、並列に連結される少なくとも 2 個の絶縁ゲートバイポーラトランジスタであり、前記第 3 電圧は、アドレス期間において前記第 3 電極にアドレス電圧が印加できるようにする電圧であることを特徴とする請求項 5 に記載のプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はプラズマディスプレイパネル (PDP) のスイッチング回路、及びプラズマデ

50

ディスプレイパネルの駆動装置に係り、特に、高電圧駆動に有利なプラズマディスプレイパネルのスイッチング回路、及びプラズマディスプレイパネルの駆動装置に関するものである。

【背景技術】

【0002】

最近、液晶表示装置(LCD)、電界放出表示装置(FED)、プラズマディスプレイパネルなどの平面表示装置が活発に開発されている。これら平面表示装置の中でプラズマディスプレイパネルは、他の平面表示装置に比べて輝度及び発光効率が高く、視野角も広いという長所がある。したがって、40インチ以上の大型表示装置では、プラズマディスプレイパネルが従来の陰極線管(CRT)を代替する表示装置として脚光を浴びている。

10

【0003】

プラズマディスプレイパネルは、気体放電により生成されたプラズマを利用して文字または映像を表示する平面表示装置であって、その大きさによって数十から数百万個以上の画素がマトリックス形態に配列されている。このようなプラズマディスプレイパネルは、印加される駆動電圧波形の形態と放電セルの構造によって直流型と交流型に区分される。

【0004】

直流型プラズマディスプレイパネルは、電極が放電空間に絶縁されないまま露出されているため、電圧が印加される間に電流が放電空間にそのまま流れるようになる。このため、電流制限のための抵抗を形成しなければならないという短所がある。一方、交流型プラズマディスプレイパネルでは、電極を誘電体層が覆っていて、自然的なキャパシタンス成分の形成により電流が制限される。さらに、放電時は誘電体層によりイオンの衝撃から電極が保護されるので、直流型プラズマディスプレイパネルに比べて寿命が長いという長所がある。

20

【0005】

図1は、交流型プラズマディスプレイパネルの一部を切り欠いて示す斜視図である。

【0006】

図1に示したように、ガラス基板1上に、誘電体層2及び保護膜3で覆われた走査電極4と維持電極5が対をなして平行に形成される。ガラス基板6上には、絶縁体層7で覆われた複数のアドレス電極8が形成される。隣り合うアドレス電極8の間に位置する絶縁体層7上には、アドレス電極8と平行に隔壁9が形成されており、絶縁体層7の表面及び隔壁9の両側面に蛍光体10が形成されている。ガラス基板1、6は、走査電極4とアドレス電極8、及び維持電極5とアドレス電極8のそれぞれが直交するように放電空間11を隔てて対向して配置されている。走査電極4及び維持電極5と対をなすアドレス電極8との交差部にある放電空間が放電セル12を形成する。

30

【0007】

図2は、プラズマディスプレイパネルの電極配列を示す図である。

【0008】

図2に示したように、プラズマディスプレイパネルの電極は、 $m \times n$ のマトリックス構造に配列され、具体的には、列方向にはアドレス電極(A1~Am)が配列されており、行方向にはn行の走査電極(Y1~Yn)及び維持電極(X1~Xn)が交互に配列されている。図2の放電セル12は、図1の放電セル12に対応する。

40

【0009】

一般に、このような交流型プラズマディスプレイパネルの駆動方法は、時間的な動作変化で表現すれば、リセット期間、アドレッシング期間、及びサステイン期間(維持期間)からなる。

【0010】

リセット期間は、放電セルにアドレッシング動作を円滑に行うために各放電セルの状態を初期化させる期間であり、アドレッシング期間は、パネルを構成する全放電セルを、点灯する放電セルと点灯しない放電セルに選別するために、点灯する放電セル(アドレッシングされるセル)にアドレス電圧を印加して壁電荷を蓄積する動作を行う期間である。サステイ

50

ン期間は、アドレッシングされた放電セルにサステインパルス（サステイン電圧）を印加して、実際に画像を表示するための放電を行う期間である。

【0011】

前記のようなプラズマディスプレイパネルの駆動は、リセット期間、アドレス期間、及びサステイン期間において、プラズマディスプレイパネルの駆動回路に用いる多くのスイッチング素子の開閉動作（遮断または導通）により、所望の電圧を印加する。この時に主に用いられるスイッチング素子は、スイッチング速度の速い金属酸化膜半導体電界効果トランジスタ（以下、MOSFETとする）を用いる。しかし、MOSFETは、電極間の絶縁を破壊しない最大電圧（つまり、耐圧）を高めるほど、導通時の抵抗値（導通時のドレーン・ソース間抵抗、以下、'Ron'とする）が急激に増加する。

10

【0012】

一方、プラズマディスプレイパネルのアドレス期間、サステイン期間において、スイッチング素子に、パルス電流（放電開始時の急激なパルス状放電電流）が急激に流れる。つまり、MOSFETは導通時に抵抗Ronと等価になり（この時、MOSFETに印加される電圧が増加するほど抵抗Ronがさらに増加する）、電流はパルス形態で流れるため、MOSFETの場合は実効（Root-Mean-Square、以下、'RMS'とする）電流値が非常に大きくなる。したがって、アドレス期間とサステイン期間には、パルス形態の電圧がパネルに印加されて、MOSFETの導通時にRMS電流値が非常に大きくなる。さらに、導通時にMOSFETは抵抗Ronに等価になり、Ron値は耐圧を増加させるほど急激に増加するため、導通損失が大きく、熱が多く発生するので、問題視

20

【0013】

このような問題を解決するための方法として、図3のようにMOSFET素子を複数並列に用いてスイッチングする方法が用いられる。しかし、最近プラズマディスプレイパネルに注入するガス中のキセノン（Xe）の分圧が増加する傾向にあり、キセノン（Xe）の分圧を増加させる場合、さらに高い駆動電圧が要求されるため、MOSFETの並列連結数をさらに増加させなければならない。このようなMOSFET数の増加は、製造コストの増加、駆動ボードの面積増加、MOSFET駆動回路の増加など多くの問題を抱えている。

30

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明が目的とする技術的課題は、前記従来技術の問題点を解決するためのものであって、新たなスイッチング素子、特に絶縁ゲートバイポーラトランジスタ（略称：IGBT）を適用することによって製造コストを節減し、消費電力効率を高めることができるプラズマディスプレイパネルのスイッチング回路を提供することにある。

【課題を解決するための手段】

【0015】

前記目的を達成するための本発明の特徴によるプラズマディスプレイパネルのスイッチング回路は、複数のアドレス電極と、互いに対をなして配列された複数の走査電極及び維持電極と、前記アドレス電極と走査電極および維持電極との間に形成されるパネルキャパシタと、を含むプラズマディスプレイパネルを駆動するために用いられるプラズマディスプレイパネルのスイッチング回路であって、ゲートに印加される電圧に応じて導通または遮断動作をして、前記プラズマディスプレイパネルを駆動させるための電圧を出力する第1の絶縁ゲートバイポーラトランジスタと、前記第1の絶縁ゲートバイポーラトランジスタに並列に連結され、ゲートに印加される電圧に応じて導通または遮断動作をして、前記プラズマディスプレイパネルを駆動させるための電圧を出力する第2の絶縁ゲートバイポーラトランジスタと、前記第1の絶縁ゲートバイポーラトランジスタの導通時に流れる電流を測定する第1感知部と、前記第1感知部によって測定された電流により、前記第1の絶縁ゲートバイポーラトランジスタのゲートに印加する電圧を調節する第1補償部と、前

40

50

記第 2 の絶縁ゲートバイポーラトランジスタの導通時に流れる電流を測定する第 2 感知部と、前記第 2 感知部によって測定された電流により、前記第 2 の絶縁ゲートバイポーラトランジスタのゲートに印加する電圧を調節する第 2 補償部と、を含み、前記第 1 補償部および前記第 2 補償部は、前記第 1 の絶縁ゲートバイポーラトランジスタおよび前記第 2 の絶縁ゲートバイポーラトランジスタそれぞれの導通時に流れる電流を均等に補償することを特徴とする。

【 0 0 1 7 】

本発明の他の特徴によるプラズマディスプレイパネルの駆動装置は、複数の第 1 電極及び第 2 電極によって放電空間が形成されるプラズマディスプレイパネルを駆動するプラズマディスプレイパネルの駆動装置であって、第 1 電圧を供給する第 1 電源を前記第 1 電極に電氣的に連結する第 1 スイッチと、第 2 電圧を供給する第 2 電源を前記第 1 電極に電氣的に連結する第 2 スイッチと、を含み、前記第 1 及び第 2 スイッチは、並列に連結された少なくとも 2 個の絶縁ゲートバイポーラトランジスタであり、前記第 1 電圧は、維持期間において前記第 1 電極と前記第 2 電極との電圧差としてサステイン電圧が印加できるようにする電圧であり、前記プラズマディスプレイパネルの駆動装置は、前記第 1 スイッチの第 1 の絶縁ゲートバイポーラトランジスタの導通時に流れる電流を測定する第 1 感知部と、前記第 1 感知部によって測定された電流により、前記第 1 の絶縁ゲートバイポーラトランジスタのゲートに印加する電圧を調節する第 1 補償部と、前記第 1 スイッチの第 2 の絶縁ゲートバイポーラトランジスタの導通時に流れる電流を測定する第 2 感知部と、前記第 2 感知部によって測定された電流により、前記第 2 の絶縁ゲートバイポーラトランジスタのゲートに印加する電圧を調節する第 2 補償部をさらに含み、前記第 1 補償部および前記第 2 補償部は、前記第 1 の絶縁ゲートバイポーラトランジスタおよび前記第 2 の絶縁ゲートバイポーラトランジスタそれぞれの導通時に流れる電流を均等に補償することを特徴とする。

【発明の効果】

【 0 0 1 9 】

本発明によれば、2 つの I G B T 素子を並列に連結して、プラズマディスプレイパネルのスイッチング回路を構成することによって効率を高めることができ、半導体チップの面積を減少させることによって製造コストを節減する。

【発明を実施するための最良の形態】

【 0 0 2 0 】

以下では、添付した図面を参照して本発明の実施の形態について、本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様な相異なる形態に実現することができ、ここで説明する実施の形態に限定されるわけではない。

【 0 0 2 1 】

図面では、本発明を明確に説明するために、説明と関係ない部分は省略した。明細書全体を通して、類似した部分については同一の図面符号を付けた。また、複数の電極から形成された放電セルを有するプラズマディスプレイパネルは、従来の技術と変わらないため説明は省略する。

(第 1 の参考例)

図 4 は、本発明の前提となる構造を有するプラズマディスプレイパネルのスイッチング回路を示す図である。

【 0 0 2 2 】

図 4 に示したように、本発明の第 1 の参考例によるプラズマディスプレイパネルのスイッチング回路は、一つ以上の絶縁ゲートバイポーラトランジスタ(以下、I G B T)素子 Z 1、Z 2 などと、ダイオード D 1 を含む。一つ以上の I G B T 素子である Z 1、Z 2 などは互いに並列に連結されており、ダイオード D 1 も I G B T 素子 Z 1、Z 2 などと並列に連結される。この時、I G B T 素子 Z 1、Z 2 などはボディダイオードがないので、ダイオード D 1 を I G B T 素子 Z 1、Z 2 などと並列に連結して逆方向電流が流れるよう

にする。本参考例では、IGBT素子(Z1)及びIGBT素子(Z2)が、各々第1及び第2の絶縁ゲートバイポーラトランジスタに対応する。

【0023】

一つ以上のIGBT素子(Z1、Z2)は、プラズマディスプレイパネルの駆動時、プラズマディスプレイパネルに電圧を印加するためのスイッチング素子としての役割を果たす。この時、IGBT素子は一つだけでもスイッチング素子の役割を果たすが、駆動電流が大きく電流容量を増加する必要がある場合には、いくつかのIGBT素子を並列に連結して複合スイッチング素子としての役割も果たす。このような並列に連結された一つ以上のIGBT素子(Z1、Z2)はプラズマディスプレイパネルの駆動回路に含まれて、ゲートに印加される電圧に応じて、プラズマディスプレイパネルのリセット期間、アドレス期間、サステイン期間(維持期間)が動作するように導通または遮断動作をして、前記プラズマディスプレイパネルを駆動させるための電圧を出力する。

10

【0024】

図5は、MOSFETとIGBTのオン状態、つまり、導通時の電流-電圧特性を温度別(25、125)に示す図である。図5に示すように、25の場合、MOSFETとIGBTの電流-電圧曲線は、電流値が27アンペア付近の一点で交差し、125の場合、電流値が10アンペア付近の一点で交差する。以下、このように、任意の温度におけるMOSFETとIGBTの電流-電圧曲線が交差する点の電流値を所定値と称する。また、後述する電流の大きい領域とは、電流値が前記所定値よりも大きい領域を意味し、電流の小さい領域とは、電流値が前記所定値よりも小さい領域を意味する。なお、前記所定値は、プラズマディスプレイパネルに流れる電流の設計値に応じて、MOSFET素子とIGBT素子の各仕様によって種々の値に設計され、温度によっても変化しうる。

20

【0025】

そして、図5に示したように、IGBTが定電圧型の特性を示し、定抵抗型の特性を示すMOSFETと比べると、電流の大きい領域で、電圧降下が少なく、消費電力が少ない。換言すれば、IGBTは大電流での性能が優れていることが分かる。つまり、電流の大きい領域で同一の電流が流れる場合は、導通時に素子にかかる電圧は、MOSFETよりIGBTの方が低いことが分かる。そして、MOSFETが25である場合とIGBTが125である場合との電流-電圧特性を見ると、IGBTが125である場合にさらに良い特性を有する。これにより、温度特性もIGBTがさらに良いということが分かる。したがって、同一電流下のスイッチング素子による電圧降下は、MOSFETよりIGBTの方が低いので、IGBTは低損失であることが分かる。

30

【0026】

そして、IGBTが導通する場合、IGBTはダイオードとして機能するので(IGBTはバイポーラトランジスタ素子であるため、導通時にはダイオードとして機能する)、ダイオード電圧である V_{ce} (コレクタとエミッタとの間の電圧をいう)電圧に等価になることができる。このようなダイオード電圧 V_{ce} は、電流が増加してもほとんど増加しないので、プラズマディスプレイパネルの放電時に発生するパルス放電電流が流れても、導通損失はMOSFETよりはるかに少ない。上記で説明したように、MOSFETの場合は導通時に R_{on} 抵抗に等価になるため、実効値が大きくなるとパルス電流が流れる時に導通損失がさらに増加する。従って、一つ以上のIGBT素子と一つ以上のMOSFET素子とを並列に連結した場合は、両トランジスタの電極間電圧が常に等しくなると、この電圧が低い場合、つまり負荷電流の小さい領域では定抵抗型のMOSFET素子に多くの電流が流れ、この電圧が高い場合、つまり負荷電流の大きい領域では定電圧型のIGBT素子に多くの電流が流れる。この現象により効率を向上させると同時に、IGBT素子のみを複数個用いる場合に発生する、電流が特定のIGBT素子に偏る問題点を克服することができる。なお、前記問題点の詳細については後述する。

40

【0027】

また、IGBTはその構造的な特性により、単位面積当りの電流導通能力が同一の耐圧に対してMOSFETより優れており、同一電流容量の場合半導体チップの面積が減少す

50

るので、スイッチング素子の値段を低減させることができる。

【0028】

プラズマディスプレイパネルは、スイッチング素子の導通動作で放電が開始された後、パルス形態の電流が流れ、電流値が零になった後にスイッチング素子を遮断する。したがって、遮断特性の悪いIGBTも電流が零になった後に遮断動作を行うので、高速で駆動することができる。つまり、IGBTの短所ともいえる遮断特性がプラズマディスプレイパネルの駆動には問題にならない。

【0029】

しかし、本発明の第1の参考例によるプラズマディスプレイパネルのスイッチング素子のように、IGBT素子のみを並列に連結してスイッチング素子として用いる場合、IGBT素子の導通時に V_{ce} （コレクタ-エミッタ電圧）電圧が正の温度係数特性を有するため、負荷電流が特定のIGBT素子に集中する問題が発生し得る。図6A及び図6Bは、各々25と125である場合のICBTのコレクタ-エミッタ間電圧 V_{ce} とコレクタ電流 I_c との関係を示した図である。ここで、電圧 V_{ce} は、IGBTの導通時のコレクタ-エミッタ電圧を示し、電流 I_c は、IGBTの導通時のコレクタ電流を示す。図6A及び図6Bから分かるように、温度の高い図6Bが、同じ V_{ce} 電圧下でさらに多くの I_c 電流が流れることが分かる。したがって、図4のようにIGBT素子を並列にスイッチング素子として用いる場合、スイッチング動作によって特定のIGBT素子（例えば、Z1）に電流が多く流れて熱が発生するとIGBT素子の温度が上昇し、したがってIGBT素子（Z1）へより多くの電流が流れる、いわゆる熱暴走のために特定のIGBT素子に負荷電流が集中する問題を発生するおそれがある。また、IGBT素子を並列にし、IGBT素子のみでスイッチング素子を実現する場合は、スイッチング導通の初期及び電流が少しだけ流れる区間では、図5に示したように電圧降下がMOSFET素子より非常に大きくなるため、電力効率が減少する問題も発生する。

（第2の参考例）

以下では、本発明の第1の参考例の問題点を克服したプラズマディスプレイパネルのスイッチング素子について説明する。

【0030】

図7は、本発明の第2の参考例によるプラズマディスプレイパネルのスイッチング素子を示した図である。

【0031】

図7に示したように、本発明の第2の参考例によるプラズマディスプレイパネルのスイッチング素子は、互いに並列に連結された一つ以上のMOSFET素子（M3）と、互いに並列に連結された一つ以上のIGBT素子（Z3）とを含み、MOSFET素子（M3）はIGBT素子（Z3）と互いに並列に連結される。本参考例では、MOSFET素子（M3）が第1の金属酸化膜半導体電界効果トランジスタに対応し、IGBT素子（Z3）が第1の絶縁ゲートバイポーラトランジスタに対応する。このような並列に連結された一つ以上のMOSFET素子（M3）と一つ以上のIGBT素子（Z3）とは、ゲートに印加される電圧に応じて、導通または遮断動作をして、前記プラズマディスプレイパネルを駆動させるための電圧を出力する。この時、一つのMOSFET素子（M3）と一つのIGBT素子（Z3）とが並列に連結されてプラズマディスプレイパネルのスイッチング素子の役割を果たすことができ、プラズマディスプレイパネルの大きさが大きくなって電流容量が大きくなる場合には、複数のMOSFET素子と複数のIGBT素子とを用いてプラズマディスプレイパネルのスイッチング素子に代替することができる。

【0032】

ここで、MOSFET素子（M3）は電流の小さい領域でスイッチング素子として用いられ、IGBT素子（Z3）は電流の大きい領域でスイッチング素子として用いられる。IGBTは図5に示したように、電流の小さい領域でも電圧降下が相対的に大きく現れ、電力効率が減少する。このため、IGBT素子（Z3）を電流の大きな領域のスイッチング素子として用いる。そして、MOSFET素子（M3）は導通時に抵抗 R_{on} と等価に

なるため、電流の小さな領域でも電圧降下が著しく現れず、効率が I G B T 素子より良いので、電流の小さな領域のスイッチング素子として用いる。すなわち、M O S F E T 素子 (M 3) は、プラズマディスプレイパネルの動作時に流れる電流値が所定値より小さい領域のとき、I G B T 素子 (Z 3) よりも多くの電流を流すように動作し、I G B T 素子 (Z 3) は、前記プラズマディスプレイパネルの動作時に流れる電流値が前記所定値より大きい領域のとき、M O S F E T 素子 (M 3) よりも多くの電流を流すように動作する。

【 0 0 3 3 】

図 8 A は、I G B T 素子 (Z 3) のみをスイッチング素子として用いた場合の導通時の電圧 (V c e) と電流 (I c) の関係を示した図であり、図 8 B は、本発明の第 2 の参考例のように、M O S F E T 素子 (M 3) と I G B T 素子 (Z 3) を並列にスイッチング素子として用いた場合の導通時の電圧 (V c e) と電流 (I c) の関係を示した図である。図 8 A において点線で囲んだ部分から分かるように、I G B T 素子 (Z 3) のみを用いた場合には、電流の小さい領域で I G B T の電圧降下が著しく現れる。一方、図 8 B において点線で囲んだ部分から分かるように、M O S F E T 素子 (M 3) と I G B T 素子 (Z 3) を並列に連結し、電流の小さい領域では、M O S F E T 素子 (M 3) のみが動作する場合、電流 (I c) と電圧 (V c e) との間に比例関係が成立し、I G B T 素子 (Z 3) のみを用いる場合より同一電流 (I c) 下でさらに低い電圧降下が発生する。つまり、電流の小さい領域では M O S F E T 素子 (M 3) が動作するようにし、M O S F E T 素子 (M 3) は導通時に抵抗 (R o n) に等価になるために、図 8 B において点線で囲んだ部分のような比例関係が成立し、電圧降下もさらに低く現れることが分かる。これによりスイッチング素子の効率を改善することができる。そして、図 8 B に示したように電流の大きい領域 (点線で表示した部分の外側領域) では、I G B T 素子 (Z 3) が動作して導通時に電圧 V c e に等価になるので、電流が高くなっても電圧がほとんど一定に維持されることが分かる。つまり、電流の大きい領域では I G B T 素子 (Z 3) が動作するようにして、プラズマディスプレイパネルの放電時に発生するパルス放電電流が流れても、I G B T 素子 (Z 3) が等価電圧 V c e になるのでスイッチング素子の効率がさらに改善することが分かる。言い換えれば、M O S F E T 素子 (M 3) は電流の小さい領域で動作し、小さい電流のみが流れるようにし、I G B T 素子 (Z 3) は電流の大きい領域で動作し、大きい電流のみが流れるようにして、スイッチング素子の効率を改善することができる。

【 0 0 3 4 】

また、本発明の第 2 の参考例のように M O S F E T 素子 (M 3) と I G B T 素子 (Z 3) とを並列に連結してスイッチング素子として用いる場合には、M O S F E T 素子 (M 3) がボディダイオードを有しており、逆方向電流を導通させる役割を果たすので、I G B T 素子のみを用いる本発明の第 1 の参考例のような、付加的なダイオード (D 1) を並列に連結する必要がない。

(実施の形態)

図 9 は、本発明の一実施の形態によるプラズマディスプレイパネルのスイッチング素子を示す図である。図 9 は、図 4 のような本発明の第 1 の参考例によるプラズマディスプレイパネルのスイッチング素子の問題点である、I G B T の正温度係数特性による負荷電流が特定の I G B T に集中する問題点を解決するための方法を示した図である。

【 0 0 3 5 】

図 9 に示したように、本発明の一実施の形態によるプラズマディスプレイパネルのスイッチング素子は、図 4 と同様の構成において、I G B T 素子 (Z 1) のコレクタと I G B T 素子 (Z 2) のコレクタに各々感知部 1 (第 1 感知部) と感知部 2 (第 2 感知部) が連結され、I G B T 素子 (Z 1) のゲートと I G B T 素子 (Z 2) のゲートに各々補償部 1 (第 1 補償部) と補償部 2 (第 2 補償部) が連結される。ここで、感知部 1 と感知部 2 は、スイッチング素子の導通時の電流を測定するためのものであり、補償部 1 と補償部 2 は、スイッチング素子に印加されるゲート電圧を補償するためのものであって、その位置は多少変更することができる。この時、電源 V 1 は信号源であって、I G B T 素子 (Z 1 、 Z 2) に流れる電流を調整するために I G B T 素子 (Z 1 、 Z 2) のゲートに印加する電源

を示す。

【0036】

感知部1と感知部2は、各々IGBT素子(Z1)とIGBT素子(Z2)に連結されて導通時の電流を測定する。つまり、IGBT素子(Z1)とIGBT素子(Z2)の導通時に、IGBT素子(Z1、Z2)のコレクタに流れる電流を測定して負荷電流を測定する。この時、測定された負荷電流値は各々補償部1と補償部2に伝送される。補償部1と補償部2は、各々感知部1と感知部2から伝送された負荷電流値を利用してIGBT素子(Z1)とIGBT素子(Z2)のゲート駆動電圧を補償して、各IGBT素子(Z1、Z2)に流れる負荷電流を均等にする。つまり、特定のIGBT素子に負荷電流が集中する問題を、負荷電流を各々測定して(感知部1と感知部2によって測定する)、ゲート駆動電源(V1)の電圧を補償部1と補償部2によって補償する。仮に、より大きな電流がIGBT素子(Z1)に流れる場合、補償部1は、IGBT素子(Z1)のゲートに印加される電圧を下げることによってIGBT素子(Z1)に流れる電流を減少させることができる。この時、補償部1と補償部2は、変圧機や信号増幅機などを利用してゲート電圧(V1)の電圧を増幅させるなどの調節により、負荷電流を均等にする。

10

【0037】

このような電流不均一は、直接的な電流測定により判断できるが、多少の測定時間の遅延を許すならば、各IGBT素子の近くに微小なダイオードを設置して、温度を測定し、各IGBT素子の温度に基づく電流調整ができる。この方法は、測定による動作の擾乱を無視出来る程度に軽減でき、IGBT素子群の集積回路化に適した方法と考えられる。温度検出素子はダイオードに限らず、拡散抵抗を使ってもよい。

20

【0038】

図10は、本発明の第1の参考例によるプラズマディスプレイパネルのスイッチング素子と同様にIGBT素子(Z1、Z2)を並列に連結した場合のスイッチング素子を駆動するための回路を示す略図である。

【0039】

図10の(a)は、従来のスイッチング素子であるMOSFET素子(M1、M2)を並列に連結した場合において、駆動回路としてプッシュプル型ゲート駆動回路を共に示した図である。電源(V2)はゲート駆動電源であり、電源(17V)は、プッシュプル型ゲート駆動回路におけるトランジスタ(Q1、Q2)のバイアス電源を示す。ここで、プッシュプル型ゲート駆動回路は、たとえば、図10(a)に示されるように、NPN型トランジスタ(Q1)とPNP型トランジスタ(Q2)とが直列に連結して構成されるものであり、NPN型トランジスタ(Q1)のエミッタとPNP型トランジスタ(Q2)のエミッタとの接続ノードが出力端子となっている。一方、NPN型トランジスタ(Q1)のコレクタとPNP型トランジスタ(Q2)のコレクタとは、各々電源(17V)の正極及び負極と連結され、NPN型トランジスタ(Q1)及びPNP型トランジスタ(Q2)のゲートには、各々ゲート駆動電源(V2)が分岐して連結される。また、前記出力端子は分岐してMOSFET素子(M1、M2)のゲートに連結される。MOSFET素子(M1、M2)を並列に連結して構成されたスイッチング素子を駆動させるためには、プッシュプル型ゲート駆動回路を用いて、電源(V2)からの電流を増幅させることが必要である。しかし、IGBT素子(Z1、Z2)を並列に連結してスイッチング素子を構成する場合には、図10の(b)に示したようにプッシュプル型ゲート駆動回路が不要となり、直ちにゲート駆動電源(V2)によってスイッチング素子を導通または遮断することができる。

30

40

【0040】

以下に、IGBT素子とMOSFET素子の駆動の違いを簡単に説明する。IGBT素子もMOSFET素子と同様にゲートが絶縁して分離される構造を有するため、ゲート駆動電源(V2)を印加する場合にゲート電極に電荷が蓄積されるが、上記で説明したように、IGBT素子では半導体チップの面積が遥かに減少するので、ゲート電極に充電しなければならない電荷量(Qg)がMOSFET素子より減少する。このように、IGBT

50

素子（ Z_1 、 Z_2 ）を並列に連結して用いる場合にはゲート電極に充電すべき電荷量（ Q_g ）が小さくなるので、プッシュプル型ゲート駆動回路を使用せず、図10の（b）に示したように、直ちにゲート駆動電源（ V_2 ）によってIGBT素子（ Z_1 、 Z_2 ）をスイッチング動作させることができる。

【0041】

ここで、図4及び図7に示したスイッチング素子は、プラズマディスプレイパネルのパネルキャパシタにサステイン電圧を印加する場合に用いられるのが好ましい。これはプラズマディスプレイパネルのサステイン期間においてスイッチング素子が最も多くスイッチングされ、電力が多く消費されるからである。ここで、サステイン電圧（ V_s ）は、サステイン期間において、維持電極（ $X_1 \sim X_n$ ）と走査電極（ $Y_1 \sim Y_n$ ）とに印加される電圧の差を意味し、アドレス期間において選択されたセルのみを放電させる程度の電圧に当該する。

10

【0042】

図11A及び図11Bは、各々本発明の第1及び第2の参考例と同様のスイッチング素子が適用されたプラズマディスプレイパネルの駆動装置を示す図である。図11A及び図11Bでは、サステイン電圧（ V_s ）を印加するために用いるプラズマディスプレイパネルの駆動装置において、各スイッチ（ S_1 、 S_2 、 S_3 、 S_4 ）として、本発明の参考例と同様のスイッチング素子が用いられる。

【0043】

図11A及び11Bに示したように、プラズマディスプレイパネルの駆動装置は、電力回収用キャパシタ（ C_r ）、スイッチ（ S_1 、 S_2 、 S_3 、 S_4 ）、インダクタ（ L ）、パネルキャパシタ（ C_p ）、ダイオード（ D_1 、 D_2 ）、及びサステイン電圧を有する電源（ V_s ）を含む。ここで、電力回収用キャパシタ（ C_r ）には、サステイン電圧（ V_s ）の半分の電圧（ $V_s/2$ ）が充電されている。また、スイッチ（ S_1 、 S_2 、 S_3 、 S_4 ）は、各々本発明の第1及び第2の参考例に示したように、複数のIGBT素子が並列に連結されているか、またはIGBT素子とMOSFET素子とが並列に連結されている。

20

【0044】

図11Aに示されるように、電源（ V_s ）は、スイッチ（ S_3 ）を介して、パネルキャパシタ（ C_p ）に電力を供給する向きに連結されている。また、スイッチ（ S_3 ）とパネルキャパシタ（ C_p ）との接続ノードには、スイッチ（ S_4 ）が電力を回収する向きに連結されている。また、電力回収用キャパシタ（ C_r ）は、スイッチ（ S_1 ）、ダイオード（ D_1 ）、及びインダクタ（ L ）をこの順番で介して、パネルキャパシタ（ C_p ）に電力を供給する向きに連結されているのと同時に、スイッチ（ S_2 ）、ダイオード（ D_2 ）、及びインダクタ（ L ）をこの順番で介して、パネルキャパシタ（ C_p ）の電力を回収する向きに連結されている。またスイッチ（ $S_1 \sim S_4$ ）は、図4と同様に、各々複数のIGBTとダイオードとが並列に接続された構造をなす。なお、図11Bの構成は、スイッチ（ $S_1 \sim S_4$ ）がIGBT素子とMOSFET素子が並列に接続された構造をなしていることを除いては、図11Aと同様であるため、詳細は省略する。

30

【0045】

この時、前記パネルキャパシタ（ C_p ）の一端は走査電極または維持電極に対応し、サステイン電圧（ V_s ）が印加されるパネルキャパシタ（ C_p ）の他端には、パネルキャパシタ（ C_p ）両端電圧がアドレス期間で選択されたセルを放電させる程度の電圧が印加されるが、図11A及び11Bでは便宜上接地電圧（零ボルト）と仮定する。そして、パネルキャパシタ（ C_p ）の一端が走査電極に対応する場合には、パネルキャパシタ（ C_p ）の他端（接地記号で示した）は維持電極に対応し、一端が維持電極に対応する場合には他端（接地記号で示した）は走査電極に対応する。なお、本実施の形態では、走査電極及び維持電極が第1及び第2の電極に対応する。また、電源（ V_s ）が第1電圧 V_s を供給する第1電源に対応し、電力回収用キャパシタ（ C_r ）が第2電圧 $V_s/2$ を供給する第2電源に対応する。さらに、スイッチ（ S_3 ）が前記第1電源を前記第1電極に電氣的に連

40

50

結する第1スイッチに対応し、スイッチ(S1)が前記第2電源を前記第1電極に電氣的に連結する第2スイッチに対応する。

【0046】

スイッチ(S1)は、導通により、LC共振を利用して、パネルキャパシタ(Cp)の一端の電圧をVs電圧近くまで上昇させ、スイッチ(S3)は、導通により、パネルキャパシタ(Cp)の一端の電圧をVs電圧に維持する。そして、スイッチ(S3)は、導通により、LC共振を利用して、パネルキャパシタ(Cp)の一端の電圧を零ボルト電圧近くまで下降させ、スイッチ(S4)は、パネルキャパシタの一端の電圧を零ボルト電圧に維持する。この時、ダイオード(D1、D2)は、パネルキャパシタ(Cp)をLC充放電させる時に逆方向電流を遮断する役割を果たす。ここで、図11A及び11Bではエネルギー回収動作を行うプラズマディスプレイパネルの駆動装置を示したが、スイッチ(S3、S4)のみを用いてサステイン期間においてサステイン電圧(Vs)を印加できるのは当然のことである。

10

【0047】

一般的にプラズマディスプレイパネルの駆動方法は、リセット期間、アドレス期間、サステイン期間からなるが、特にサステイン期間においては、放電セルを維持放電させるために前記図11A及び11Bに示した回路を用いる。この時、サステイン期間においては特にスイッチ(S1、S2、S3、S4)のスイッチングが多く要求され、このような多くのスイッチングによる発熱及び高耐圧の問題を本発明の第1及び第2の参考例のようなスイッチング素子を用いることによってさらに効果的に解決することができる。特に、効率を高めるためにXe(キセノン)の分圧を上昇させる場合、駆動電圧が上昇する場合に本発明の第1及び第2の参考例のようなスイッチング素子を用いるとさらに効果的である。

20

【0048】

前記図11A及び11Bでは、サステイン電圧(Vs)を印加する回路において、各スイッチ(S1、S2、S3、S4)を第1及び第2の参考例のようなスイッチング素子を用いることを示したが、アドレス期間において放電セルを選択するために、アドレス電極に印加するアドレス電圧(Va)を印加する回路で用いるスイッチング素子として、本発明の第1及び第2の参考例のようなスイッチング素子を用いることができる。ここで、アドレス電圧(Va)は、アドレス期間において、放電セルを選択するためにアドレス電極に印加する電圧を意味する。アドレス電圧(Va)を印加するための回路は、サステイン電圧(Vs)がアドレス電圧(Va)に代替されることを除いては図11A及び11Bと同様の回路であるので具体的説明は省略し、前記パネルキャパシタ(Cp)の一端はアドレス電極に対応する。また、本実施の形態では、アドレス電極が第3の電極に対応し、アドレス電圧(Va)を有する電源(Va)が第3電圧を供給する第3電源に対応する。さらに、スイッチ(S3)が前記第3電源を前記第3電極に電氣的に連結する第3スイッチに対応する。アドレス期間においてアドレス電圧(Va)を印加するためには、スイッチング素子の多くのスイッチングが要求されるため、発熱及び高耐圧の問題が発生するが、本発明の第1及び第2の参考例のようなスイッチング素子を用いることによって解決することができる。特に、Xe(キセノン)の分圧が上昇して駆動電圧が上昇する場合、本発明の第1及び第2の参考例のようなスイッチング素子を用いればさらに効果的である。

30

40

【0049】

以上で本発明の好ましい実施の形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、特許請求の範囲で定義している本発明の基本概念を利用した当業者のいろいろな変形及び改良形態もまた本発明の権利範囲に属する。

【図面の簡単な説明】

【0050】

【図1】交流型プラズマディスプレイパネルの一部を切り欠いて示す斜視図である。

【図2】プラズマディスプレイパネルの電極配列図である。

【図3】従来のプラズマディスプレイパネルのスイッチング素子を示す図である。

50

【図4】本発明の第1の参考例によるプラズマディスプレイパネルのスイッチング素子を示す図である。

【図5】MOSFETとIGBTの導通時の電流 - 電圧特性を温度別（25、125）に示す図である。

【図6A】25である場合のIGBTのV_{ce}電圧とI_c電流との関係を示す図である。

【図6B】125である場合のIGBTのV_{ce}電圧とI_c電流との関係を示す図である。

【図7】本発明の第2の参考例によるプラズマディスプレイパネルのスイッチング素子を示した図である。

【図8A】IGBT素子のみをスイッチング素子として用いた場合の導通時の電圧（V_{ce}）と電流（I_c）との関係を示す図である。

【図8B】並列に連結されたMOSFET素子とIGBT素子がスイッチング素子として用いた場合の導通時の電圧（V_{ce}）と電流（I_c）との関係を示す図面ある。

【図9】本発明の一実施の形態によるプラズマディスプレイパネルのスイッチング素子を示す図である。

【図10】本発明の第1の参考例によるプラズマディスプレイパネルのスイッチング素子のように、IGBT素子を並列に連結した場合のスイッチング素子を駆動するための回路の省略を示す図である。

【図11A】本発明の第1の参考例と同一のスイッチング素子が適用されたプラズマディスプレイパネルの駆動装置を示す図である。

【図11B】本発明の第2の参考例と同一のスイッチング素子が適用されたプラズマディスプレイパネルの駆動装置を示す図である。

【符号の説明】

【0051】

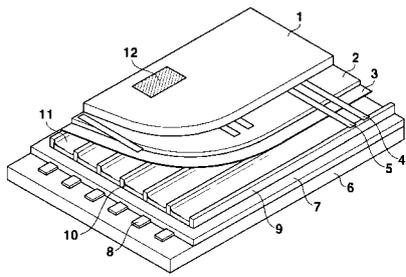
- 1、6 ガラス基板、
- 2 誘電体層、
- 3 保護膜、
- 4 走査電極、
- 5 維持電極、
- 7 絶縁体層、
- 8 アドレス電極、
- 9 隔壁、
- 10 蛍光体、
- 11 放電空間、
- 12 放電セル。

10

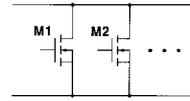
20

30

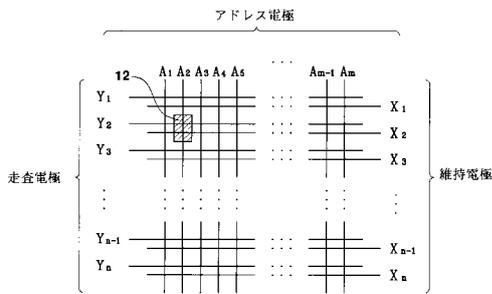
【図1】



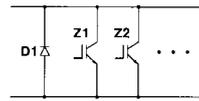
【図3】



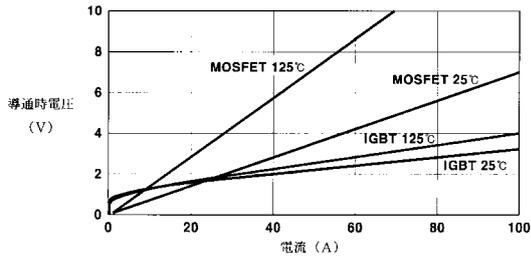
【図2】



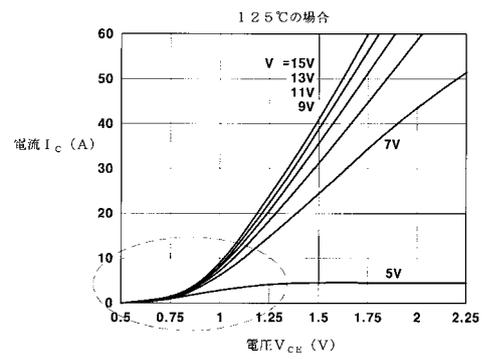
【図4】



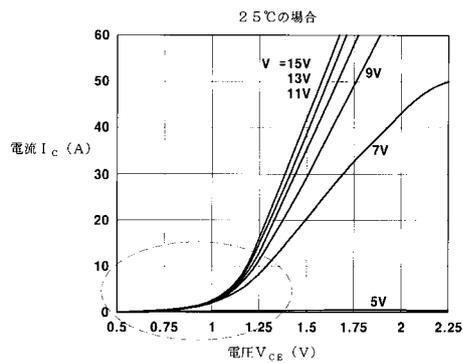
【図5】



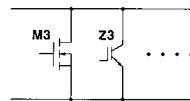
【図6 B】



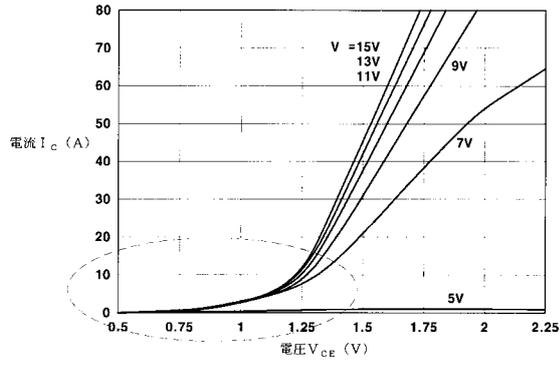
【図6 A】



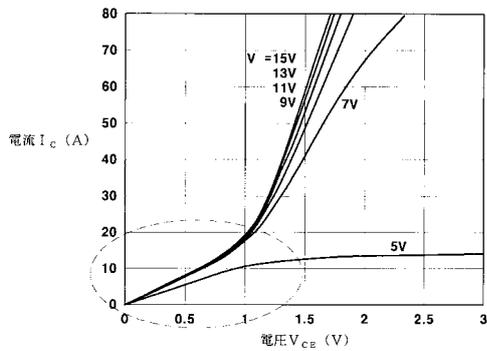
【図7】



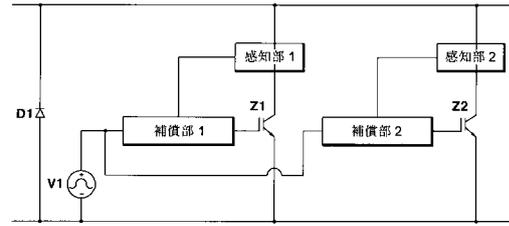
【図 8 A】



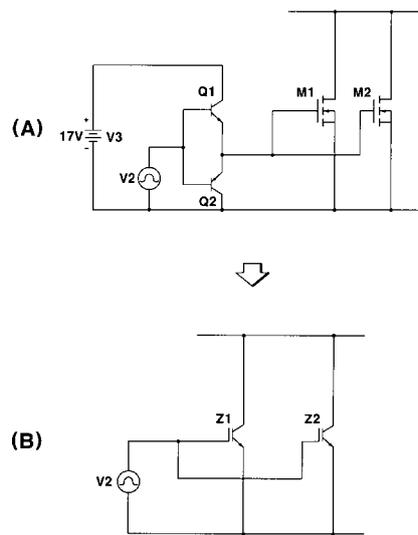
【図 8 B】



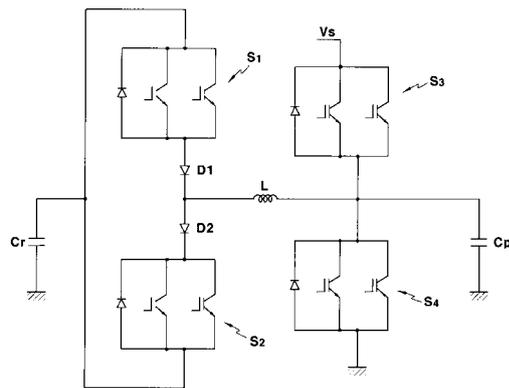
【図 9】



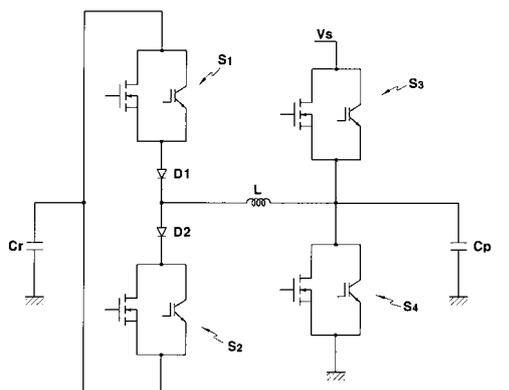
【図 10】



【図 11 A】



【図 11 B】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/66 1 0 1 B

(72)発明者 李 東 映
大韓民国京畿道水原市靈通区 しん 洞 5 7 5 番地

審査官 佐野 潤一

(56)参考文献 特開2000-330514(JP,A)
特開2003-228318(JP,A)
特開平07-302898(JP,A)
特開平07-046822(JP,A)
特開平05-090933(JP,A)
特開平08-274428(JP,A)
特開平09-130217(JP,A)
特開平10-080152(JP,A)
特開2000-350475(JP,A)
特開2002-016253(JP,A)
特開2002-016486(JP,A)
特開2002-017080(JP,A)
特開2002-369498(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 8
G 0 9 G 3 / 2 0