



(12) 发明专利申请

(10) 申请公布号 CN 114255701 A

(43) 申请公布日 2022.03.29

(21) 申请号 202011452344.8

(22) 申请日 2020.12.10

(66) 本国优先权数据

202011028890.9 2020.09.25 CN

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 成都京东方光电科技有限公司

(72) 发明人 徐映嵩

(74) 专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 许静 张博

(51) Int.Cl.

G09G 3/3225 (2016.01)

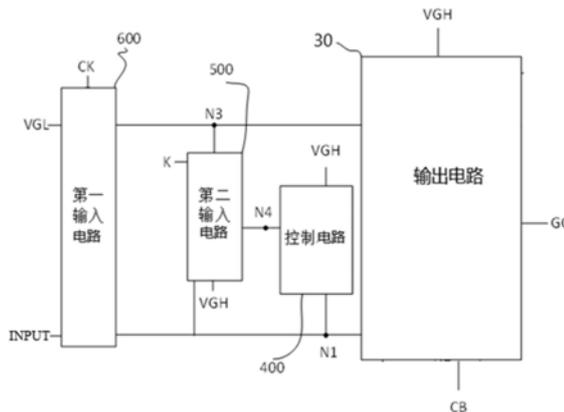
权利要求书4页 说明书21页 附图17页

(54) 发明名称

移位寄存器单元及驱动方法、驱动电路和显示装置

(57) 摘要

本发明提出一种移位寄存器单元及驱动方法、驱动电路及装置。移位寄存器单元包括第一输入电路、第二输入电路、控制电路和输出电路；第一输入电路在第二时钟信号的控制下，向第一节点提供输入信号，向第三节点提供第二电压信号；第二输入电路在所述第一节点的电位和输入控制信号的控制下，向第三节点输出第一电压信号并控制所述第四节点的电位；控制电路在第四节点的电位的控制下，向第一节点提供第一电压信号。本发明提供特定像素工作的波形。



1. 一种移位寄存器单元,其特征在于,包括第一输入电路、第二输入电路、控制电路和输出电路,其中,

所述第一输入电路分别与输入端、第二电压端、第二时钟信号端、第一节点和第三节点连接,配置为在第二时钟信号端提供的第二时钟信号的控制下,向第一节点提供输入信号,向第三节点提供第二电压信号;所述输入端用于提供所述输入信号,所述第二电压端用于提供所述第二电压信号;

所述第二输入电路分别与输入控制端、所述第一节点、所述第三节点、第四节点和第一电压端连接,配置为在所述第一节点的电位和所述输入控制端提供的输入控制信号的控制下,向所述第三节点输出第一电压信号并控制所述第四节点的电位;所述输入控制端为第一时钟信号端或第三时钟信号端,所述输入控制信号为所述第一时钟信号端提供的第一时钟信号或所述第三时钟信号端提供的时钟信号;

所述控制电路分别与所述第一节点、所述第四节点和所述第一电压端连接,配置为在所述第四节点的电位的控制下,向所述第一节点提供第一电压信号;所述第一电压端用于提供第一电压信号;

所述输出电路分别与第三节点、第一节点、第一电压端、第一时钟信号端和输出端电连接,配置为根据第三节点的电位、所述第一节点的电位、第一电压信号和第一时钟信号,控制所述输出端输出的信号。

2. 如权利要求1所述的移位寄存器单元,其特征在于,所述第二输入电路包括第一晶体管、第二晶体管和第一电容,其中,所述输入控制端为第一时钟信号端;

所述第一晶体管的控制极与所述第一时钟信号端电连接,所述第一晶体管的第一极与所述第四节点电连接,所述第一晶体管的第二极与所述第三节点电连接;

所述第二晶体管的控制极与所述第一节点电连接,所述第二晶体管的第二极与所述第四节点电连接,所述第二晶体管的第一极与所述第一电压端电连接;

所述第一电容的第一端与所述第一时钟信号端电连接,所述第一电容的第二端与所述第四节点电连接。

3. 如权利要求1所述的移位寄存器单元,其特征在于,所述第二输入电路包括第一晶体管、第二晶体管和第一电容,其中,所述输入控制端为第三时钟信号端;

所述第一晶体管的控制极与所述第三时钟信号端电连接,所述第一晶体管的第一极与所述第四节点电连接,所述第一晶体管的第二极与所述第三节点电连接;

所述第二晶体管的控制极与所述第一节点电连接,所述第二晶体管的第二极与所述第四节点电连接,所述第二晶体管的第一极与所述第一电压端电连接;

所述第一电容的第一端与所述第三时钟信号端电连接,所述第一电容的第二端与所述第四节点电连接。

4. 如权利要求1所述的移位寄存器单元,其特征在于,所述第二输入电路包括第一晶体管、第二晶体管和第一电容,其中,

所述第一晶体管的控制极与所述输入控制端电连接,所述第一晶体管的第一极与所述第四节点电连接,所述第一晶体管的第二极与所述第三节点电连接;

所述第二晶体管的控制极与所述第一节点电连接,所述第二晶体管的第二极与所述第四节点电连接,所述第二晶体管的第一极与第一电压端电连接;

所述第一电容的第一端与直流电压端或输入端电连接,所述第一电容的第二端与所述第四节点电连接。

5.如权利要求1至4中任一权利要求所述的移位寄存器单元,其特征在于,所述控制电路包括第七晶体管,

所述第七晶体管的控制极与所述第四节点电连接,所述第七晶体管的第一极与所述第一电压端电连接,所述第七晶体管的第二极与所述第一节点连接。

6.如权利要求5所述的移位寄存器单元,其特征在于,所述控制电路还包括第四电容,所述第四电容的第一端与所述第一电压端电连接,所述第四电容的第二端与所述第一节点电连接。

7.如权利要求1至4中任一权利要求所述的移位寄存器单元,其特征在于,所述第一输入电路包括第三晶体管和第四晶体管,

所述第三晶体管的控制极与所述第二时钟信号端电连接,所述第三晶体管的第一极与所述第二电压端电连接,所述第三晶体管的第二极与所述第三节点电连接;

所述第四晶体管的控制极与所述第二时钟信号端电连接,所述第四晶体管的第二极与所述第一节点电连接,所述第四晶体管的第一极与所述输入端电连接。

8.如权利要求1至4中任一权利要求所述的移位寄存器单元,其特征在于,所述输出电路包括稳压子电路和输出子电路,其中,

所述稳压子电路分别与第三节点、所述输出端和第一节点电连接,配置为维持所述第三节点的电位,并根据所述输出端输出的信号,控制所述第一节点的电位;

所述输出子电路分别与第三节点、第一节点、第一电压端、第一时钟信号端和所述输出端电连接,配置为在所述第三节点的电位的控制下,控制向所述输出端提供第一电压信号,在所述第一节点的电位的控制下,控制向所述输出端提供第一时钟信号。

9.如权利要求8所述的移位寄存器单元,其特征在于,所述稳压子电路包括第二电容和第三电容,

所述第二电容的第一端与所述第一节点连接,所述第二电容的第二端与所述输出端连接;

所述第三电容的第一端与所述第三节点连接,所述第三电容的第二端与所述第一电压端连接;

所述输出子电路包括第五晶体管和第六晶体管,

所述第五晶体管的控制极与所述第三节点电连接,所述第五晶体管的第一极与所述第一电压端电连接,所述第五晶体管的第二极与所述输出端电连接;

所述第六晶体管的控制极与所述第一节点电连接,所述第六晶体管的第一极与所述第一时钟信号端电连接,所述第六晶体管的第二极与所述输出端电连接。

10.如权利要求1至4中任一权利要求所述的移位寄存器单元,其特征在于,所述输出电路包括稳压子电路和输出子电路,其中,

所述稳压子电路分别与第三节点、所述输出端、第一节点、第二节点和控制电压端电连接,配置为维持所述第三节点的电位,在所述控制电压端提供的控制电压信号的控制下,控制所述第一节点与所述第二节点之间连通或断开,并根据所述输出端输出的信号,控制所述第二节点的电位;

所述输出子电路分别与第三节点、第二节点、第一电压端、第一时钟信号端和所述输出端电连接,配置为在所述第三节点的电位的控制下,控制向所述输出端提供第一电压信号,在所述第二节点的电位的控制下,控制向所述输出端提供第一时钟信号。

11.如权利要求10所述的移位寄存器单元,其特征在于,所述稳压子电路包括第八晶体管、第二电容和第三电容,其中,

所述第八晶体管的控制极与所述控制电压端电连接,所述第八晶体管的第一极与所述第一节点电连接,所述第八晶体管的第二极与所述第二节点电连接;

所述第二电容的第一端与所述第二节点连接,所述第二电容的第二端与所述输出端连接;

所述第三电容的第一端与所述第三节点连接,所述第三电容的第二端与所述第一电压端连接;

所述输出子电路包括第五晶体管和第六晶体管,

所述第五晶体管的控制极与所述第三节点电连接,所述第五晶体管的第一极与所述第一电压端电连接,所述第五晶体管的第二极与所述输出端电连接;

所述第六晶体管的控制极与所述第二节点电连接,所述第六晶体管的第一极与所述第一时钟信号端电连接,所述第六晶体管的第二极与所述输出端电连接;

所述控制电压端为第二电压端或第二时钟信号端。

12.如权利要求11所述的移位寄存器单元,其特征在于,所述第八晶体管为双栅晶体管。

13.如权利要求11所述的移位寄存器单元,其特征在于,所述输出子电路还包括第五电容;

所述第五电容的第一端与所述第二节点电连接,所述第五电容的第二端与直流电压端电连接。

14.一种驱动电路,其特征在于,包括多个级连的如权利要求1至13中任意一项所述移位寄存器单元,

第一级移位寄存器单元的输入端与起始信号端连接,第 $i+1$ 级移位寄存器单元的输入端与第 i 级移位寄存器单元的输出端连接,奇数级移位寄存器单元的第一时钟信号端、第二时钟信号端均分别与第一时钟信号线、第二时钟信号线连接,偶数级移位寄存器单元的第一时钟信号端、第二时钟信号端均分别与第二时钟信号线、第一时钟信号线连接,其中, $i+1$ 为大于或等于2的正整数。

15.如权利要求14所述的驱动电路,其特征在于,

奇数级移位寄存器单元的第三时钟信号端与第四时钟信号线连接,偶数级移位寄存器单元的第三时钟信号端与第三时钟信号线连接。

16.如权利要求15所述的驱动电路,其特征在于,第一时钟信号线提供的时钟信号的相位与所述第二时钟信号线提供的时钟信号的相位之间的相位差为90度;

所述第三时钟信号线提供的时钟信号与第一时钟信号线提供的时钟信号反相,所述第四时钟信号线提供的时钟信号与第二时钟信号线提供的时钟信号反相。

17.一种移位寄存器单元的驱动方法,其特征在于,应用于权利要求1至13中任意一项所述的移位寄存器单元中,所述移位寄存器单元的驱动方法包括:

在第一阶段,第一输入电路在第二时钟信号的控制下,向所述第一节点提供输入信号,向所述第三节点提供所述第二电压信号,输出电路在第三节点的电位的控制下,向输出端提供第一电压信号;

在第二阶段,输出电路维持第三节点的电位;第二输入电路在输入控制信号的控制下,控制第四节点与第三节点之间连通,以使得所述第四节点的电位为第二电压信号,控制电路在所述第四节点的电位的控制下,向所述第一节点提供所述第一电压信号;输出电路在第三节点的电位的控制下,向输出端提供第一电压信号;

在第三阶段,第一输入电路在第二时钟信号的控制下,向所述第一节点提供输入信号,第一输入电路在第二时钟信号的控制下,向所述第三节点提供第二电压信号,所述输出电路在第三节点的电位的控制下,向输出端提供第一电压信号,所述输出电路在所述第一节点的电位的控制下,向所述输出端提供第一时钟信号;

在第四阶段,第二输入电路在第一节点的电位和输入控制信号的控制下,控制将第一电压信号写入第三节点,第一节点的电位为第二电压,所述输出电路向所述输出端提供第一时钟信号;

在第五阶段,第二输入电路在第一节点的电位和输入控制信号的控制下,控制将第一电压信号写入第三节点,第一节点的电位为第二电压,所述输出电路向所述输出端提供第一时钟信号;

在第六阶段,第一输入电路在第二时钟信号的控制下,向所述第一节点提供输入信号,第一输入电路在第二时钟信号的控制下,向所述第三节点提供第二电压信号;所述输出电路在所述第三节点的电位的控制下,向所述输出端提供第一电压信号。

18. 一种显示装置,其特征在于,包括如权利要求14至16中任意一项所述的驱动电路。

移位寄存器单元及驱动方法、驱动电路和显示装置

[0001] 本申请要求于2019年9月25日提交的中国专利申请第202011028890.9的优先权。

技术领域

[0002] 本发明涉及显示技术领域,具体涉及一种移位寄存器单元及驱动方法、驱动电路和显示装置。

背景技术

[0003] 近年来,得益于AMOLED(Active-matrix organic light-emitting diode,有源矩阵有机发光二极管)显示器的优异显示效果,国内外AMOLED产业发展迅速,各种像素电路相继被开发出来。为了提高屏幕的竞争力,降低屏幕的边框以及价格,提出在边框中利用Array(阵列)工艺制备移位寄存器以替代Gate IC(栅极驱动集成电路),在兼具价格优势和边框优势的同时,能够根据IC(Integrated Circuit,集成电路)提供的输入信号提供多种波形,GOA(Gate Driver On Array,设置于阵列基板上的栅极驱动电路)设计随后已近广泛应用于显示装置之中,但GOA需要着重考虑可靠性问题,故基于早期的4T1C结构提出更多TFT(薄膜晶体管)和更多电容的设计方案,其主要设计方向从最早期的功能实现向高信赖性、可靠性方向发展。

发明内容

[0004] 为了降低Gate IC的设计成本以及窄边框设计,本公开实施例提出可以利用BP(背板)Array工艺制作的移位寄存器单元,以提供特定像素工作的波形。

[0005] 为了解决上述技术问题,本公开实施例提供一种移位寄存器单元,包括第一输入电路、第二输入电路、控制电路和输出电路,其中,

[0006] 所述第一输入电路分别与输入端、第二电压端、第二时钟信号端、第一节点和第三节点连接,配置为在第二时钟信号端提供的第二时钟信号的控制下,向第一节点提供输入信号,向第三节点提供第二电压信号;所述输入端用于提供所述输入信号,所述第二电压端用于提供所述第二电压信号;

[0007] 所述第二输入电路分别与输入控制端、所述第一节点、所述第三节点、第四节点和第一电压端连接,配置为在所述第一节点的电位和所述输入控制端提供的输入控制信号的控制下,向所述第三节点输出第一电压信号并控制所述第四节点的电位;所述输入控制端为第一时钟信号端或第三时钟信号端,所述输入控制信号为所述第一时钟信号端提供的第一时钟信号或所述第三时钟信号端提供的时钟信号;

[0008] 所述控制电路分别与所述第一节点、所述第四节点和所述第一电压端连接,配置为在所述第四节点的电位的控制下,向所述第一节点提供第一电压信号;所述第一电压端用于提供第一电压信号;

[0009] 所述输出电路分别与第三节点、第一节点、第一电压端、第一时钟信号端和输出端电连接,配置为根据第三节点的电位、所述第一节点的电位、第一电压信号和第一时钟信

号,控制所述输出端输出的信号。

[0010] 可选的,所述第二输入电路包括第一晶体管、第二晶体管和第一电容,其中,所述输入控制端为第一时钟信号端;

[0011] 所述第一晶体管的控制极与所述第一时钟信号端电连接,所述第一晶体管的第一极与所述第四节点电连接,所述第一晶体管的第二极与所述第三节点电连接;

[0012] 所述第二晶体管的控制极与所述第一节点电连接,所述第二晶体管的第二极与所述第四节点电连接,所述第二晶体管的第一极与所述第一电压端电连接;

[0013] 所述第一电容的第一端与所述第一时钟信号端电连接,所述第一电容的第二端与所述第四节点电连接。

[0014] 可选的,所述第二输入电路包括第一晶体管、第二晶体管和第一电容,其中,所述输入控制端为第三时钟信号端;

[0015] 所述第一晶体管的控制极与所述第三时钟信号端电连接,所述第一晶体管的第一极与所述第四节点电连接,所述第一晶体管的第二极与所述第三节点电连接;

[0016] 所述第二晶体管的控制极与所述第一节点电连接,所述第二晶体管的第二极与所述第四节点电连接,所述第二晶体管的第一极与所述第一电压端电连接;

[0017] 所述第一电容的第一端与所述第三时钟信号端电连接,所述第一电容的第二端与所述第四节点电连接。

[0018] 可选的,所述第二输入电路包括第一晶体管、第二晶体管和第一电容,其中,

[0019] 所述第一晶体管的控制极与所述输入控制端电连接,所述第一晶体管的第一极与所述第四节点电连接,所述第一晶体管的第二极与所述第三节点电连接;

[0020] 所述第二晶体管的控制极与所述第一节点电连接,所述第二晶体管的第二极与所述第四节点电连接,所述第二晶体管的第一极与第一电压端电连接;

[0021] 所述第一电容的第一端与直流电压端或输入端电连接,所述第一电容的第二端与所述第四节点电连接。

[0022] 可选的,所述控制电路包括第七晶体管,

[0023] 所述第七晶体管的控制极与所述第四节点电连接,所述第七晶体管的第一极与所述第一电压端电连接,所述第七晶体管的第二极与所述第一节点电连接。

[0024] 可选的,所述控制电路还包括第四电容,

[0025] 所述第四电容的第一端与所述第一电压端电连接,所述第四电容的第二端与所述第一节点电连接。

[0026] 可选的,所述第一输入电路包括第三晶体管和第四晶体管,

[0027] 所述第三晶体管的控制极与所述第二时钟信号端电连接,所述第三晶体管的第一极与所述第二电压端电连接,所述第三晶体管的第二极与所述第三节点电连接;

[0028] 所述第四晶体管的控制极与所述第二时钟信号端电连接,所述第四晶体管的第二极与所述第一节点电连接,所述第四晶体管的第一极与所述输入端电连接。

[0029] 可选的,所述输出电路包括稳压子电路和输出子电路,其中,

[0030] 所述稳压子电路分别与第三节点、所述输出端和第一节点电连接,配置为维持所述第三节点的电位,并根据所述输出端输出的信号,控制所述第一节点的电位;

[0031] 所述输出子电路分别与第三节点、第一节点、第一电压端、第一时钟信号端和所述

输出端电连接,配置为在所述第三节点的电位的控制下,控制向所述输出端提供第一电压信号,在所述第一节点的电位的控制下,控制向所述输出端提供第一时钟信号。

[0032] 可选的,所述稳压子电路包括第二电容和第三电容,

[0033] 所述第二电容的第一端与所述第一节点连接,所述第二电容的第二端与所述输出端连接;

[0034] 所述第三电容的第一端与所述第三节点连接,所述第三电容的第二端与所述第一电压端连接;

[0035] 所述输出子电路包括第五晶体管和第六晶体管,

[0036] 所述第五晶体管的控制极与所述第三节点电连接,所述第五晶体管的第一极与所述第一电压端电连接,所述第五晶体管的第二极与所述输出端电连接;

[0037] 所述第六晶体管的控制极与所述第一节点电连接,所述第六晶体管的第一极与所述第一时钟信号端电连接,所述第六晶体管的第二极与所述输出端电连接。

[0038] 可选的,所述输出电路包括稳压子电路和输出子电路,其中,

[0039] 所述稳压子电路分别与第三节点、所述输出端、第一节点、第二节点和控制电压端电连接,配置为维持所述第三节点的电位,在所述控制电压端提供的控制电压信号的控制下,控制所述第一节点与所述第二节点之间连通或断开,并根据所述输出端输出的信号,控制所述第二节点的电位;

[0040] 所述输出子电路分别与第三节点、第二节点、第一电压端、第一时钟信号端和所述输出端电连接,配置为在所述第三节点的电位的控制下,控制向所述输出端提供第一电压信号,在所述第二节点的电位的控制下,控制向所述输出端提供第一时钟信号。

[0041] 可选的,所述稳压子电路包括第八晶体管、第二电容和第三电容,其中,

[0042] 所述第八晶体管的控制极与所述控制电压端电连接,所述第八晶体管的第一极与所述第一节点电连接,所述第八晶体管的第二极与所述第二节点电连接;

[0043] 所述第二电容的第一端与所述第二节点连接,所述第二电容的第二端与所述输出端连接;

[0044] 所述第三电容的第一端与所述第三节点连接,所述第三电容的第二端与所述第一电压端连接;

[0045] 所述输出子电路包括第五晶体管和第六晶体管,

[0046] 所述第五晶体管的控制极与所述第三节点电连接,所述第五晶体管的第一极与所述第一电压端电连接,所述第五晶体管的第二极与所述输出端电连接;

[0047] 所述第六晶体管的控制极与所述第二节点电连接,所述第六晶体管的第一极与所述第一时钟信号端电连接,所述第六晶体管的第二极与所述输出端电连接;

[0048] 所述控制电压端为第二电压端或第二时钟信号端。

[0049] 可选的,所述第八晶体管为双栅晶体管。

[0050] 可选的,所述输出子电路还包括第五电容;

[0051] 所述第五电容的第一端与所述第二节点电连接,所述第五电容的第二端与直流电压端电连接。

[0052] 本发明还提供了一种驱动电路,包括多个级连的上述移位寄存器单元,

[0053] 第一级移位寄存器单元的输入端与起始信号端连接,第 $i+1$ 级移位寄存器单元的

输入端与第*i*级移位寄存器单元的输出端连接,奇数级移位寄存器单元的第一时钟信号端、第二时钟信号端均分别与第一时钟信号线、第二时钟信号线连接,偶数级移位寄存器单元的第一时钟信号端、第二时钟信号端均分别与第二时钟信号线、第一时钟信号线连接,其中,*i*+1为大于或等于2的正整数。

[0054] 可选的,奇数级移位寄存器单元的第三时钟信号端与第四时钟信号线连接,偶数级移位寄存器单元的第三时钟信号端与第三时钟信号线连接。

[0055] 可选的,第一时钟信号线提供的时钟信号的相位与所述第二时钟信号线提供的时钟信号的相位之间的相位差为90度;

[0056] 所述第三时钟信号线提供的时钟信号与第一时钟信号线提供的时钟信号反相,所述第四时钟信号线提供的时钟信号与第二时钟信号线提供的时钟信号反相。

[0057] 本发明还提供了一种移位寄存器单元的驱动方法,应用于上述的移位寄存器单元中,所述移位寄存器单元的驱动方法包括:

[0058] 在第一阶段,第一输入电路在第二时钟信号的控制下,向所述第一节点提供输入信号,向所述第三节点提供所述第二电压信号,输出电路在第三节点的电位的控制下,向输出端提供第一电压信号;

[0059] 在第二阶段,输出电路维持第三节点的电位;第二输入电路在输入控制信号的控制下,控制第四节点与第三节点之间连通,以使得所述第四节点的电位为第二电压信号,控制电路在所述第四节点的电位的控制下,向所述第一节点提供所述第一电压信号;输出电路在第三节点的电位的控制下,向输出端提供第一电压信号;

[0060] 在第三阶段,第一输入电路在第二时钟信号的控制下,向所述第一节点提供输入信号,第一输入电路在第二时钟信号的控制下,向所述第三节点提供第二电压信号,所述输出电路在第三节点的电位的控制下,向输出端提供第一电压信号,所述输出电路在所述第一节点的电位的控制下,向所述输出端提供第一时钟信号;

[0061] 在第四阶段,第二输入电路在第一节点的电位和输入控制信号的控制下,控制将第一电压信号写入第三节点,第一节点的电位为第二电压,所述输出电路向所述输出端提供第一时钟信号;

[0062] 在第五阶段,第二输入电路在第一节点的电位和输入控制信号的控制下,控制将第一电压信号写入第三节点,第一节点的电位为第二电压,所述输出电路向所述输出端提供第一时钟信号;

[0063] 在第六阶段,第一输入电路在第二时钟信号的控制下,向所述第一节点提供输入信号,第一输入电路在第二时钟信号的控制下,向所述第三节点提供第二电压信号;所述输出电路在所述第三节点的电位的控制下,向所述输出端提供第一电压信号。

[0064] 本发明还提供了一种显示装置,包括上述的驱动电路。

[0065] 本公开的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本公开而了解。本公开的目的和其他优点可通过在说明书以及附图中所特别指出的结构来实现和获得。

附图说明

[0066] 附图用来提供对本公开技术方案的理解,并且构成说明书的一部分,与本公开的

实施例一起用于解释本公开的技术方案,并不构成对本公开技术方案的限制。

- [0067] 图1为本公开一个示例性实施例中移位寄存器单元的示意图;
- [0068] 图2为本公开至少一实施例所述的移位寄存器单元的示意图;
- [0069] 图3为本公开至少一实施例所述的移位寄存器单元的示意图;
- [0070] 图4a为本公开实施例一移位寄存器单元的等效原理图;
- [0071] 图4b为所述移位寄存器单元的时序示意图;
- [0072] 图5为本公开实施例一所述的移位寄存器单元在第一阶段的状态示意图;
- [0073] 图6为本公开实施例一所述的移位寄存器单元在第一阶段的时序示意图;
- [0074] 图7为本公开实施例一所述的移位寄存器单元在第二阶段的状态示意图;
- [0075] 图8为本公开实施例一所述的移位寄存器单元在第二阶段的时序示意图;
- [0076] 图9为本公开实施例一所述的移位寄存器单元在第三阶段的状态示意图;
- [0077] 图10为本公开实施例一所述的移位寄存器单元在第三阶段的时序示意图;
- [0078] 图11为本公开实施例一所述的移位寄存器单元在第四阶段的状态示意图;
- [0079] 图12为本公开实施例一所述的移位寄存器单元在第四阶段的时序示意图;
- [0080] 图13为本公开实施例一所述的移位寄存器单元在第五阶段的状态示意图;
- [0081] 图14为本公开实施例一所述的移位寄存器单元在第五阶段的时序示意图;
- [0082] 图15为本公开实施例一所述的移位寄存器单元在第六阶段的状态示意图;
- [0083] 图16为本公开实施例一所述的移位寄存器单元在第六阶段的时序示意图;
- [0084] 图17为本公开实施例一所述的移位寄存器单元在第七阶段的状态示意图;
- [0085] 图18为本公开实施例一所述的移位寄存器单元在第七阶段的时序示意图;
- [0086] 图19为本公开实施例二所述的移位寄存器单元的等效原理图;
- [0087] 图20所示为本公开实施例二所述的移位寄存器单元的时序示意图;
- [0088] 图21为本公开实施例三所述的移位寄存器单元的等效原理图;
- [0089] 图22为本公开实施例四所述的移位寄存器单元的等效原理图;
- [0090] 图23为本公开实施例五所述的移位寄存器单元的等效原理图;
- [0091] 图24为本公开实施例六所述的移位寄存器单元的等效原理图;
- [0092] 图25为本公开实施例七所述的移位寄存器单元的等效原理图;
- [0093] 图26为本公开实施例七所述的移位寄存器单元的工作时序图;
- [0094] 图27是本公开实施例八所述的移位寄存器单元的等效原理图;
- [0095] 图28为本公开实施例所述的驱动电路的示意图;
- [0096] 图29为本公开另一实施例所述的驱动电路的示意图;
- [0097] 图30为本公开实施例所述的显示装置的示意图。

具体实施方式

[0098] 本申请描述了多个实施例,但是该描述是示例性的,而不是限制性的,并且对于本领域的普通技术人员来说显而易见的是,在本申请所描述的实施例包含的范围内可以有更多的实施例和实现方案。尽管在附图中示出了许多可能的特征组合,并在具体实施方式中进行了讨论,但是所公开的特征的许多其它组合方式也是可能的。除非特意加以限制的情况以外,任何实施例的任何特征或元件可以与任何其它实施例中的任何其他特征或元件结

合使用,或可以替代任何其它实施例中的任何其他特征或元件。

[0099] 本申请包括并设想了与本领域普通技术人员已知的特征和元件的组合。本申请已经公开的实施例、特征和元件也可以与任何常规特征或元件组合,以形成由权利要求限定的独特的发明方案。任何实施例的任何特征或元件也可以与来自其它发明方案的特征或元件组合,以形成另一个由权利要求限定的独特的发明方案。因此,应当理解,在本申请中示出和/或讨论的任何特征可以单独地或以任何适当的组合来实现。因此,除了根据所附权利要求及其等同替换所做的限制以外,实施例不受其它限制。此外,可以在所附权利要求的保护范围内进行各种修改和改变。

[0100] 此外,在描述具有代表性的实施例时,说明书可能已经将方法和/或过程呈现为特定的步骤序列。然而,在该方法或过程不依赖于本文所述步骤的特定顺序的程度上,该方法或过程不应限于所述的特定顺序的步骤。如本领域普通技术人员将理解的,其它的步骤顺序也是可能的。因此,说明书中阐述的步骤的特定顺序不应被解释为对权利要求的限制。此外,针对该方法和/或过程的权利要求不应限于按照所写顺序执行它们的步骤,本领域技术人员可以容易地理解,这些顺序可以变化,并且仍然保持在本申请实施例的精神和范围内。

[0101] 除非另外定义,本公开实施例公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开实施例中使用的“第一”、“第二”、“第三”等序数词并不表示任何顺序、数量或者重要性,是为了避免构成要素的混同而设置,而不是为了在数量方面上进行限定。以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。

[0102] 本领域技术人员可以理解,本公开所有实施例中采用的晶体管可以为薄膜晶体管或场效应管或其他特性相同的器件。薄膜晶体管可以是氧化物半导体薄膜晶体管晶体管、低温多晶硅薄膜晶体管、非晶硅薄膜晶体管或微晶硅薄膜晶体管。薄膜晶体管具体可以选择底栅结构的薄膜晶体管或者顶栅结构的薄膜晶体管,只要能够实现开关功能即可。由于这里采用的晶体管的源极、漏极是对称的,所以其源极、漏极可以互换。在本申请实施例中,将晶体管的栅电极称为控制极,为区分晶体管除栅电极之外的两极,将其中一极称为第一极,另一极称为第二极,第一极可以为源电极或者漏电极,第二极可以为漏电极或源电极。

[0103] 本公开实施例提供了一种移位寄存器单元。该移位寄存器单元,包括第一输入电路、第二输入电路、控制电路和输出电路;

[0104] 所述第一输入电路,分别与输入端、第二电压端、第二时钟信号端、第一节点和第三节点连接,配置为在第二时钟信号端提供的第二时钟信号的控制下,向第一节点提供输入信号,向第三节点提供第二电压信号;所述输入端用于提供所述输入信号,所述第二电压端用于提供所述第二电压信号;

[0105] 所述第二输入电路,分别与输入控制端、第一节点、第三节点、第四节点和第一电压端连接,配置为在所述第一节点的电位和所述输入控制端提供的输入控制信号的控制下,向第三节点输出第一电压信号并控制所述第四节点的电位;所述输入控制端为第一时钟信号端或第三时钟信号端,所述输入控制信号为所述第一时钟信号端提供的第一时钟信

号或所述第三时钟信号端提供的时钟信号;所述第一电压端用于提供第一电压信号;

[0106] 所述控制电路,分别与第一节点、第四节点和第一电压端连接,配置为根据第四节点的信号,向第一节点提供第一电压信号;

[0107] 所述输出电路,分别与第三节点、第一节点、第一电压端、第一时钟信号端和输出端电连接,配置为根据第三节点的电位、所述第一节点的电位、第一电压信号和第一时钟信号,控制所述输出端输出的信号。

[0108] 在本公开实施例中,所述第一电压端可以为高电压端,所述第二电压端可以为低电压端,但不以此为限。

[0109] 下面结合附图对本公开的技术方案进行详细说明。

[0110] 图1为本公开一个示例性实施例中移位寄存器单元的示意图。在一个示例性实施例中,如图1所示,移位寄存器单元可以包括第一输入电路600、第二输入电路500、控制电路400和输出电路30。

[0111] 第一输入电路600,分别与输入端INPUT、第二电压端VGL、第二时钟信号端CK、第一节点N1和第三节点N3连接,第一输入电路600配置为在第二时钟信号端CK提供的第二时钟信号的控制下,向第一节点N1提供输入信号,向第三节点N3提供第二电压信号;所述输入端INPUT用于提供所述输入信号,所述第二电压端VGL用于提供所述第二电压信号;

[0112] 第二输入电路500,分别与输入控制端K、第一节点N1、第三节点N3、第四节点N4和第一电压端VGH连接,配置为在所述第一节点N1的电位和所述输入控制端K提供的输入控制信号的控制下,向第三节点N3输出第一电压信号并控制所述第四节点N4的电位;所述第一电压端VGH用于提供第一电压信号;

[0113] 控制电路400,分别与第一节点N1、第四节点N4和第一电压端VGH连接,配置为在第四节点N4的电位的控制下,向第一节点N1提供第一电压信号;

[0114] 输出电路30,分别与第三节点N3、第一节点N1、第一电压端VGH、第一时钟信号端CB和输出端GO电连接,配置为根据第三节点N3的电位、第一节点N1的电位、第一电压信号和第一时钟信号,控制所述输出端GO输出的信号;所述第一时钟信号端CB用于提供第一时钟信号。

[0115] 在本公开实施例中,所述控制端可以为第一时钟信号端或第三时钟信号端,所述输入控制信号可以为所述第一时钟信号端提供的第一时钟信号或所述第三时钟信号端提供的时钟信号,但不以此为限。

[0116] 本申请文件中的晶体管可以为P型晶体管,控制端输出低电压信号时,晶体管处于导通状态,控制端输出高电压信号时,晶体管处于截至状态,但不以此为限。

[0117] 可选的,所述第二输入电路可以包括第一晶体管、第二晶体管和第一电容,其中,所述输入控制端为第一时钟信号端;

[0118] 所述第一晶体管的控制极与所述第一时钟信号端电连接,所述第一晶体管的第一极与所述第四节点电连接,所述第一晶体管的第二极与所述第三节点电连接;

[0119] 所述第二晶体管的控制极与所述第一节点电连接,所述第二晶体管的第二极与所述第四节点电连接,所述第二晶体管的第一极与所述第一电压端电连接;

[0120] 所述第一电容的第一端与所述第一时钟信号端电连接,所述第一电容的第二端与所述第四节点电连接。

[0121] 在具体实施时,所述第二输入电路可以包括由第一时钟信号控制的第一晶体管、由第一节点的电位控制的第二晶体管和根据第一时钟信号控制第四节点的电位的第一电容,在第一时钟信号的控制下,第一晶体管控制所述第四节点和所述第三节点之间连通或断开;在第一节点的电位的控制下,第二晶体管控制所述第四节点与所述第一电压端之间连通或断开;第一电容根据第一时钟信号控制第四节点的电位。

[0122] 可选的,所述第二输入电路包括第一晶体管、第二晶体管和第一电容,其中,所述输入控制端为第三时钟信号端;

[0123] 所述第一晶体管的控制极与所述第三时钟信号端电连接,所述第一晶体管的第一极与所述第四节点电连接,所述第一晶体管的第二极与所述第三节点电连接;

[0124] 所述第二晶体管的控制极与所述第一节点电连接,所述第二晶体管的第二极与所述第四节点电连接,所述第二晶体管的第一极与所述第一电压端电连接;

[0125] 所述第一电容的第一端与所述第三时钟信号端电连接,所述第一电容的第二端与所述第四节点电连接。

[0126] 在具体实施时,所述第二输入电路可以包括由第三时钟信号端控制的第一晶体管、由第一节点的电位控制的第二晶体管和根据第三时钟信号端控制第四节点的电位的第一电容,在第三时钟信号端提供的时钟信号的控制下,第一晶体管控制所述第四节点和所述第三节点之间连通或断开;在第一节点的电位的控制下,第二晶体管控制所述第四节点与所述第一电压端之间连通或断开;第一电容根据第三时钟信号端提供的时钟信号控制第四节点的电位。

[0127] 可选的,所述第二输入电路包括第一晶体管、第二晶体管和第一电容,其中,

[0128] 所述第一晶体管的控制极与所述输入控制端电连接,所述第一晶体管的第一极与所述第四节点电连接,所述第一晶体管的第二极与所述第三节点电连接;

[0129] 所述第二晶体管的控制极与所述第一节点电连接,所述第二晶体管的第二极与所述第四节点电连接,所述第二晶体管的第一极与第一电压端电连接;

[0130] 所述第一电容的第一端与直流电压端电连接,所述第一电容的第二端与所述第四节点电连接。

[0131] 在本公开实施例中,所述直流电压端可以为第一电压端或第二电压端,但不以此为限。

[0132] 在具体实施时,所述第一电容的第一端可以不与输入控制端电连接,也可以接入直流电压信号,同样可以实现稳定第四节点的电位的特性。

[0133] 可选的,所述第二输入电路包括第一晶体管、第二晶体管和第一电容,其中,

[0134] 所述第一晶体管的控制极与所述输入控制端电连接,所述第一晶体管的第一极与所述第四节点电连接,所述第一晶体管的第二极与所述第三节点电连接;

[0135] 所述第二晶体管的控制极与所述第一节点电连接,所述第二晶体管的第二极与所述第四节点电连接,所述第二晶体管的第一极与第一电压端电连接;

[0136] 所述第一电容的第一端与所述输入端电连接,所述第一电容的第二端与所述第四节点电连接。

[0137] 在具体实施时,所述第一电容的第一端也可以与输入端电连接,也可以稳定第四节点的电位。

[0138] 在本公开实施例中,所述第一电容也可以为控制电路包括的第七晶体管的控制极与第七晶体管的第一极之间的寄生电容,或者,所述第一电容也可以为控制电路包括的第一晶体管的控制极与所述第一晶体管的第一极之间的寄生电容;并第一电容的电容值远小于输出电路中的稳压子电路中的用于稳定第三节点N3的电位的第三电容的电容值,以降低耦合作用,降低输出电路中的输出子电路中的控制极与第三节点N3电连接的第五晶体管的应力问题。

[0139] 在本公开实施例中,所述控制电路可以包括第七晶体管,

[0140] 所述第七晶体管的控制极与所述第四节点电连接,所述第七晶体管的第一极与所述第一电压端电连接,所述第七晶体管的第二极与所述第一节点连接。

[0141] 在具体实施时,所述控制电路包括第七晶体管,第七晶体管在第四节点的电位的控制下,控制第一节点与第一电压端之间连通或断开。

[0142] 进一步的,所述控制电路还可以包括第四电容,

[0143] 所述第四电容的第一端与所述第一电压端电连接,所述第四电容的第二端与所述第一节点电连接,所述第四电容可以稳定第一节点的电位。

[0144] 可选的,所述第一输入电路可以包括第三晶体管和第四晶体管,

[0145] 所述第三晶体管的控制极与所述第二时钟信号端电连接,所述第三晶体管的第一极与所述第二电压端电连接,所述第三晶体管的第二极与所述第三节点电连接;

[0146] 所述第四晶体管的控制极与所述第二时钟信号端电连接,所述第四晶体管的第二极与所述第一节点电连接,所述第四晶体管的第一极与所述输入端电连接。

[0147] 根据一种具体实施方式,如图2所示,在图1所示的移位寄存器单元的实施例的基础上,所述输出电路可以包括稳压子电路200和输出子电路300,其中,

[0148] 所述稳压子电路200分别与第三节点N3、所述输出端G0和第一节点N1电连接,配置为维持所述第三节点N3的电位,并根据所述输出端G0输出的信号,控制所述第一节点N1的电位;

[0149] 所述输出子电路300分别与第三节点N3、第一节点N1、第一电压端VGH、第一时钟信号端CB和输出端G0电连接,配置为在所述第三节点N3的电位的控制下,控制向所述输出端G0提供第一电压信号,在所述第一节点N1的电位的控制下,控制向所述输出端G0提供第一时钟信号。

[0150] 如图2所示,所述稳压子电路200还可以与所述第一电压端VGH电连接。

[0151] 在图2所示的移位寄存器单元的实施例中,稳压子电路200维持N3的电位,并根据输出端G0输出的信号,控制N1的电位;输出子电路300在N3的控制下,向G0提供第一电压信号,并在N1的电位的控制下,控制向G0提供第一时钟信号。

[0152] 可选的,所述稳压子电路包括第二电容和第三电容,

[0153] 所述第二电容的第一端与所述第一节点连接,所述第二电容的第二端与所述输出端连接;

[0154] 所述第三电容的第一端与所述第三节点连接,所述第三电容的第二端与所述第一电压端连接;

[0155] 所述输出子电路包括第五晶体管和第六晶体管,

[0156] 所述第五晶体管的控制极与所述第三节点电连接,所述第五晶体管的第一极与所

述第一电压端电连接,所述第五晶体管的第二极与所述输出端电连接;

[0157] 所述第六晶体管的控制极与所述第一节点电连接,所述第六晶体管的第一极与所述第一时钟信号端电连接,所述第六晶体管的第二极与所述输出端电连接。

[0158] 根据另一种具体实施方式,如图3所示,在图1所示的移位寄存器单元的实施例的基础上,所述输出电路可以包括稳压子电路200和输出子电路300,其中,

[0159] 所述稳压子电路200分别与第三节点N3、所述输出端G0、第一节点N1、第二节点N2和控制电压端Vc电连接,配置为维持所述第三节点N3的电位,在所述控制电压端Vc提供的控制电压信号的控制下,控制所述第一节点N1与所述第二节点N2之间连通或断开,并根据所述输出端G0输出的信号,控制所述第二节点N2的电位;

[0160] 所述输出子电路300分别与第三节点N3、第二节点N2、第一电压端VGH、第一时钟信号端CB和所述输出端G0电连接,配置为在所述第三节点N3的电位的控制下,控制向所述输出端G0提供第一电压信号,在所述第二节点N2的电位的控制下,控制向所述输出端G0提供第一时钟信号。

[0161] 在图3所示的移位寄存器单元中,稳压子电路200维持N3的电位,稳压子电路200在控制电压信号的控制下,控制所述第一节点N1与所述第二节点N2之间连通或断开,并根据输出端G0输出的信号,控制N2的电位;所述输出子电路300在N3的控制下,向G0提供第一电压信号,并在N2的电位的控制下,控制向G0提供第一时钟信号。

[0162] 在图3所示的实施例中,增设了第二节点N2,以使得在N2的电位过低时,所述稳压子电路200在控制电压信号的控制下,控制所述第一节点N1与所述第二节点N2之间断开,从而避免N1的电位也过低,而使得源极或漏极与N1电连接的晶体管不会发生阈值电压漂移而导致电路不稳定。

[0163] 可选的,所述稳压子电路包括第八晶体管、第二电容和第三电容,其中,

[0164] 所述第八晶体管的控制极与所述控制电压端电连接,所述第八晶体管的第一极与所述第一节点电连接,所述第八晶体管的第二极与所述第二节点电连接;

[0165] 所述第二电容的第一端与所述第二节点连接,所述第二电容的第二端与所述输出端连接;

[0166] 所述第三电容的第一端与所述第三节点连接,所述第三电容的第二端与所述第一电压端连接;

[0167] 所述输出子电路包括第五晶体管和第六晶体管,

[0168] 所述第五晶体管的控制极与所述第三节点电连接,所述第五晶体管的第一极与所述第一电压端电连接,所述第五晶体管的第二极与所述输出端电连接;

[0169] 所述第六晶体管的控制极与所述第二节点电连接,所述第六晶体管的第一极与所述第一时钟信号端电连接,所述第六晶体管的第二极与所述输出端电连接;

[0170] 所述控制电压端为第二电压端或第二时钟信号端。

[0171] 在优选情况下,所述第八晶体管可以为双栅晶体管,可以降低N2的电位过低(例如,N2的电位在-15V至-10V),从而导致的T8发生DIBL(Drain Induced Barrier Lowering,由漏端引入的势垒降低)现象。

[0172] 可选的,所述输出子电路还可以包括第五电容;

[0173] 所述第五电容的第一端与所述第二节点电连接,所述第五电容的第二端与直流电

压端电连接。

[0174] 在具体实施时,所述输出子电路还可以包括第五电容,在输出端输出的信号由高电压信号跳变为低电压信号时,会由于第二电容和第五电容的分压降低第二节点的跳变电位(例如,由-15至-20V变为-10V至-15V或更高电位),从而降低第八晶体管由于DIBL而导致的阈值电压偏移,从而提升T8的稳定性。

[0175] 图4a为本公开实施例一所述的移位寄存器单元的等效原理图。

[0176] 第一输入电路600包括第三晶体管T3和第四晶体管T4,第三晶体管T3的栅极与第二时钟信号端CK连接,T3的漏极与第二电压端VGL连接,T3的源极与第三节点N3连接;第四晶体管T4的栅极与第二时钟信号端CK连接,T4的源极与第一节点N1连接,T4的漏极与输入端INPUT连接。当第二时钟信号端CK提供的第二时钟信号为低电压时,第三晶体管T3和第四晶体管T4处于导通状态,第二时钟信号端提供的第二时钟信号为高电压时,第三晶体管T3和第四晶体管T4处于截止状态。

[0177] 第二输入电路500包括第一晶体管T1、第二晶体管T2和第一电容C1,

[0178] 所述第一晶体管T1的栅极与第一时钟信号端CB连接,T1的漏极与第四节点N4连接,T1的源极与第三节点N3连接;

[0179] 所述第二晶体管T2的栅极与第一节点N1连接,T2的源极与第四节点N4连接,T2的漏极与第一电源端VGH连接;

[0180] 所述第一电容C1的第一端和第一时钟信号端CB连接,C1的第二端与第四节点N4连接;

[0181] 输出电路中的输出子电路300包括第五晶体管T5和第六晶体管T6,

[0182] 第五晶体管T5的栅极与第三节点N3连接,T5的漏第一极与第一电压端VGH连接,T5的源极与输出端G0连接;

[0183] 第六晶体管T6的栅极与第二节点N2连接,T6的漏极与第一时钟信号端CB连接,T6的源极与输出端G0连接;

[0184] 控制电路400包括第七晶体管T7;

[0185] 第七晶体管T7的栅极与第四节点N4连接,T7的漏极与第一电压端VGH连接,T7的源极与第一节点N1连接;

[0186] 输出电路中的稳压子电路200包括第八晶体管T8,第二电容C2和第三电容C3。

[0187] 第八晶体管T8的栅极与第二电压端VGL连接,T8的漏极与第一节点N1连接,T8的源极与第二节点N2连接;

[0188] 第二电容C2的第一端与第二节点N2连接,C2的第二端与输出端G0连接;

[0189] 第三电容C3的第一端与第三节点N3连接,C3的第二端与第一电压端VGH连接。

[0190] 在图4a所示的移位寄存器单元的实施例中,所有的晶体管可以都为p型薄膜晶体管,但不以此为限。

[0191] 在图4a所示的移位寄存器单元的实施例中,第一电压端可以为高电压端,第二电压端可以为低电压端,但不以此为限。

[0192] 本公开实施例还提供了一种如上所述移位寄存器单元的驱动方法,该驱动方法可以包括:

[0193] 在第一阶段,第一输入电路在第二时钟信号的控制下,向所述第一节点提供输入

信号,向所述第三节点提供所述第二电压信号,所述输出端输出第一电压信号;

[0194] 在第二阶段,输出电路维持第三节点的电位;第二输入电路在输入控制信号的控制下,控制第四节点与第三节点之间连通,以使得所述第四节点的电位为第二电压信号,控制电路在所述第四节点的电位的控制下,向所述第一节点提供所述第一电压信号;输出电路在第三节点的电位的控制下,向输出端提供第一电压信号;

[0195] 在第三阶段,第一输入电路在第二时钟信号的控制下,向所述第一节点提供输入端的信号,第一输入电路在第二时钟信号的控制下,向所述第三节点提供第二电压信号,所述输出电路在第三节点的电位的控制下,向输出端提供第一电压信号,所述输出电路在所述第一节点的电位的控制下,向所述输出端提供第一时钟信号;

[0196] 在第四阶段,第二输入电路在第一节点的电位和输入控制信号的控制下,控制将第一电压信号写入第三节点,第一节点的电位为第二电压,所述输出电路向所述输出端提供第一时钟信号;

[0197] 在第五阶段,第二输入电路在第一节点的电位和输入控制信号的控制下,控制将第一电压信号写入第三节点,第一节点的电位为第二电压,所述输出电路向所述输出端提供第一时钟信号;

[0198] 在第六阶段,第一输入电路在第二时钟信号的控制下,向所述第一节点提供输入信号,第一输入电路在第二时钟信号的控制下,向所述第三节点提供第二电压信号;所述输出电路在所述第三节点的电位的控制下,向所述输出端提供第一电压信号。

[0199] 并且,在第六阶段之后还可以设有第七阶段,在第七阶段,第一输入电路和第二输入电路维持第一节点的电位为第一电压,维持第三节点的电位为第二电压,输出电路控制向输出端提供第一电压信号。对于某些具体实施方式,所述驱动方法可以被具体执行为:

[0200] 在第一阶段,向第一节点提供输入信号,第一节点的信号通过第八晶体管传输至第二节点,第六晶体管截止,第五晶体管截止,向第三节点提供第二电压信号,输出端输出第一电压信号;

[0201] 在第二阶段,向第一节点提供第一电压信号,第一节点的信号传输至第二节点,第六晶体管截止,第一晶体管导通,在第一电容和第三电容的作用下,输出端保持输出第一电压信号;

[0202] 在第三阶段,向第一节点提供输入信号,第一节点的信号通过第八晶体管传输至第二节点,第六晶体管导通,向第三节点提供第二电压信号,输出端输出第一电压信号和第一时钟信号;

[0203] 在第四阶段,向第三节点提供第二电压信号,第五晶体管截止,第一节点保持上一阶段的低电位,第一时钟信号通过第六晶体管输出到输出端;

[0204] 在第五阶段,在第二电容的自举作用下,第二节点的电位保持低电位,第六晶体管导通,向输出端提供第一时钟信号;

[0205] 在第六阶段,向第一节点提供输入信号,第六晶体管截止,向第三节点提供第二电压信号,第五晶体管导通,向输出端提供第一电压信号;

[0206] 在第七阶段,向第一节点提供第一电压信号,第六晶体管截止,第三节点的电位保持上一阶段的低电位,第五晶体管导通,向输出端提供第一电压信号;

[0207] 第八阶段,同第六阶段(向第一节点提供输入信号,第六晶体管截止,向第三节点

提供第二电压信号,第五晶体管导通,向输出端提供第一电压信号;),

[0208] 在一个示例性实施例中,该驱动方法还可以包括:

[0209] 第一时钟信号的电位和第二时钟信号的电位分别在高低电压间不断切换,第一时钟信号和第二时钟信号中电压由低变高的那个先变化;

[0210] 所述第三时钟信号线提供的时钟信号与第一时钟信号反相,所述第四时钟信号线提供的时钟信号与第二时钟信号反相。

[0211] 其中,以图4a中所有晶体管均为P型晶体管为例进行说明。第二电压端VGL持续输出低电压,第一电压端VGH持续输出高电压。当低电压信号加载在P型晶体的控制极时,P型晶体管导通,当高电压信号加载在P型晶体的控制极时,P型晶体管截止。相应的,时钟信号是在两个不同电平间周期性切换的信号,且这两个电压通常也是分别用于使晶体管导通和截止的,故通常也将二者中较高的称为高电压,而较低的称为低电压。

[0212] 但应当理解,第一电压端和第二电压端提供的高电压/低电压的具体电压值,并不一定分别与时钟信号中的高电压/低电压的电压值相等(当然出于驱动简便的考虑,通常二者可以相等)。

[0213] 图4b为所述移位寄存器单元的工作时序图,输出端G0输出的低电压信号比输入端INPUT提供的低电压信号在时序上晚一个阶段,而本级移位寄存器单元的输出端G0输出的低电压信号是下一级移位寄存器单元的输入端INPUT的输入信号,也就是说本级移位寄存器单元在第四阶段P4的输出端G0输出的低电压信号是下一级移位寄存器单元在第三阶段P3的输入端INPUT的输入信号。

[0214] 在图4b中,标号为P1的为第一阶段,标号为P2的为第二阶段,标号为P3的为第三阶段,标号为P4的为第四阶段,标号为P5的为第五阶段,标号为P6的为第六阶段,标号为P7的为第七阶段。

[0215] 图5为本公开实施例一所述的移位寄存器单元在第一阶段的状态示意图。图6为本公开实施例一所述的移位寄存器单元在第一阶段的时序示意图;

[0216] 在第一阶段,向第一节点提供输入端的信号,第一节点的信号通过第八晶体管传输至第二节点,第六晶体管截止,第五晶体管截止,向第三节点提供第二电压信号,输出端输出第一电压信号。

[0217] 在实施例一中,如图5和图6所示,在第一阶段P1,第二时钟信号端CK提供的第二时钟信号为低电压,第三晶体管T3和第四晶体管T4导通,向第一节点N1提供输入信号(输入端INPUT用于提供输入信号),第八晶体管T8导通,第一节点N1的信号通过第八晶体管T8传输至第二节点N2,第一节点N1的电位和第二节点N2的电位均为高电压,第二晶体管T2和第六晶体管T6截止,第一时钟信号端CB提供的第一时钟信号无法提供到输出端G0;

[0218] 在第一阶段P1,第三晶体管T3导通,向第三节点N3提供第二电压信号,第三节点N3的电位为低电压,第五晶体管T5导通,向输出端G0提供第一电压信号;第一时钟信号端CB提供的第一时钟信号为高电压,第一晶体管T1截止。此时虽然第四节点N4的电位未知,但是并不会影响第一节点N1的电位和第二节点N2的电位,并且可以设计第一时钟信号端CB提供的第一时钟信号与第一电容C1的电容值来控制第四节点N4的电位。

[0219] 图7为本公开实施例一所述的移位寄存器单元在第二阶段的状态示意图,图8为本公开实施例一所述的移位寄存器单元在第二阶段的时序示意图;

[0220] 在第二阶段P2,向第一节点提供第一电压信号,第一节点的信号传输至第二节点,第六晶体管截止,第一晶体管导通,在第一电容和第三电容的作用下,输出端保持输出第一电压信号。在实施例一中,如图7和图8所示,在第二阶段P2,第一时钟信号端CB提供低电压,第二时钟信号端CK提供高电压,输入端INPUT为高电压。

[0221] 在第二阶段P2,第二时钟信号端CK提供高电压,第三晶体管T3和第四晶体管T4截止,当第一时钟信号端CB提供的第一时钟信号由高电压变为低电压,第一晶体管T1导通,并导致第三节点N3的电位变为 $V_L + (V_L - V_H) \times C_{1z} / (C_{1z} + C_{3z})$,此时第四节点N4与第三节点N3的电位大致相等,N3的电位等于 $V_L + (V_L - V_H) \times C_{1z} / (C_{1z} + C_{3z})$;其中, V_L 为VGL提供的第二电压信号的电压值, V_H 为VGH提供的第一电压信号的电压值, C_{1z} 为C1的电容值, C_{3z} 为C3的电容值;从而导致第七晶体管T7开启,从而第一节点N1与第二节点N2的电位为 V_H ;第一电压信号由第一节点N1到第二节点N2,第六晶体管T6截止,第一时钟信号端CB提供的第一时钟信号无法提供到输出端GO,所以此时输出端GO输出的电位为第一电压信号; C_{3z} 是远大于 C_{1z} 的,或者C1可以为积分电容,可以降低电容耦合作用。

[0222] 图9为本公开实施例一所述的移位寄存器单元在第三阶段的状态示意图,图10为本公开实施例一所述的移位寄存器单元在第三阶段的时序示意图;

[0223] 第三阶段,向第一节点提供输入信号,第一节点的信号通过第八晶体管传输至第二节点,第六晶体管导通,向第三节点提供第二电压信号,输出端输出第一电压信号和第一时钟信号。在实施例一中,如图9和图10所示,在第三阶段S3,第一时钟信号为高电压,第二时钟信号为低电压,输入端INPUT提供的输入信号为低电压。在第三阶段S3,第二时钟信号为低电压,第三晶体管T3和第四晶体管T4导通,向第一节点N1提供输入信号,第八晶体管T8导通,第一节点N1的信号通过第八晶体管T8传输至第二节点N2,第一节点N1的电位和第二节点N2的电位均为低电压,第二晶体管T2和第六晶体管T6导通,第一时钟信号端CB提供的高电压信号提供到输出端GO。第三晶体管T3导通,向第三节点N3提供第二电压信号,第三节点N3的电位为低电压,第五晶体管T5导通,向输出端GO提供第一电压信号。此时,第一节点N1的电位和第二节点N2的电位约为 V_L 。第三节点的电位为 V_L ,第四节点N4的电位为 V_H 。

[0224] 图11为本公开实施例一所述的移位寄存器单元在第四阶段的状态示意图,图12为本公开实施例一所述的移位寄存器单元在第四阶段的时序示意图;

[0225] 第四阶段,向第三节点提供第二电压信号,第五晶体管截止,第一节点的电位保持上一阶段的低电位,第一时钟信号端提供的第一时钟信号通过第六晶体管输出到输出端。

[0226] 在实施例一中,如图11和图12所示,在第四阶段P4,第一时钟信号为低电压,第二时钟信号为高电压,输入端INPUT提供高电压。第三晶体管T3和第四晶体管T4截止,第一节点N1的电位为 V_L ,第一晶体管T1和第二晶体管T2导通,第一电压信号可以经过第一晶体管T1和第二晶体管T2提供给第三节点N3,第五晶体管T5截止,第六晶体管导通,输出端GO输出第一时钟信号。

[0227] 在第四阶段P4,第三节点N3的电位等于第四节点N4的电位,都是 V_H 。在电容的自举作用下,第二电容C2的第二端的电位由上一阶段的 V_H 跳变为 V_L ,变化量为 $V_L - V_H$,第二电容C2的第一端的电位在上一阶段为 V_L ,在第四阶段,第二电容C2的第一端的电位,也是第二节点N2的电位为 $2V_L - V_H - V_{th}$,其中, V_{th} 为T6的阈值电压。

[0228] 图13为本公开实施例一所述的移位寄存器单元在第五阶段的状态示意图,图14为

本公开实施例一所述的移位寄存器单元在第五阶段的时序示意图；

[0229] 第五阶段,在第二电容的作用下,第二节点的电位保持低电位,第六晶体管导通,向输出端提供第一时钟信号;在实施例一中,如图13和图14所示,在第五阶段P5,第一时钟信号、第二时钟信号、输入端INPUT提供的输入信号都为高电压。第三晶体管T3、第四晶体管T4和第一晶体管T1都截止,第一节点N1的电位为VL,第三节点N3的电位等于第四节点N4的电位,都是VH。第七晶体管T7和第五晶体管T5截止,第六晶体管T6导通,输出端G0输出第一时钟信号端CB提供的高电压信号。第二电容C2的第二端的电位由上一阶段的VL跳变为VH,变化量为VH-VL,第二电容C2的第一端的电位在上一阶段为 $2VL-VH-V_{th}$,在第五阶段,第二电容C2的第一端的电位也是第二节点N2的电位,N2的电位为 $VGL-V_{th}$ 。

[0230] 图15为本公开实施例一所述的移位寄存器单元在第六阶段的状态示意图,图16为本公开实施例一所述的移位寄存器单元在第六阶段的时序示意图；

[0231] 第六阶段,向第一节点提供输入信号,第六晶体管截止,向第三节点提供第二电压信号,第五晶体管导通,向输出端提供第一电压信号。在实施例一中,如图15和图16所示,在第六阶段P6,第一时钟信号为高电压,第二时钟信号为低电压,输入端INPUT提供的输入信号为高电压。在第六阶段P6,第二时钟信号为低电压,第三晶体管T3和第四晶体管T4导通,向第一节点N1提供输入信号信号,第八晶体管T8导通,第一节点N1的信号通过第八晶体管T8传输至第二节点N2,第一节点N1的电位和第二节点N2的电位均为高电压,第二晶体管T2和第六晶体管T6截止,向第三节点N3提供第二电压信号,第三节点N3的电位为低电压,第五晶体管T5导通,向输出端提供第一电压信号。此时,第一节点N1和第二节点N2的电位约为VH。第三节点的电位为VL,第四节点N4的电位为VH。

[0232] 图17为本公开实施例一所述的移位寄存器单元在第七阶段的状态示意图,图18为本公开实施例一所述的移位寄存器单元在第七阶段的时序示意图；

[0233] 在第七阶段,向第一节点提供第一电压信号,第六晶体管截止,第三节点的电位保持上一阶段的低电位,第五晶体管导通,向输出端提供第一电压信号。在实施例一中,如图17和图18所示,在第七阶段P7,第一时钟信号为低电压,第二时钟信号为高电压,输入端INPUT提供的输入信号为高电压。在第七阶段P7,第二时钟信号为高电压,第三晶体管T3、第四晶体管T4和第六晶体管T6截止。第一时钟信号为低电压,第一晶体管T1导通,第三节点N3和第四节点N4的电位约为VL,第七晶体管T7导通,从而第一节点N1的电位与第二节点N2的电位都为VGH,第一电压信号由第一节点N1提供给第二节点N2,第六晶体管T6截止,第一时钟信号无法提供到输出端G0,第五晶体管T5导通,所以此时输出端G0输出第一电压信号。

[0234] 第八阶段P8,与第六阶段P6的工作过程相同,此处不再赘述。

[0235] 图19为本公开实施例二所述的移位寄存器单元的等效原理图;与实施例一的不同之处在于,所述第一晶体管T1的控制极与第三时钟信号端连接,对于奇数级移位寄存器单元而言,第一晶体管T1的控制极与第四时钟信号线CKo连接(也即所述第三时钟信号端与第四时钟信号线CKo连接)。对于偶数级移位寄存器单元而言,第一晶体管T1的控制极与第三时钟信号线CBo连接(也即所述第三时钟信号端与第三时钟信号线CBo连接)。在图19中,以所述第三时钟信号端与CKo电连接为例说明。

[0236] 图20所示为本公开实施例二所述的移位寄存器单元工作过程的时序示意图。由图可知,在第一阶段P1到第四阶段P4四个阶段的工作过程与实施例一的相同,此处不再赘述。

[0237] 第五阶段P5,在第二电容的作用下,第二节点的电位保持低电位,第六晶体管导通,向输出端提供第一时钟信号;

[0238] 在实施例二中,如图19和图20所示,在第五阶段P5,第一时钟信号端CB提供的第一时钟信号和第二时钟信号端CK提供的第二时钟信号为高电压,CKo提供的时钟信号为低电压。第三晶体管T3和第四晶体管T4截止,第一晶体管T1和第二晶体管T2导通,向第三节点N3写入第一电压端VGH提供的高电压信号,第五晶体管截止,第三节点N3的电位和第四节点N4的电位为VH,第一节点的电位、第二节点的电位分别为VL和VL-V_{th}。输出端G0输出第一时钟信号端CB提供的第一时钟信号。其中,V_{th}为T6的阈值电压。

[0239] 在图20中,横轴是时间,标号为P3的为第三阶段,标号为P4的为第四阶段,标号为P5的为第五阶段,标号为P6的为第六阶段,标号为P7的为第七阶段。图20中示出了CK提供的时钟信号的波形、CB提供的时钟信号的波形、CKo提供的时钟信号的波形、INPUT提供的信号的波形,G0输出的信号的波形,N3的电位的波形、N2的电位的波形和N1的电位的波形。

[0240] 图21为本公开实施例三所述的移位寄存器单元的等效原理图;

[0241] 可选地,控制单元400可以进一步的包括第四电容C4,第四电容C4的第一端与第一电压端VGH电连接,第四电容C4的第二端与第一节点N1电连接。与实施例一和实施例二相比,实施例三中设置了第四电容C4,可以起到稳定第一节点N1的电位的作用,进而稳定第二晶体管T2。例如在第三阶段P3,第一节点N1的信号是输入端INPUT提供的低电压信号。到第四阶段P4,在第四电容C4的作用下,第一节点N1的电位保持为低电压,第二晶体管T2导通,向第三节点N3写入第一电压端VGH提供的高电压信号,确保第五晶体管T5截止,向输出端G0提供第一时钟信号。

[0242] 图22为本公开实施例四所述的移位寄存器单元的等效原理图;

[0243] 可选地,与实施例三不同的是,稳压子电路200中的第八晶体管T8的控制极与第二时钟信号端CK电连接。进一步地,第八晶体管T8可以为双栅晶体管。本公开实施例四所述的移位寄存器单元的工作过程可以参考本公开实施例一所述的移位寄存器单元的工作过程的时序图进行说明。

[0244] 第一阶段,向第一节点提供输入信号,第一节点的信号通过第八晶体管传输至第二节点,第六晶体管截止,第五晶体管截止,向第三节点提供第二电压信号,输出端输出第一电压信号。第一阶段P1,如图22和图6所示,第二时钟信号端CK为低电压,第三晶体管T3和第四晶体管T4导通,向第一节点N1提供输入信号,第八晶体管T8导通,第一节点N1的信号通过第八晶体管T8传输至第二节点N2,第一节点N1的电位和第二节点N2的电位均为高电压,第二晶体管T2和第六晶体管T6截止,第三晶体管T3导通,向第三节点N3提供第二电压信号,第三节点N3的电位为低电压,第五晶体管T5导通,向输出端提供第一电压信号。

[0245] 第二阶段,向第一节点提供第一电压信号,第一节点的信号传输至第二节点,第六晶体管截止,第一晶体管导通,在第一电容和第三电容的作用下,输出端保持输出第一电压信号。在本公开实施例四中,如图22和图8所示,在第二阶段P2,第一时钟信号端CB提供的第一时钟信号为低电压,第二时钟信号端CK提供的第二时钟信号为高电压,输入端INPUT提供的输入信号为高电压。在第二阶段P2,第二时钟信号为高电压,第三晶体管T3和第四晶体管T4截止,第八晶体管T8截止,当第一时钟信号的电位由高电压变为低电压,第一晶体管T1导通,并导致第三节点N3的电位变为 $VL + (VL - VH) \times C1z / (C1z + C3z)$,此时第四节点N4的电位与

第三节点N3大致相等,N3的电位为 $V_L + (V_L - V_H) \times C_{1z} / (C_{1z} + C_{3z})$ 。从而导致第七晶体管T7开启,从而第一节点N1的电位为 V_H ,第二晶体管T2截止,第二节点N2的电位在第二电容C2的作用下,保持为 V_H 。第六晶体管T6截止,此时输出端G0输出的电位为第一电压信号。

[0246] 在第三阶段,向第一节点提供输入信号,第一节点的信号通过第八晶体管传输至第二节点,第六晶体管导通,向第三节点提供第二电压信号,输出端输出第一电压信号和第一时钟信号。

[0247] 在本公开实施例四中,如图22和图10所示,在第三阶段P3,第一时钟信号端CB提供的第一时钟信号为高电压,第二时钟信号端CK提供的第二时钟信号为低电压,输入端INPUT提供的输入信号为低电压。在第三阶段P3,第二时钟信号端CK提供的第二时钟信号为低电压,第三晶体管T3和第四晶体管T4导通,第八晶体管T8导通,向第一节点N1提供输入信号,第一节点N1的信号通过第八晶体管T8传输至第二节点N2,第一节点N1的电位和第二节点N2的定位均为低电压,第二晶体管T2和第六晶体管T6导通,第一时钟信号端CB提供的高电压信号提供到输出端G0。第三晶体管T3导通,向第三节点N3写入第二电压端VGL提供的第二电压信号,第三节点N3的电位为低电压,第五晶体管T5导通,向输出端G0提供第一电压信号。此时,第一节点N1的电位和第二节点N2的电位约为 V_L 。第三节点的电位为 V_L ,第四节点N4的电位为 V_H 。

[0248] 在第四阶段,向第三节点提供第二电压信号,第五晶体管截止,第一节点的电位保持上一阶段的低电位,第一时钟信号通过第六晶体管输出到输出端。在实施例四中,如图22和图12所示,在第四阶段P4,第一时钟信号端CB提供的第一时钟信号为低电压,第二时钟信号端CK提供的第二时钟信号为高电压,输入端INPUT提供的输入信号为高电压。第三晶体管T3和第四晶体管T4截止,第八晶体管T8截止,第一节点N1的电位在第四电容C4的作用下保持为 V_L ,第一晶体管T1和第二晶体管T2导通,第一电压信号可以经过第一晶体管T1和第二晶体管T2提供给第三节点N3,第五晶体管T5截止,第六晶体管T6导通,输出端G0输出第一时钟信号端CB提供的低电压信号。

[0249] 第三节点N3的电位等于第四节点N4的电位,N3的电位和N4的电位都是 V_H 。在电容的自举作用下,第二电容C2的第二端的电位由上一阶段的 V_H 跳变为 V_L ,变化量为 $V_L - V_H$,第二电容C2的第一端的电位在上一阶段为 V_L ,在第四阶段,第二电容C2的第一端的电位也是第二节点N2的电位,N2的电位为 $2V_L - V_H - V_{th}$,其中, V_{th} 为T6的阈值电压。

[0250] 第五阶段,在第二电容的自举作用下,第二节点的电位保持低电位,第六晶体管导通,向输出端提供第一时钟信号;在本公开实施例四中,如图20和图12所示,在第五阶段P5,第一时钟信号端CB提供的第一时钟信号、第二时钟信号端CK提供的第二时钟信号、输入端INPUT提供的时钟信号都为高电压。第三晶体管T3、第四晶体管T4、第一晶体管T1和第八晶体管T8都截止,第一节点N1的电位在第四电容C4的作用下保持为 V_L ,第三节点N3的电位等于第四节点N4的电位,N3的电位和N4的电位都是 V_H 。第七晶体管T7和第五晶体管T5截止,第六晶体管T6导通,输出端G0输出第一时钟信号端CB提供的高电压信号。第二电容C2的第二端的电位由上一阶段的 V_L 跳变为 V_H ,变化量为 $V_H - V_L$,第二电容C2的第一端的电位在上一阶段为 $2V_L - V_H - V_{th}$,在第五阶段,第二电容C2的第一端的电位也是第二节点N2的电位为 $V_L - V_{th}$ 。

[0251] 第六阶段,向第一节点提供输入端的信号,第六晶体管截止,向第三节点提供第二

电压信号,第五晶体管导通,向输出端提供第一电压信号。在本公开实施例四中,如图22和图16所示,在第六阶段P6,第一时钟信号端CB提供的第一时钟信号为高电压,第二时钟信号端CK提供的第二时钟信号为低电压,输入端INPUT提供的输入信号为高电压。在第六阶段P6,第二时钟信号端CK提供的第二时钟信号为低电压,第三晶体管T3和第四晶体管T4导通,向第一节点N1提供输入信号,第八晶体管T8导通,第一节点N1的信号通过第八晶体管T8传输至第二节点N2,第一节点N1和第二节点N2均为高电压,第二晶体管T2和第六晶体管T6截止,向第三节点N3提供第二电压信号,第三节点N3的电位为低电压,第五晶体管T5导通,向输出端提供第一电压信号。此时,第一节点N1的电位和第二节点N2的电位约为VH。第三节点的电位为VL,第四节点N4的电位为VH。

[0252] 第七阶段,向第一节点提供第一电压信号,第六晶体管截止,第三节点的电位保持上一阶段的低电位,第五晶体管导通,向输出端提供第一电压信号。在本公开实施例四中,如图22和图18所示,在第七阶段P7,第一时钟信号端CB提供的第一时钟信号为低电压,第二时钟信号端CK提供的第二时钟信号为高电压,输入端INPUT提供的输入信号为高电压。在第七阶段P7,第二时钟信号为高电压,第三晶体管T3、第四晶体管T4、第八晶体管T8和第六晶体管T6截止。第一时钟信号为低电压,第一晶体管T1导通,第三节点N3和第四节点N4的电位约为VL,第七晶体管T7导通,第一节点N1的电位为VH,第二节点N2的电位在第二电容C2的作用下保持为VH,第一节点N1的电位和第二节点N2的电位为VH,第二晶体管T2和第六晶体管T6截止,第一时钟信号端CB提供的第一时钟信号无法提供到输出端G0,第五晶体管T5导通,所以此时输出端G0输出第一电压信号。

[0253] 第八阶段,与第六阶段的工作过程相同,此处不再赘述。

[0254] 可见,在第八晶体管T8的控制极连接第二时钟信号端CK的情况下,第四电容C4的作用则体现的较为重要,能够在第八晶体管T8发生导通和截止的变化时,起到保持第一节点N1的电位的作用,进而稳定第二晶体管T2的工作状态。

[0255] 双栅具有分压作用,第八晶体管T8采用双栅的结构,可以降低第二节点N2点的电位,降低至 $-15\sim-20\text{V}$ 。第二节点N2的电位降低量减小,可以减弱第八晶体管T8发生的DIBL效应,DIBL效应,是漏端引入的势垒降低(DIBL, Drain Induced Barrier Lowering)效应,减少在第八晶体管T8截止时的漏电流,有利于减少第八晶体管T8的漏电流对第六晶体管T6在导通时的干扰,使得第八晶体管T8更稳定的工作,降低出现负漂、母拉等现象的风险。

[0256] 图23为本公开实施例五所述的移位寄存器单元的等效原理图;

[0257] 可选地,稳压子电路200还可以包括第五电容C5,第五电容C5的第一端与一个直流电压端电连接,所述直流电压端例如可以为第一电压端VGH或者第二电压端VGL,C5的第二端与第二节点N2电连接。采用第二电容C2和第五电容C5串联的结构,在输出端G0输出的信号的电位发生跳变时,由于存在第二电容C2和第五电容C5的分压作用,可以降低第二节点N2的跳变电位,如可以由 $-15\sim-20\text{V}$ 变为 $-10\sim-15\text{V}$ 或者更高,也可以降低第八晶体管T8由于DIBL效应导致的阈值电压的偏移,可以进一步地提高第八晶体管T8的稳定性。

[0258] 需要说明的是,本公开实施例四和实施例五中的第八晶体管采用非常开管(相较于本公开实施例一、本公开实施例二和本公开实施例三而言,第八晶体管T8的控制极连接的是第二电压端VGL,第八晶体管T8是常开管),在不要导通的时候,让第八晶体管T8截止,也可以降低第二节点N2对于第一节点N1的电位的影响,提高电路的稳定性。

[0259] 图24为本公开实施例六所述的移位寄存器单元的等效原理图；

[0260] 本公开实施例六所述的移位寄存器单元与本公开实施例一所述的移位寄存器单元的区别如下：C1的第一端与第一电压端VGH电连接。

[0261] 在具体实施时，C1的第一端也可以与第一电压端VGH或第二电压端VGL等直流电压端电连接，同样可以稳定N4的电位。

[0262] 本公开实施例六所述的移位寄存器单元的工作时序图与本公开实施例一所述的移位寄存器单元的工作时序图相同。

[0263] 图25为本公开实施例七所述的移位寄存器单元的等效原理图；

[0264] 本公开实施例七所述的移位寄存器单元与本公开实施例六所述的移位寄存器单元的区别如下：T5的栅极与CKo电连接。

[0265] 图25所示的本公开实施例七所述的移位寄存器单元的工作时序图如图26所示。

[0266] 图26与图6的区别仅在于：在第三阶段P3，当CKo提供低电压时，N3的电位被拉高；

[0267] 在第六阶段P6，当CKo提供低电压时，N4的电位被拉低。

[0268] 在图26中，示出了CK提供的时钟信号的波形、CKo提供的时钟信号的波形、CB提供的时钟信号的波形、INPUT提供的信号的波形，N1的电位的波形、N2的电位的波形、N3的电位的波形、N4的电位的波形和GO输出的信号的波形。

[0269] 图27是本公开实施例八所述的移位寄存器单元的等效原理图；

[0270] 本公开实施例八所述的移位寄存器单元与本公开实施例一所述的移位寄存器单元的区别如下：C1的第一端与输入端INPUT电连接。

[0271] 在具体实施时，C1的第一端还可以与输入端INPUT电连接，同样可以稳定N4的电位。

[0272] 图27所示的本公开实施例八所述的移位寄存器单元的工作时序图与本公开实施例一所述的移位寄存器单元的工作时序图相同。

[0273] 图28为本公开实施例所述的驱动电路的示意图；

[0274] 参照图28，本公开实施例所述的驱动电路适用于本公开实施例一、本公开实施例三、本公开实施例四、本公开实施例五、本公开实施例六、本公开实施例七和本公开实施例八所述的移位寄存器单元，为了方便描述，示出四个级的移位寄存器单元，驱动电路包括第一级移位寄存器单元ST1、第二级移位寄存器单元ST2、第三级移位寄存器单元ST3和第四级移位寄存器单元ST4。ST1与第一扫描线S1电连接，ST2与第二扫描线S2电连接，ST3与第三扫描线S3电连接，ST4与第四扫描线S4电连接，所有移位寄存器单元的第一电压端、第二电压端均分别与第一电源线、第二电源线连接，并且根据第一时钟信号线ECB提供的时钟信号和第二时钟信号线ECK提供的时钟信号被驱动。ST1、ST2、ST3至ST4可具有相同的电路布局。ST1、ST2、ST3至ST4中的每一级移位寄存器单元包括输入端和输出端。每一级移位寄存器单元的输入端接收前一级移位寄存器单元的输出信号（即，扫描信号）或起始信号。例如，第一级移位寄存器单元ST1的输入端与起始信号端STV电连接，其他级移位寄存器单元的输入端接收前一级移位寄存器单元的输出信号。

[0275] 第i级移位寄存器单元（i是奇数）STi的第一时钟信号端CB与第一时钟信号线ECB电连接，第i级移位寄存器单元STi的第二时钟信号端CK与第二时钟信号线ECK电连接。第i+1级移位寄存器单元STi+1的第一时钟信号端CB与第二时钟信号线ECK电连接，第i+1级移位

寄存器单元ST_{i+1}的第二时钟信号端CK与第一时钟信号线ECB电连接。

[0276] 第一时钟信号线ECB提供的时钟信号和第二时钟信号线ECK提供的时钟信号具有相同的时间段并且具有不重叠的相位。具体地讲,虽然第一时钟信号线ECB提供的时钟信号和第二时钟信号线ECK提供的时钟信号不被提供的时间可以重叠(例如,第一时钟信号线ECB提供的时钟信号和第二时钟信号线ECK提供的时钟信号可同时具有高电压),但是第一时钟信号线ECB提供的时钟信号和第二时钟信号线ECK提供的时钟信号被提供的时间(例如,第一时钟信号ECB和第二时钟信号ECK具有低电压的时间)不重叠。

[0277] 图29为本公开另一实施例所述的驱动电路的示意图;

[0278] 在图29中,标号为STV的为起始信号端;

[0279] 图29所示的驱动电路适用于本公开实施例二所述的移位寄存器单元,与图28所示的实施例所述的驱动电路相比,相同之处不再赘述,图29所示的驱动电路的实施例与图28所示的驱动电路的实施例的不同之处在于第i级(i是奇数)移位寄存器单元ST_i还与第四时钟信号线CK_o电连接,第i+1级移位寄存器单元ST_{i+1}还与第三时钟信号线CB_o电连接。其中,第三时钟信号线CB_o提供的时钟信号与第一时钟信号反相,第四时钟信号线CK_o提供的时钟信号与第二时钟信号反相。

[0280] 在本发明实施例中,第一时钟信号线提供的时钟信号的相位与所述第二时钟信号线提供的时钟信号的相位之间的相位差可以为90度,但不以此为限。

[0281] 本申请中时钟信号相互反相是指两个时钟信号的电位在一个是高电位时,另一个是低电位,且不做严格限制,允许有较短时间的不反相,以本领域技术人员能够实现本申请技术方案就可以。

[0282] 图30为本公开实施例所述的显示装置的示意图;

[0283] 参照图30,显示装置可以包括扫描驱动器311(所述扫描驱动器可以包括上述的驱动电路)、数据驱动器312、时序控制器313和像素单元20,像素单元具有布置在第一扫描线S₁至第n扫描线S_n与第一数据线D₁至第m数据线D_m的交叉处的像素10,扫描驱动器311用于驱动S₁至S_n,数据驱动器312用于驱动D₁至D_m,时序控制器313用于控制扫描驱动器311和数据驱动器312。扫描驱动器311将扫描信号分别提供给S₁至S_n。例如,扫描驱动器311可将扫描信号顺序地提供给S₁至S_n。在这种情况下,以水平线为单元来选择像素10。为此,扫描驱动器311包括分别连接到扫S₁至S_n的移位寄存器单元。

[0284] 在图30中,标号为S₂的是第二扫描线,标号为D₂的是第二数据线。

[0285] 数据驱动器与扫描信号同步地将数据信号提供给数据线D₁至D_m。然后,与数据信号相应的电压被充入通过扫描信号选择的像素。时序控制器控制扫描驱动器311和数据驱动器312。此外,时序控制器将来自外部的数据(未示出)发送到数据驱动器。当提供扫描信号以充入与数据信号相应的电压并且将与充入的电压相应的电流提供给有机发光二极管(未示出)时,像素被选择以产生具有预定亮度分量的光分量。

[0286] 在本公开实施例中,n和m可以都为大于1的整数。

[0287] 在图30中,标号为VDD的为高电压,标号为VSS的为低电压。

[0288] 在本公开实施例中,所述显示装置可以为有机发光显示器,但不以此为限。

[0289] 基于前述实施例的发明构思,本公开实施例还提供了一种显示装置,该显示装置包括采用前述实施例的驱动电路。显示装置可以为:手机、平板电脑、电视机、显示器、笔记

本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0290] 虽然本公开所揭露的实施方式如上,但所述的内容仅为便于理解本公开而采用的实施方式,并非用以限定本公开。任何本公开所属领域内的技术人员,在不脱离本公开所揭露的精神和范围的前提下,可以在实施的形式及细节上进行任何的修改与变化,但本公开的专利保护范围,仍须以所附的权利要求书所界定的范围为准。

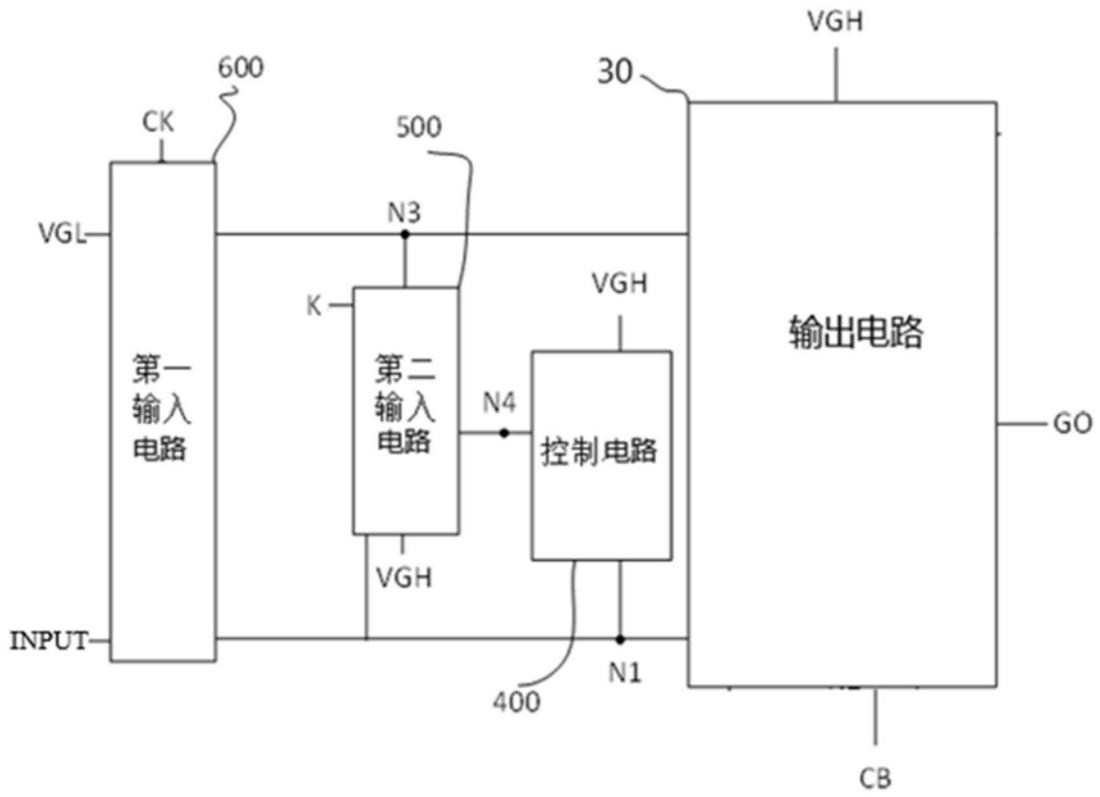


图1

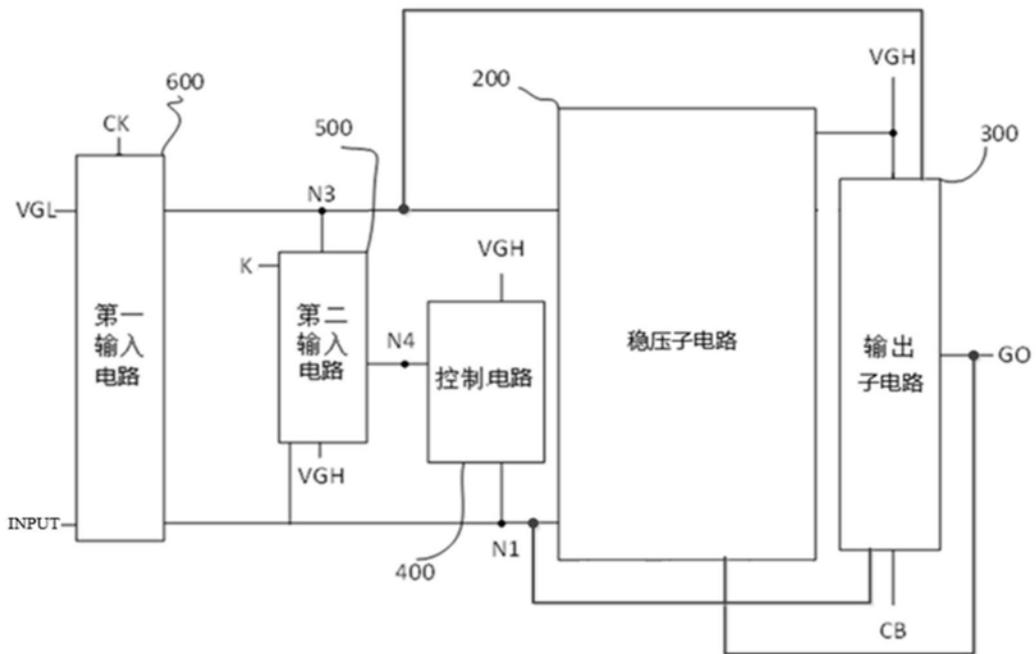


图2

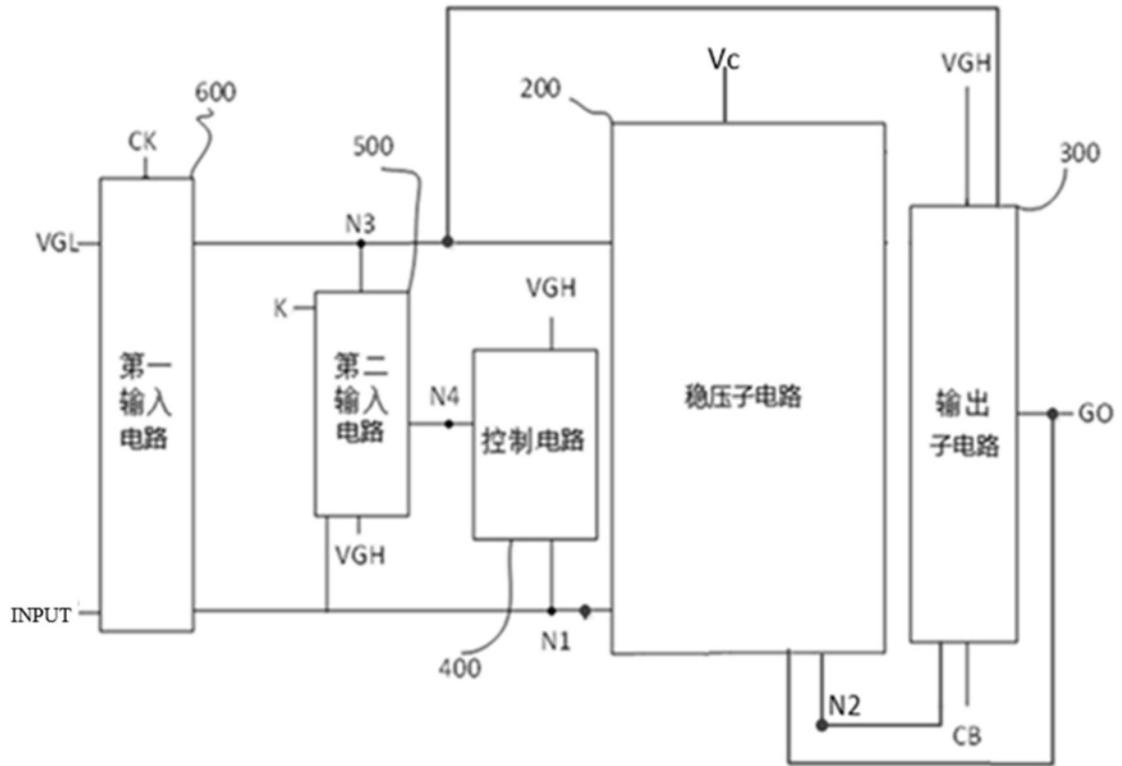


图3

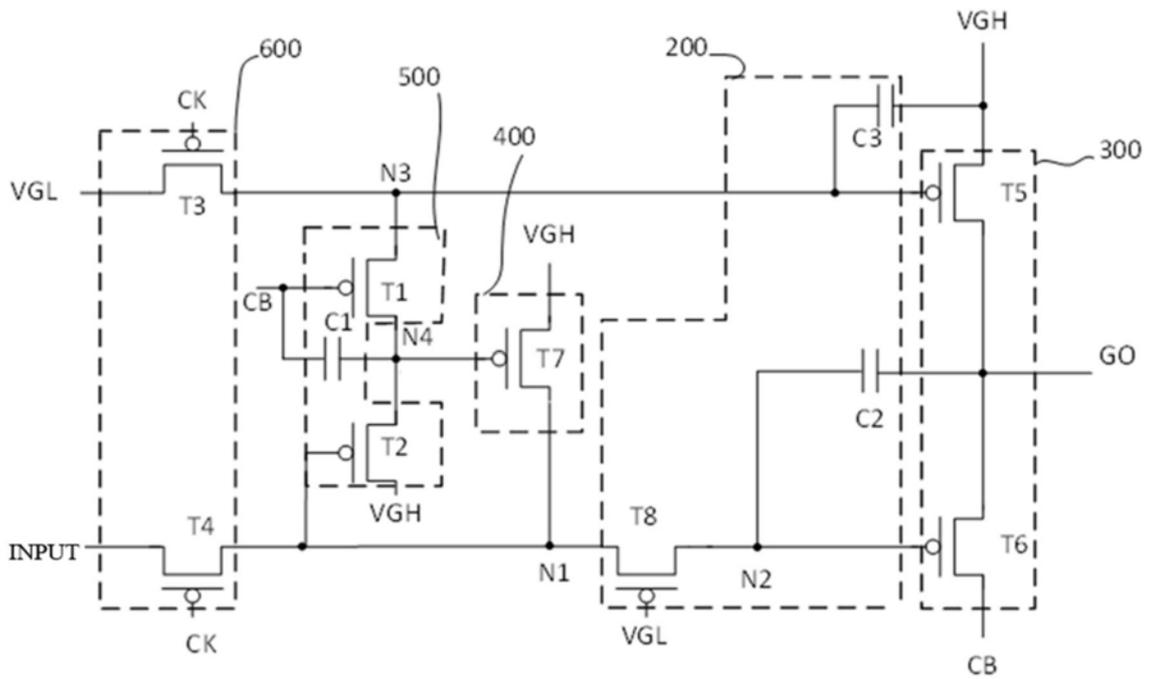


图4a

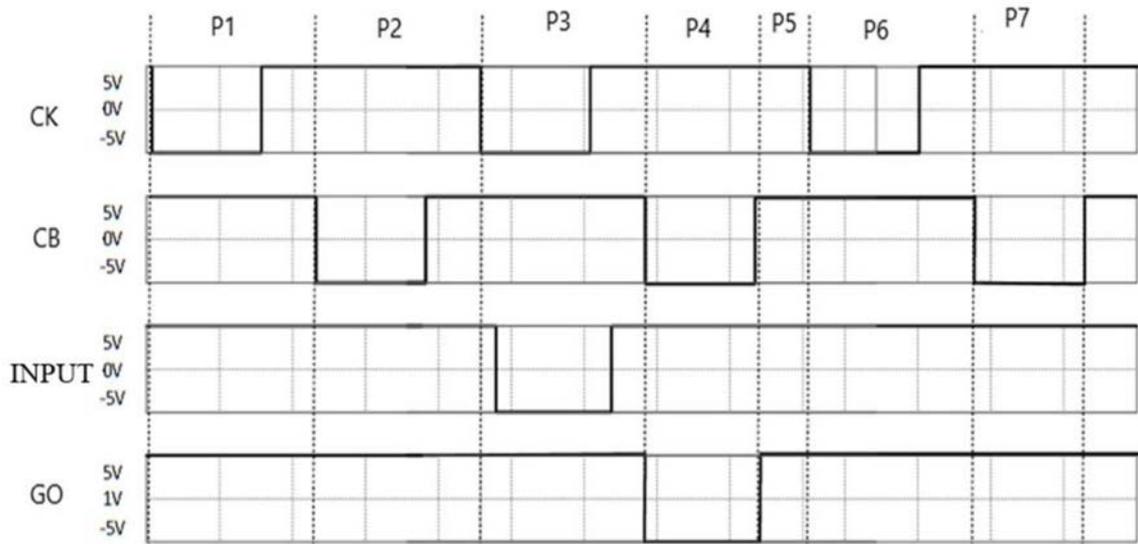


图4b

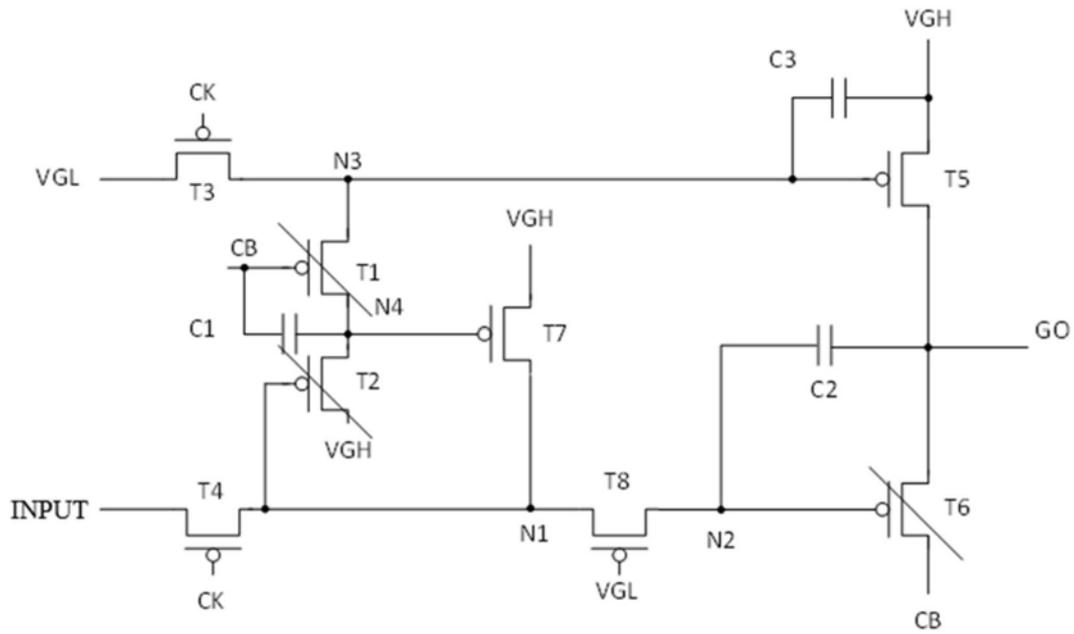


图5

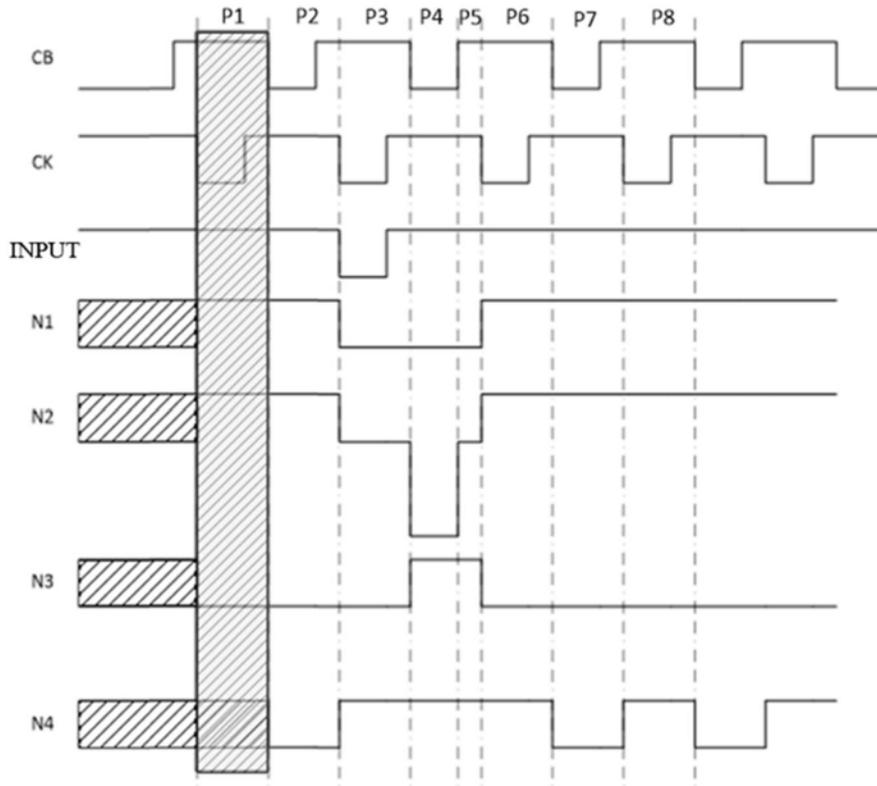


图6

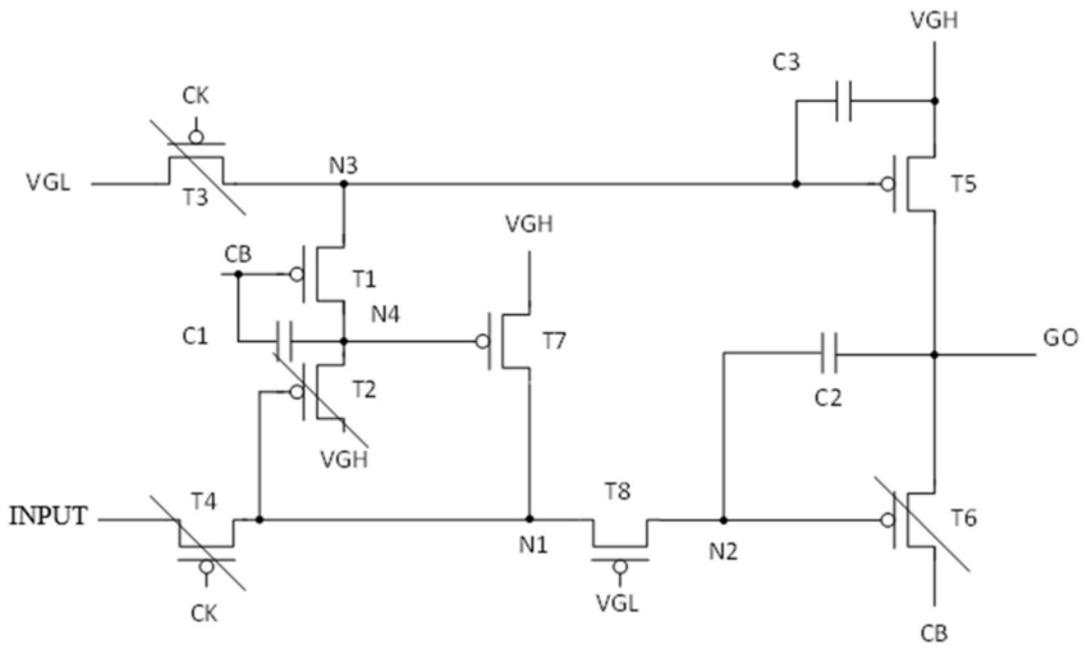


图7

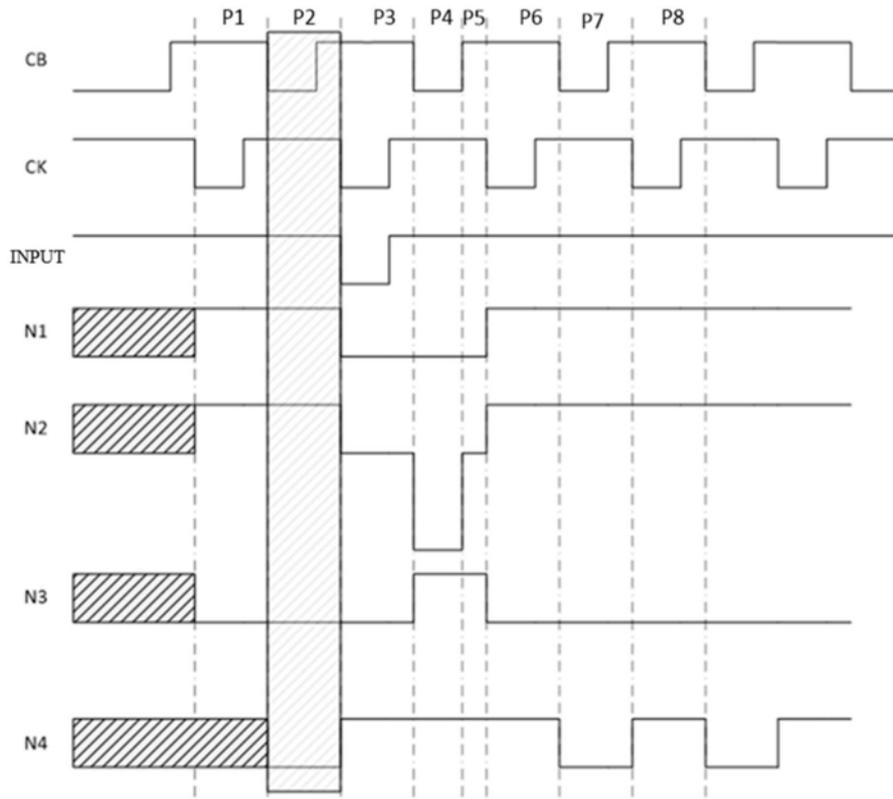


图8

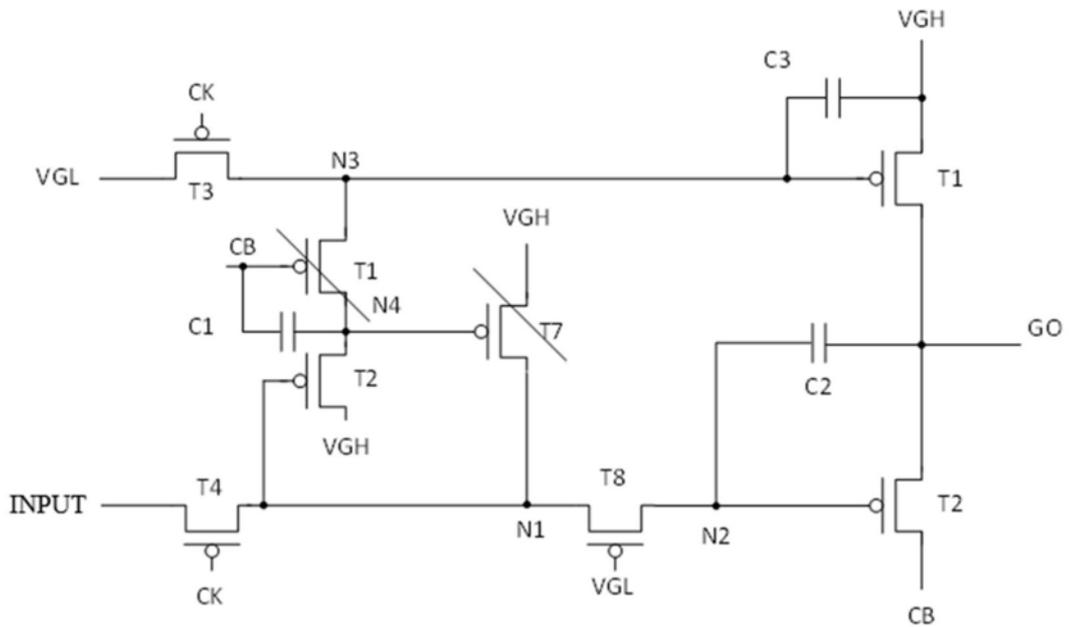


图9

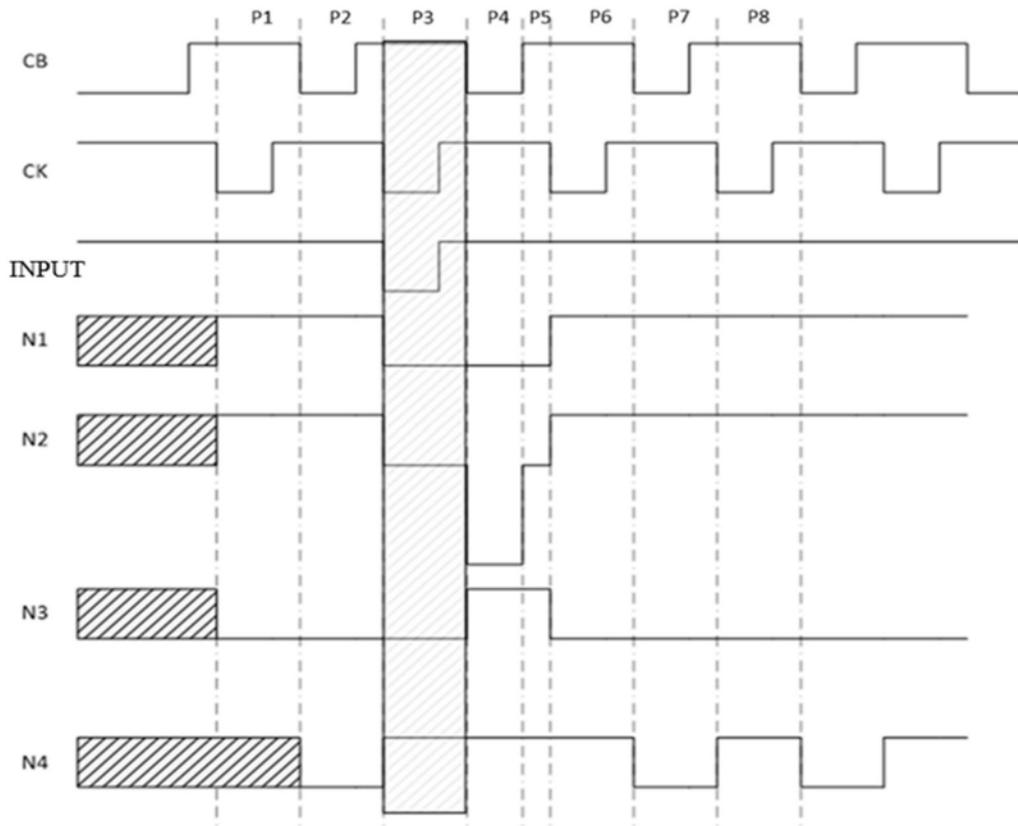


图10

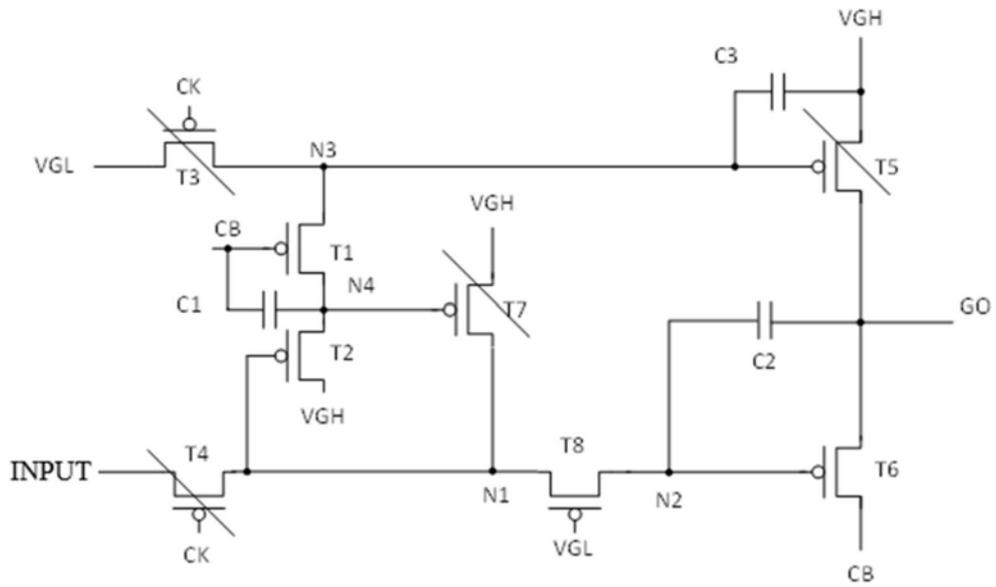


图11

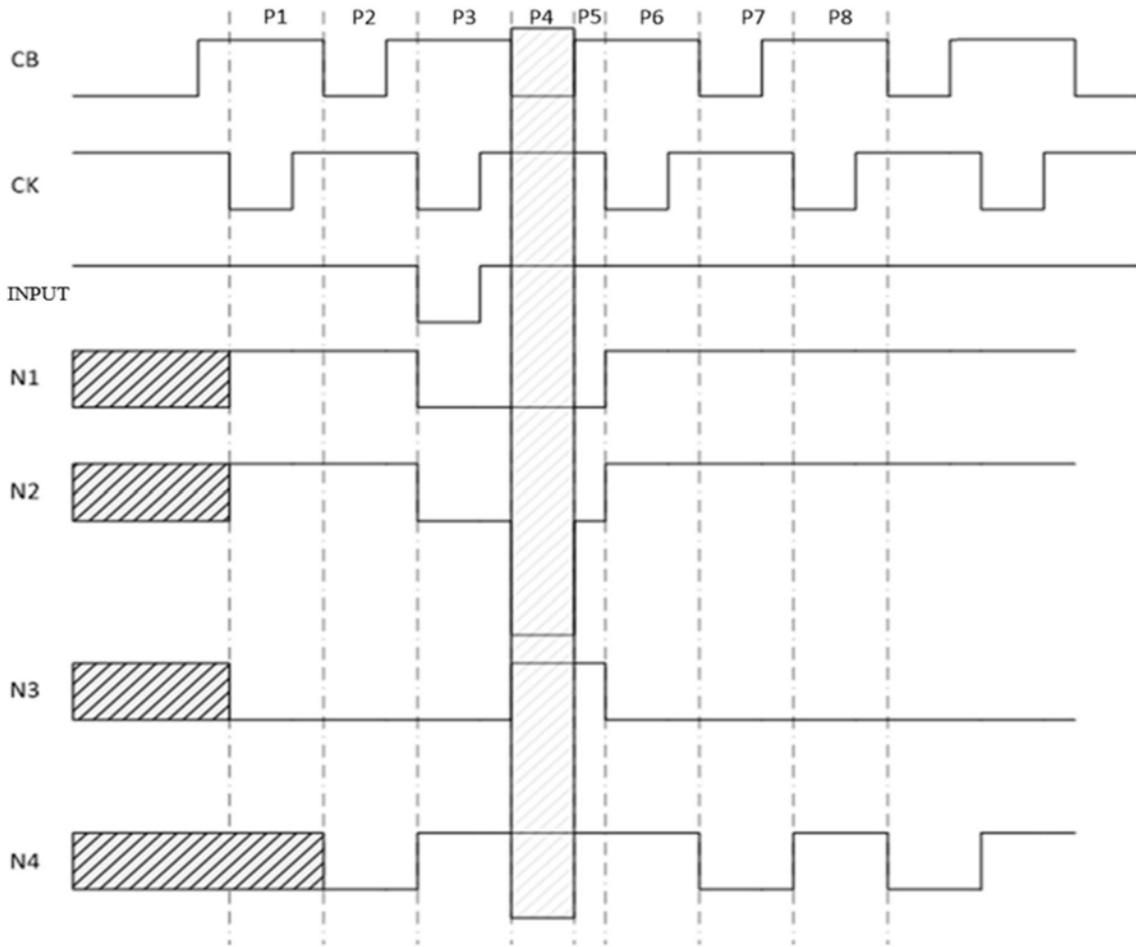


图12

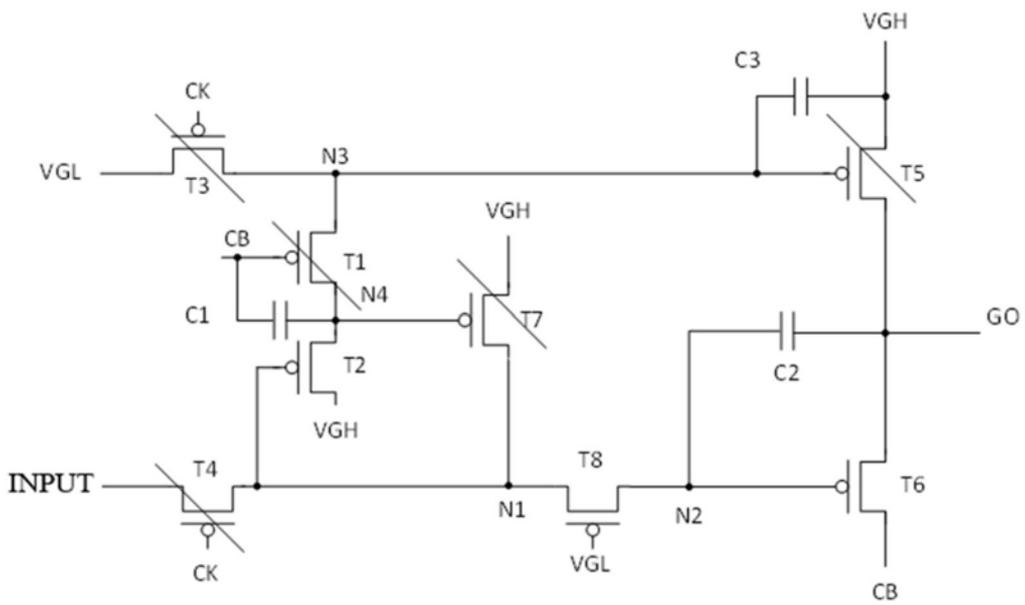


图13

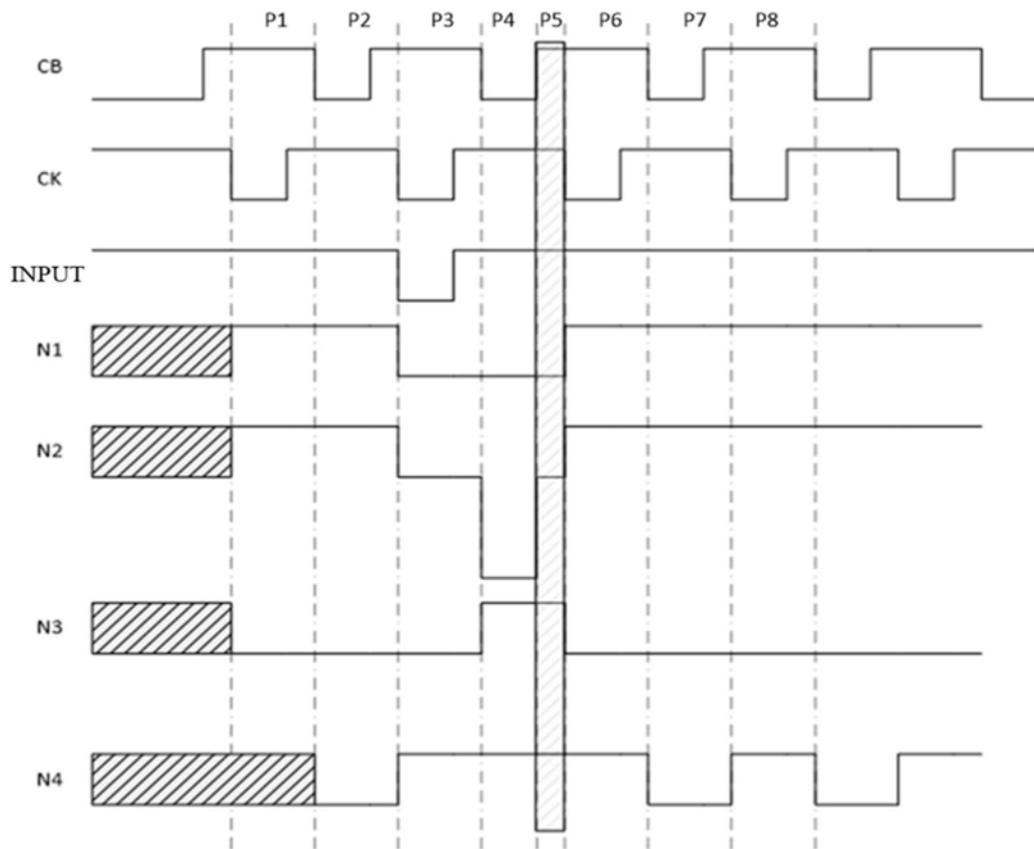


图14

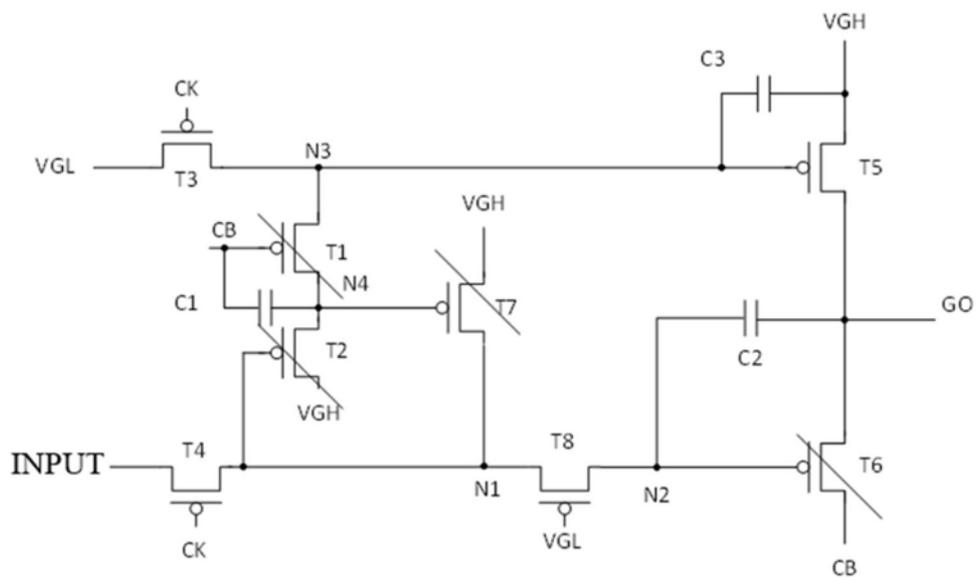


图15

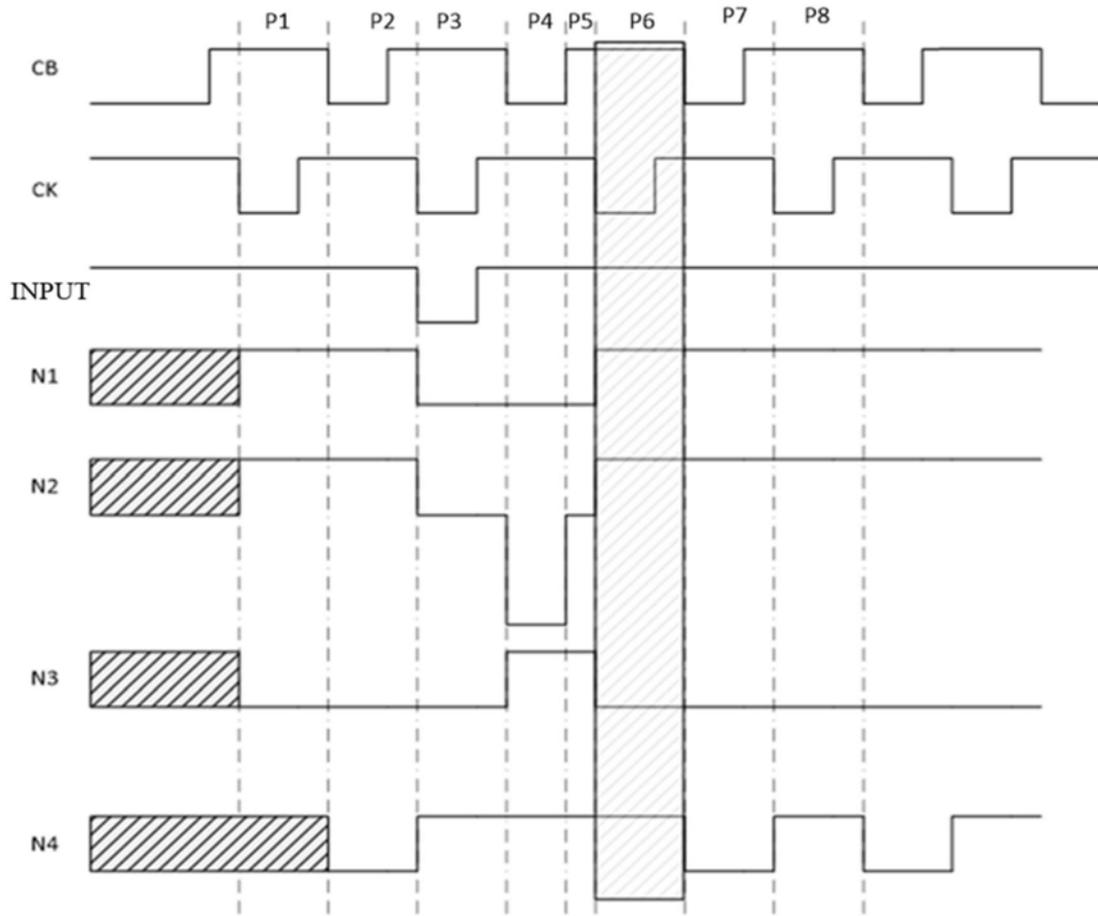


图16

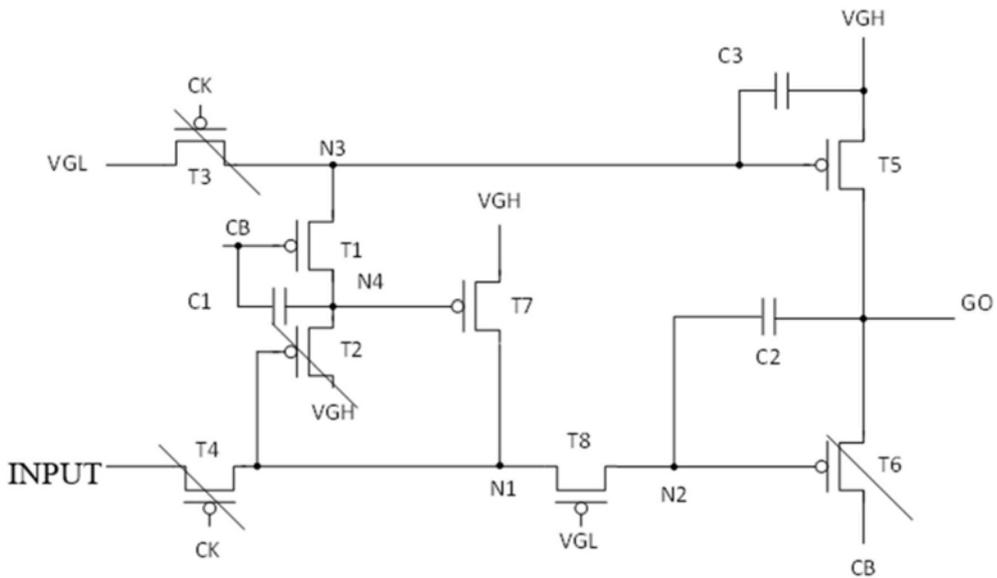


图17

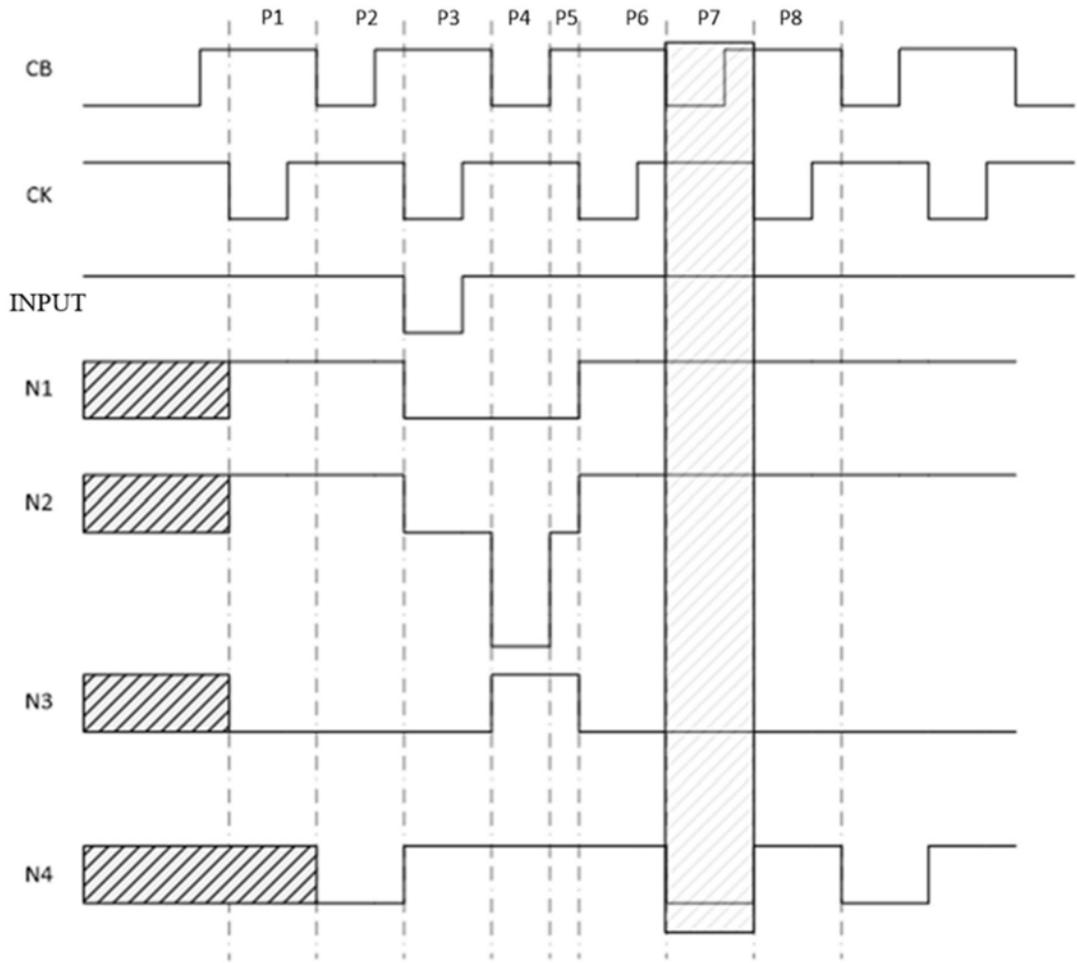


图18

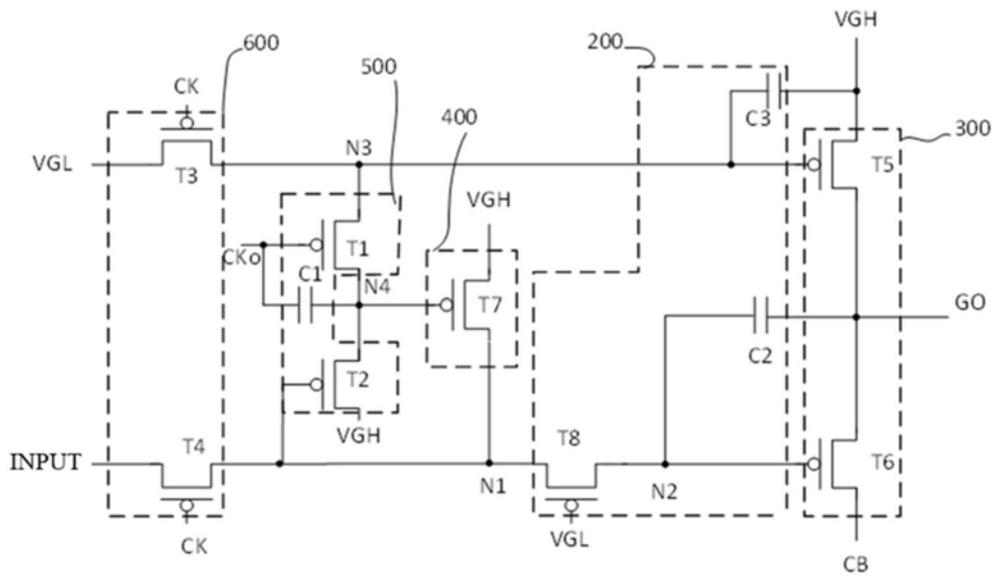


图19

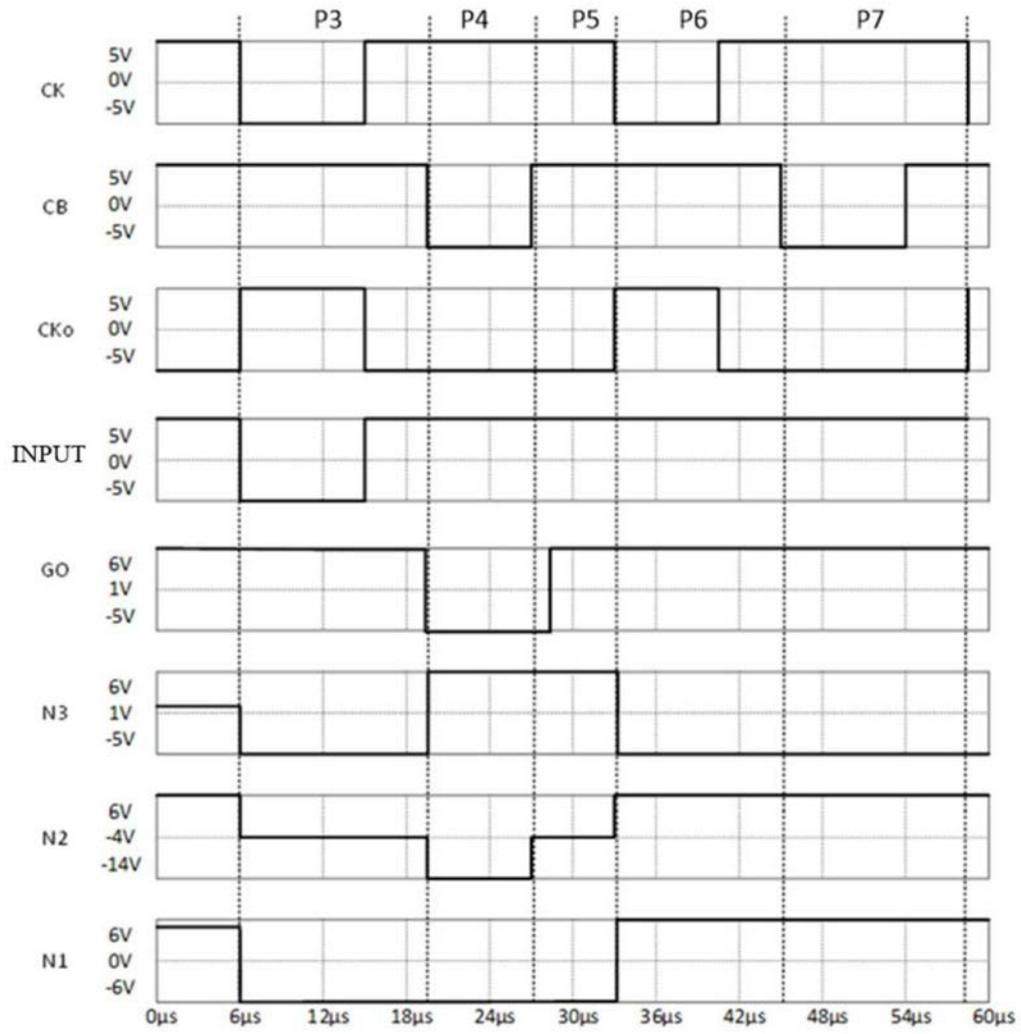


图20

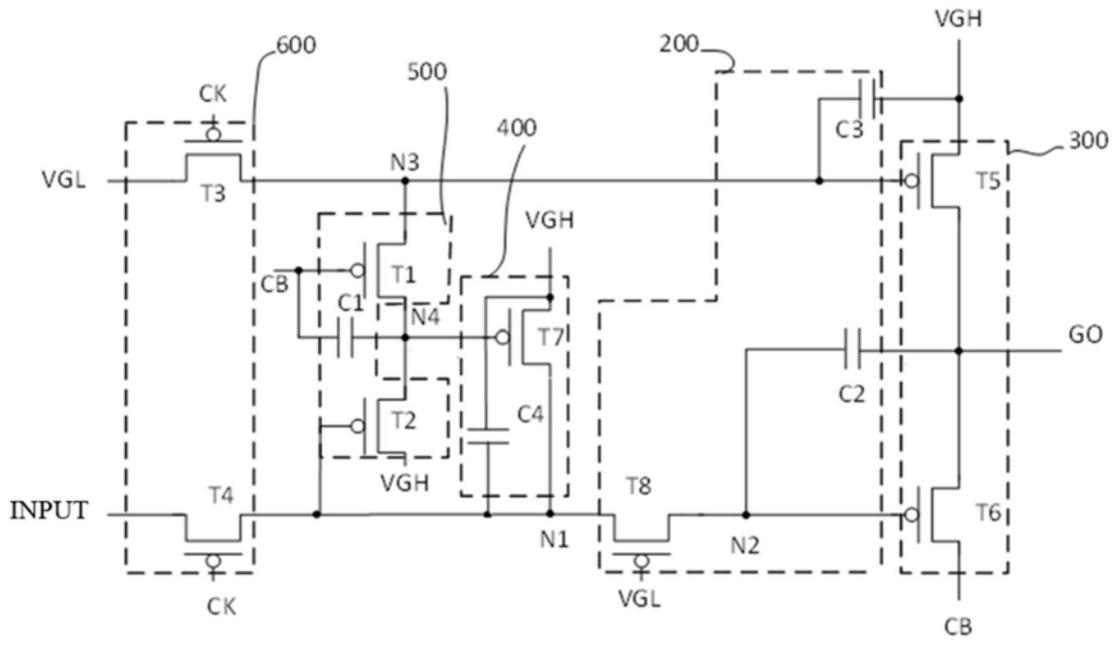


图21

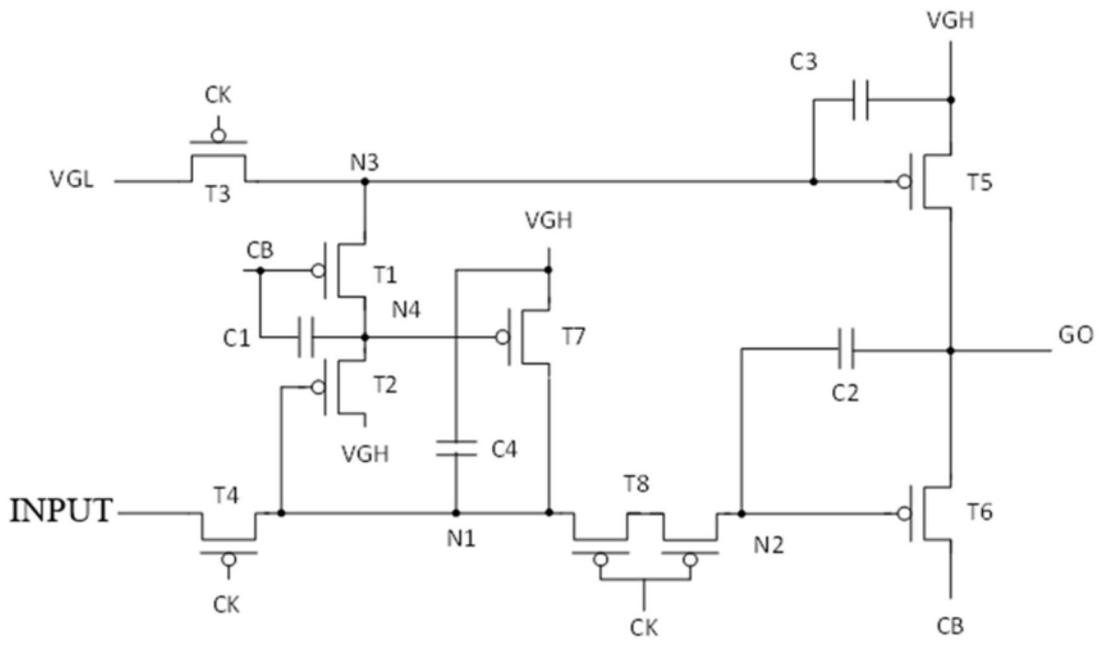


图22

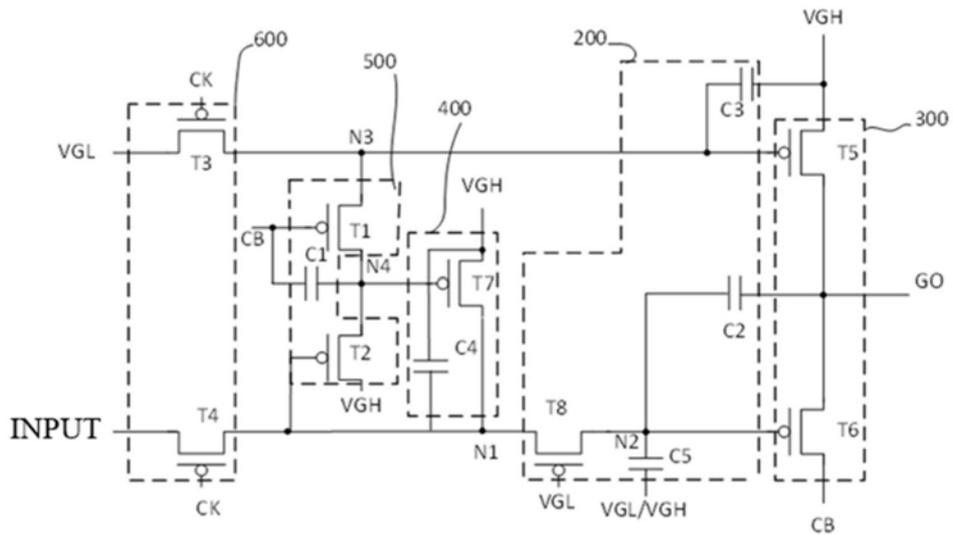


图23

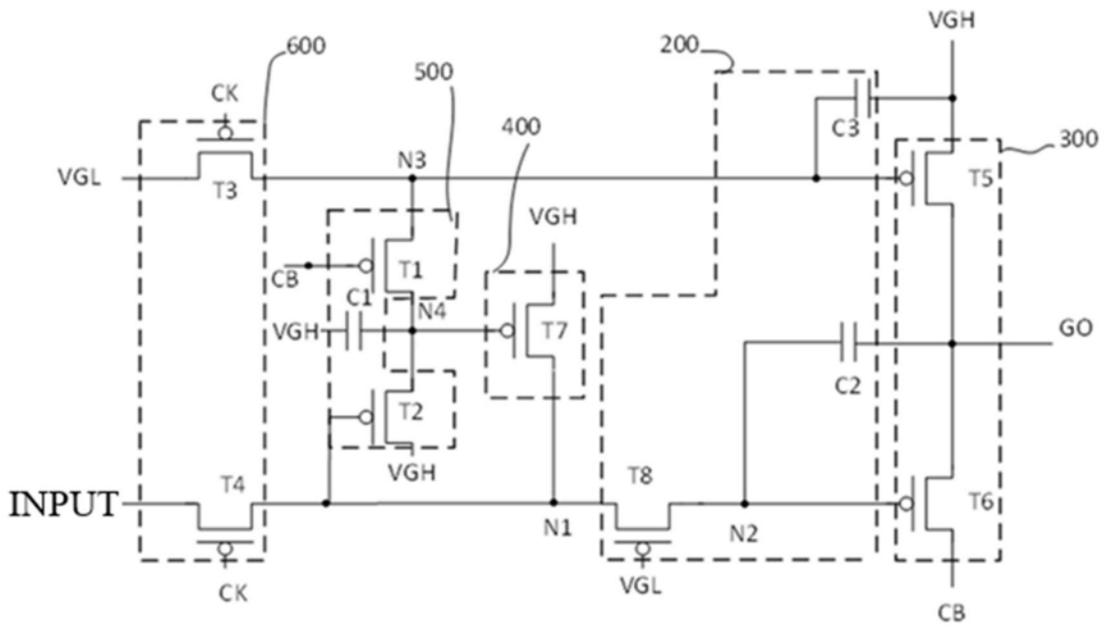


图24

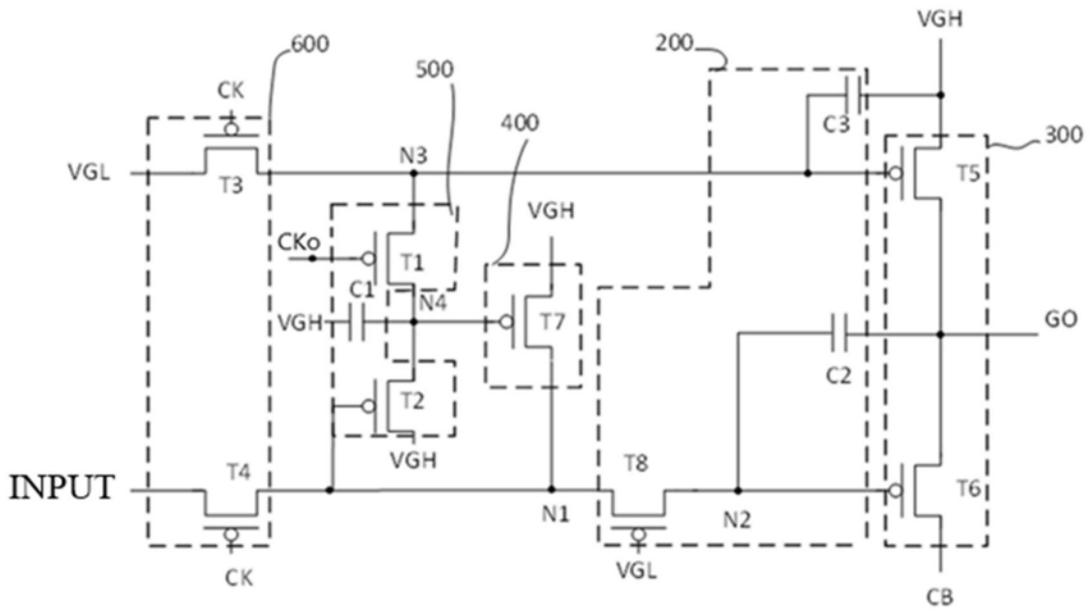


图25

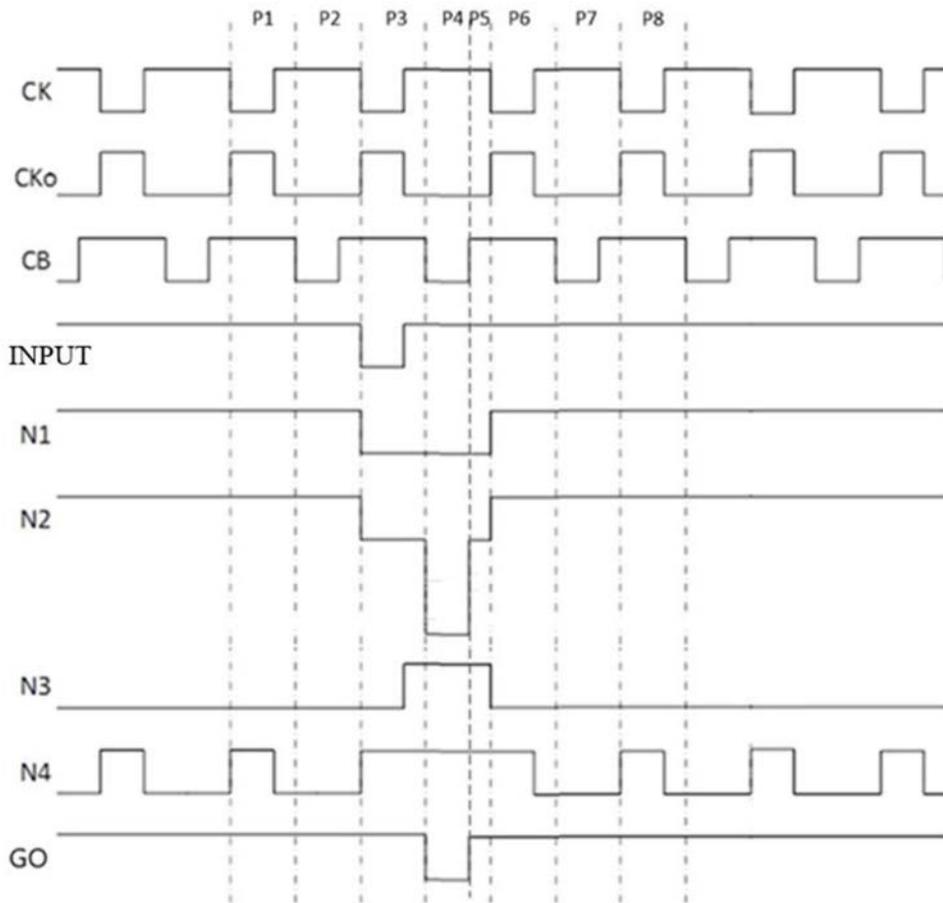


图26

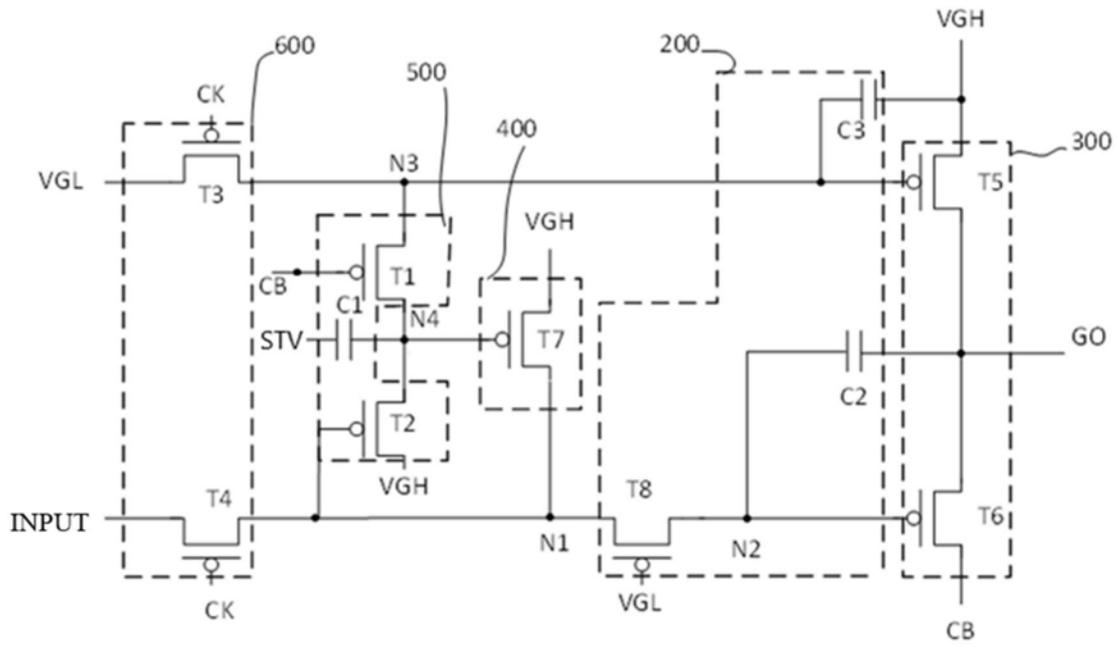


图27

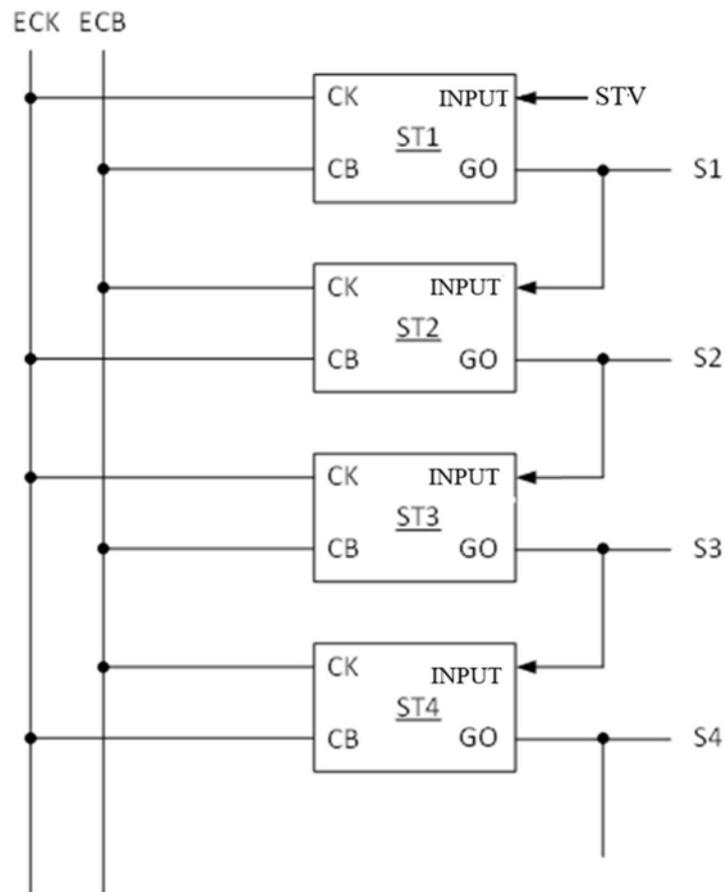


图28

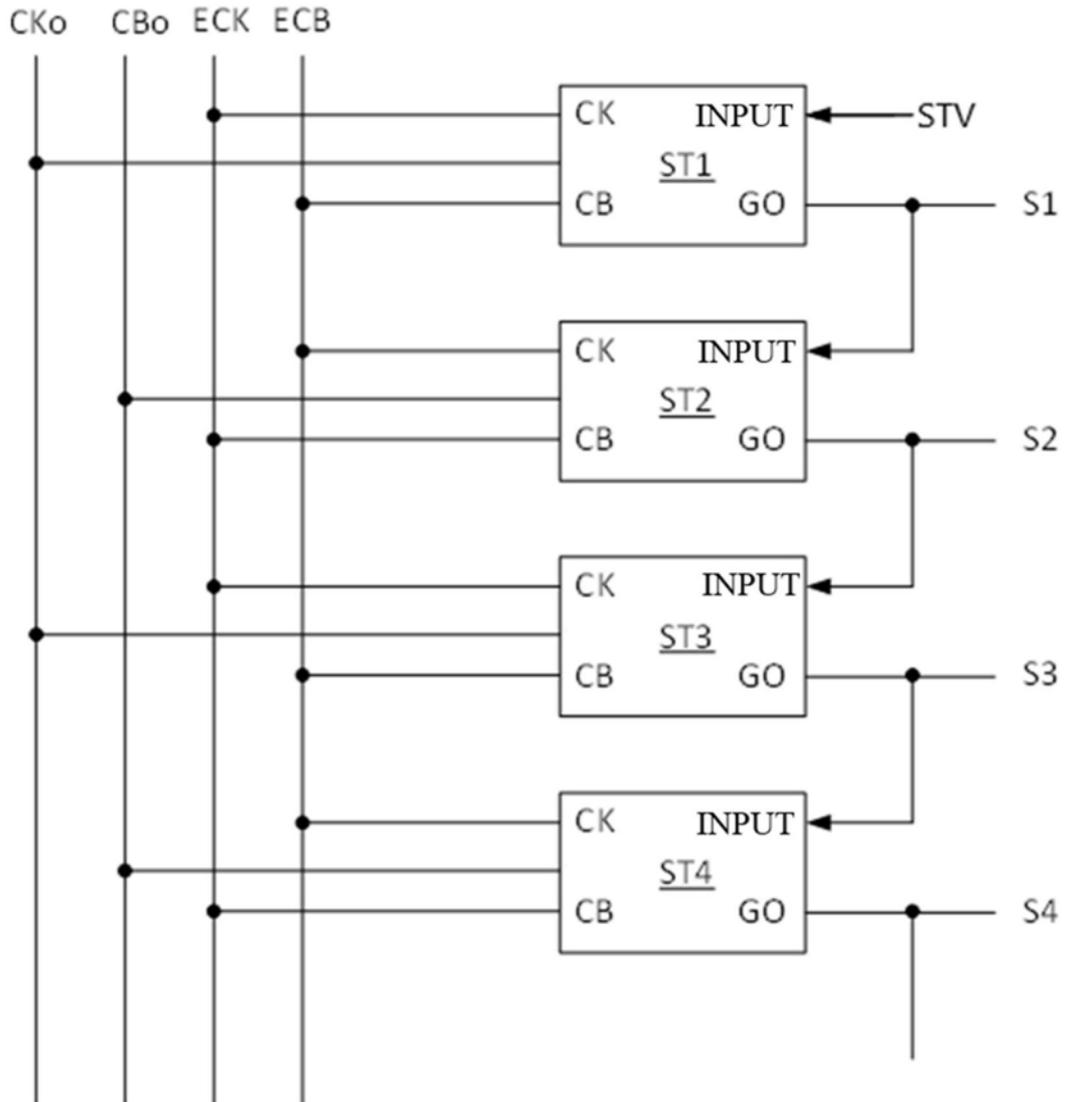


图29

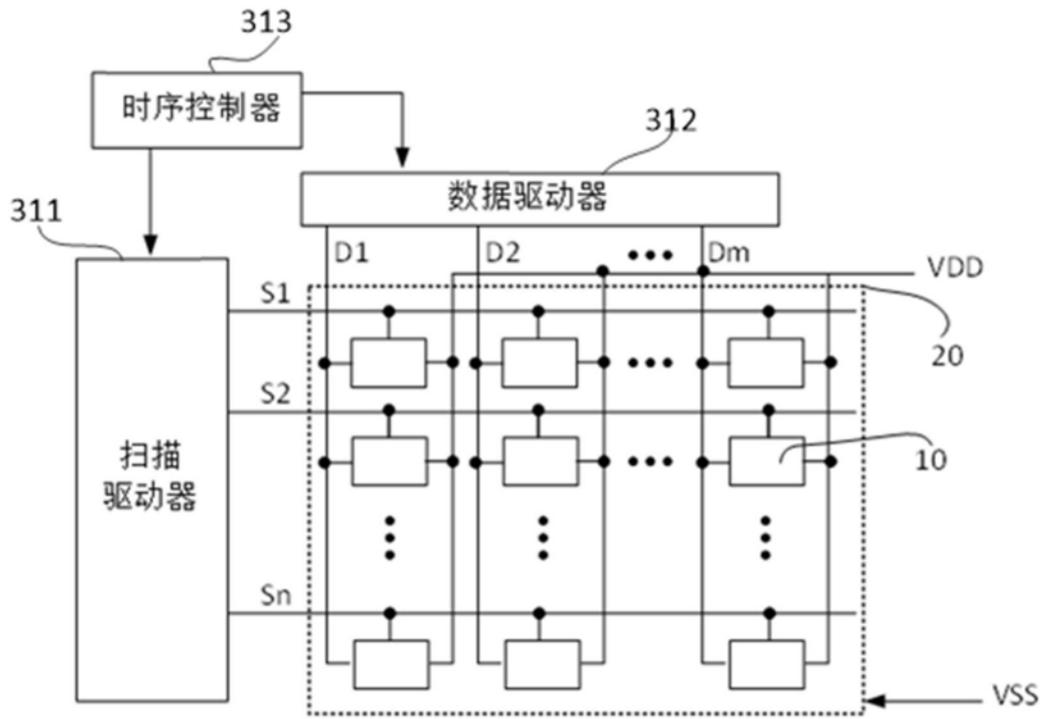


图30