

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4110239号
(P4110239)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月18日(2008.4.18)

(51) Int. Cl.	F I		
G06T 15/00	(2006.01)	G06T 15/00	100A
G06T 1/60	(2006.01)	G06T 1/60	450D
G06T 1/20	(2006.01)	G06T 1/20	A

請求項の数 18 (全 19 頁)

(21) 出願番号	特願平10-529084	(73) 特許権者	エヌヴィディア インターナショナル, インコーポレイテッド
(86) (22) 出願日	平成9年12月19日(1997.12.19)		アメリカ合衆国 カリフォルニア 950
(65) 公表番号	特表2001-507152(P2001-507152A)		50, エムエス-01-0223, サ
(43) 公表日	平成13年5月29日(2001.5.29)		ンタ クララ, サン トーマス エクス
(86) 国際出願番号	PCT/US1997/023982		プレスウェイ 2701, エヌヴィディ
(87) 国際公開番号	W01998/028714		ア コーポレーション気付
(87) 国際公開日	平成10年7月2日(1998.7.2)	(74) 代理人	弁理士 山田 行一
審査請求日	平成16年12月16日(2004.12.16)		
(31) 優先権主張番号	08/770,453	(74) 代理人	弁理士 野田 雅一
(32) 優先日	平成8年12月20日(1996.12.20)		
(33) 優先権主張国	米国(US)	(74) 代理人	弁理士 池田 成人

最終頁に続く

(54) 【発明の名称】 増強テクスチャマップデータフェッチング回路および方法

(57) 【特許請求の範囲】

【請求項1】

グラフィック要素のテクスチャマッピング動作に使用されるテクスチャマップデータを含むメモリユニットを有するコンピュータ制御されたグラフィック表示システムにおける、テクスチャマップデータを検索するための回路であって、

該メモリユニットの該テクスチャマップデータの最近アクセスされたテクスチャマップデータを含むキャッシュメモリと、

受け取られたテクスチャマップアドレスが、該キャッシュメモリの内容に対してヒットアドレスであるかまたはミスアドレスであるかを決定するキャッシュルックアップ回路と、該キャッシュルックアップ回路に結合され、複数の受け取られたテクスチャマップアドレスを格納するFIFOメモリと、

該メモリユニット、該キャッシュルックアップ回路、該FIFOメモリ、および該キャッシュメモリに結合されたキャッシュコントローラ回路であって、

(1) 該キャッシュルックアップ回路が第1の該テクスチャマップのミスアドレスを決定してから、該第1のテクスチャマップデータが該キャッシュメモリに格納されるまでの期間中に、該FIFOメモリの第1のロケーション内に格納されるテクスチャマップミスアドレスに対応する該第1のテクスチャマップデータを、該キャッシュメモリに格納するために該メモリユニットからフェッチし、

(2) 該キャッシュルックアップ回路が該第1のテクスチャマップのミスアドレスを決定してから、該第1のテクスチャマップデータが該キャッシュメモリに格納されるまでの期

間中に、該 F I F O メモリの第 2 のロケーションに格納されるテクスチャマップヒットアドレスに対応し、該キャッシュメモリ内に格納されている第 2 の該テクスチャマップデータを提供する、キャッシュコントローラ回路と、
を有する回路。

【請求項 2】

前記 F I F O メモリの前記第 1 のロケーションにデータが格納される時間が、前記第 2 のロケーションにデータが格納される時間よりも後である、請求項 1 に記載の回路。

【請求項 3】

前記キャッシュメモリが 1 キロバイトのサイズである、請求項 1 に記載の回路。

【請求項 4】

レンダリングのためのグラフィック要素にそれぞれ対応する前記受け取られたテクスチャマップアドレスを生成するための、前記キャッシュルックアップ回路に結合したアドレス生成回路をさらに含む、請求項 1 に記載の回路。

【請求項 5】

前記 F I F O メモリがまた規定の期間にテクスチャマップヒットアドレスを受け取り格納するためのものであり、前記キャッシュコントローラ回路が、前記メモリユニットから前記第 1 のテクスチャマップデータをフェッチし、前記キャッシュメモリに格納する、請求項 1 に記載の回路。

【請求項 6】

前記キャッシュコントローラ回路から供給されるテクスチャマップデータを処理するための、前記キャッシュコントローラ回路に結合されたテクスチャフィルタ回路をさらに含む、請求項 1 に記載の回路。

【請求項 7】

命令を実行し、データを処理するためのホストプロセッサと、該ホストプロセッサに結合されたバスと、グラフィック画像を表示するための表示スクリーンと、テクスチャマップデータを検索するための回路とを有するコンピュータ制御されたグラフィック表示システムであって、該回路が、

グラフィック要素のテクスチャマッピング動作に使用されるテクスチャマップデータを含むメモリユニットと、

該メモリユニットの該テクスチャマップデータの最近アクセスされたテクスチャマップデータを含むテクスチャマップキャッシュメモリと、

受け取られたテクスチャマップアドレスが、該キャッシュメモリの内容に対してヒットアドレスであるかまたはミスアドレスであるかを決定するキャッシュルックアップ回路と、複数の受け取られたテクスチャマップアドレスを格納するための、該キャッシュルックアップ回路に結合された F I F O メモリと、

該メモリユニット、該キャッシュルックアップ回路、該 F I F O メモリ、および該テクスチャマップキャッシュメモリに結合されたキャッシュコントローラ回路であって、(1) 該キャッシュルックアップ回路が第 1 の該テクスチャマップのミスアドレスを決定してから、該第 1 のテクスチャマップデータが該キャッシュメモリに格納されるまでの期間中に

、該 F I F O メモリの第 1 のロケーション内に格納されるテクスチャマップミスアドレスに対応する該第 1 のテクスチャマップデータを、該キャッシュメモリに格納するために該メモリユニットからフェッチし、(2) 該キャッシュルックアップ回路が該第 1 のテクスチャマップのミスアドレスを決定してから、該第 1 のテクスチャマップデータが該キャッシュメモリに格納されるまでの期間中に、該 F I F O メモリの第 2 のロケーションに格納されるテクスチャマップヒットアドレスに対応し、該キャッシュメモリ内に格納されている第 2 の該テクスチャマップデータを提供する、キャッシュコントローラ回路と、
を有するコンピュータ制御されたグラフィック表示システム。

【請求項 8】

前記キャッシュコントローラ回路がまた、前記期間中に、前記テクスチャマップキャッシュメモリ内に格納された第 3 のテクスチャマップデータを提供するためのものであり、該

10

20

30

40

50

第3のテクスチャマップデータが、前記FIFOメモリの第3のロケーションに格納された第2のテクスチャマップヒットアドレスに対応し、該第2のテクスチャマップヒットアドレスが、該テクスチャマップミスアドレスの後に、該FIFOメモリによって受け取られる、請求項7に記載のシステム。

【請求項9】

グラフィック要素にそれぞれ対応する前記受け取られたテクスチャマップアドレスを生成するための、前記キャッシュルックアップ回路に結合されたアドレス生成回路をさらに有する、請求項7に記載のシステム。

【請求項10】

前記FIFOメモリがまた、前記期間中にテクスチャマップヒットアドレスを受け取り格納するためのものである、請求項7に記載のシステム。

10

【請求項11】

前記テクスチャマップキャッシュメモリが1キロバイトのサイズである、請求項7に記載のシステム。

【請求項12】

前記キャッシュコントローラ回路によって供給されるテクスチャマップデータを処理するための、前記キャッシュコントローラ回路に結合されたテクスチャフィルタ回路をさらに含む、請求項7に記載のシステム。

【請求項13】

コンピュータ制御されたグラフィック表示システムにおける、テクスチャマップデータを検索する方法であって、

20

a) グラフィック要素のテクスチャマッピング動作に使用されるテクスチャマップデータをメモリユニット内に格納するステップと、

b) 該メモリユニットの該テクスチャマップデータの最近アクセスされたテクスチャマップデータをキャッシュメモリ内に格納するステップと、

c) 特定のテクスチャマップアドレスが、該キャッシュメモリの内容に対してヒットアドレスであるかまたはミスアドレスであるかを決定するステップと、

d) 複数の受け取られたテクスチャマップアドレスをFIFOメモリ内に格納し、該テクスチャマップアドレスに関連したテクスチャデータが該キャッシュメモリから供給されると、該FIFOメモリのボトムから個々に格納されたテクスチャマップアドレスを除去するステップと、

30

e) (1) 該キャッシュルックアップ回路が第1の該テクスチャマップのミスアドレスを決定してから、該第1のテクスチャマップデータが該キャッシュメモリに格納されるまでの期間中に、該FIFOメモリの第1のロケーション内に格納されるテクスチャマップミスアドレスに対応する該第1のテクスチャマップデータを、該キャッシュコントローラ回路を用いて該メモリユニットからフェッチして該キャッシュメモリに格納するステップと

f) 該キャッシュルックアップ回路が該第1のテクスチャマップのミスアドレスを決定してから、該第1のテクスチャマップデータが該キャッシュメモリに格納されるまでの期間中に、該テクスチャマップミスアドレスの前に該FIFOメモリによって受け取られた該FIFOメモリの第2のロケーションに格納されるテクスチャマップヒットアドレスに対応し、該キャッシュメモリ内に格納されている第2の該テクスチャマップデータを該キャッシュコントローラ回路を用いて提供するステップと、

40

を包含する方法。

【請求項14】

前記キャッシュコントローラ回路を用いて、前記期間中に、前記キャッシュメモリ内に格納された第3のテクスチャマップデータを提供するステップであって、該第3のテクスチャマップデータが、前記FIFOメモリの第3のロケーション内に格納された第2のテクスチャマップヒットアドレスに対応し、該第2のテクスチャマップヒットアドレスが、該テクスチャマップミスアドレスの後に、該FIFOメモリによって受け取られる、ステッ

50

ブをさらに包含する、請求項 1 3 に記載の方法。

【請求項 1 5】

前記期間中に、前記 F I F O メモリにテクスチャマップヒットアドレスを受け取り、格納するステップをさらに包含する、請求項 1 3 に記載の方法。

【請求項 1 6】

テクスチャフィルタ回路を用いて前記キャッシュコントローラ回路によって供給されるテクスチャデータを処理するステップをさらに包含する、請求項 1 3 に記載の方法。

【請求項 1 7】

テクスチャマップミスアドレスを前記 F I F O メモリが受け取った際、他のテクスチャマップミスアドレスが該 F I F O メモリ内に格納されている場合に前記ステップ d) を停止するステップをさらに包含する、請求項 1 3 に記載の方法。

10

【請求項 1 8】

テクスチャマップミスアドレスが前記 F I F O メモリのボトムに到達した際、その対応するテクスチャマップデータが前記メモリユニットからまだ供給されていない場合に前記ステップ d) を停止するステップをさらに包含する、請求項 1 3 に記載の方法。

【発明の詳細な説明】

発明の分野

本発明は、コンピュータ制御グラフィックディスプレイシステムの分野に関する。具体的には、本発明は、テクスチャマップデータ取出サブシステムにおけるデータスループットの増強のためのシステムおよび方法に関する。

20

発明の背景

典型的に、コンピュータ制御グラフィックディスプレイシステムは、グラフィック命令を高速で処理するための専用回路およびコード化された手順を含むグラフィックハードウェアユニット（例えば、「グラフィックカード」）に対して、データおよび制御信号を提供する。グラフィック命令は、典型的にはコンピュータメモリ内の「ディスプレイリスト」に格納される。命令は、いくつかのグラフィック要素およびグラフィックコマンドの表現を規定する。グラフィック要素は、例えば、個別の点、線、ポリゴン、充填体、BIT BLT（ビットブロックトランスファー）、テクスチャ、などである。グラフィック要素の集合は、3次元空間で表されるオブジェクトを、ディスプレイスクリーン上において2次元画像で表現するために用いられ得る。表現は、上記グラフィック要素およびグラフィック命令のラスタコード化データへの翻訳を含み、次いで、翻訳されたものは、ディスプレイスクリーン上での表示（「リフレッシュ」）のためにフレームバッファメモリ内にロードされる。

30

いくつかのポリゴングラフィック要素は、ポリゴン内で表示される、グラフィック画像を表すテクスチャデータの仕様を含む。テクスチャマッピングは、2次元ディスプレイスクリーン上に表示されるポリゴンの領域または表面に、表面詳細を追加する技術を称する。元のグラフィックオブジェクトは3次元であるので、テクスチャマッピングは、しばしば、要素に追加される表面詳細に対する特定の見込み属性の維持を伴う。メモリ内に格納され、典型的なテクスチャマップは、テクスチャ座標空間（ u, v ）に存在する点要素（「テクセル（ $t e x e l$ ）」）を含む。テクスチャ画像は、コンピュータメモリにおいて、ビットマップまたは他のラスタ型コード化フォーマットとして表される。更に、ディスプレイスクリーンは、表示座標空間（ x, y ）に存在する点要素（画素）を含む。

40

一般的に、テクスチャマッピングのプロセスは、表面詳細（例えば、画像）を格納するメモリユニットからのコード化された表面詳細点または「テクセル」へのアクセス、およびその表面詳細テクセルの、テクスチャマップされるグラフィック要素の所定の点への転送によって、発生する。テクスチャマップデータの個別のテクセルはメモリから読み出され、関連するポリゴンの位置および見込みによって、特定の形においてそのポリゴン内で適用される。したがって、（ x, y ）表示座標空間についての画素の色値は、テクスチャマップ値のサンプルに基づいて決定される。テクスチャマッピングのプロセスは、（ u, v ）テクスチャマップにおけるテクセルの色または視覚的属性を、ディスプレイスクリーンにお

50

けるグラフィック要素の、対応する画素に対して適用することにより動作する。テクスチャマッピングの後、テクスチャ画像の型はグラフィック要素の表面上に見られ、適切な見込みがある場合、その見込みと共に見られる。

しかし、テクスチャマッピングのプロセスでは、グラフィックディスプレイシステムのメモリ容量に対する需要が大きい。なぜなら、典型的なディスプレイスクリーンアップデート周期の間に、多くのテクスチャマップがメモリからアクセスされるからである。スクリーンアップデート周期の周波数は速いので、スクリーンの個別のポリゴンは非常に速い周波数でアクセスされ、アップデートされる必要があり、それは、大きいデータスループット容量を必要とすることになる。上述のメモリ需要の観点から、高パフォーマンスグラフィックハードウェアユニットは、典型的には、テクスチャマップされたデータの高速での格納および取出のための、低アクセス時間キャッシュメモリユニットおよびキャッシュメモリコントローラユニットを含む。テクスチャキャッシュにより、テクスチャマップされたポリゴンがグラフィックユニットを介して処理される場合、そのポリゴン用のテクスチャマップがテクスチャキャッシュ内に格納されているかどうかのアドレスチェックが、グラフィックコントローラによって行われる。要求されるメモリアドレスがテクスチャキャッシュ内に存在しない場合、従来技術のシステムにおけるキャッシュコントローラユニットは停止するが、所望のテクスチャデータは外部メモリから獲得される。通常、キャッシュコントローラユニットが外部メモリに要求を出してから、その外部メモリから実際にテクスチャデータがフェッチされるまで、長い待ち時間（停止）がある。

停止している間グラフィックユニットの特定の部分は、キャッシュコントローラが、キャッシュデータの最も古い時期に用いられた（LRU）組を外部源から新たにフェッチされたデータと置き換えることを待つ。その間、グラフィックユニットの多くの部分は有益な作業を行うことを一時的に妨げられる。それは、それらの部分のデータが停止したためか（例えば、要求されたテクセルが存在しないためにテクスチャエンジンが停止したため）、またはそれらの部分からデータを受け取るユニットが使用中であり、データを受け取れないかのいずれかの理由からである。これまで以上に上昇しているグラフィックデータスループットへの強い要求（例えば、リアルタイムオーディオ/ビデオマルチメディアアプリケーション）の観点から、上述の待ち状態は、高パフォーマンスグラフィックディスプレイシステムにおける欠点である。

したがって、本発明は、コンピュータ制御グラフィックディスプレイシステムにおける、テクスチャマップデータの効率的な取出を提供するシステムおよび方法を提供する。更に、本発明は上述のようなシステムを提供し、そのシステムでは、テクスチャキャッシュミスに関連するテクスチャデータのフェッチを待つ間、テクスチャデータの有益な処理を行い得るテクスチャデータキャッシュコントローラユニットを提供する。上述に特に記載されていない、これらおよび他の利点は、以下の本発明についての考察から明らかになる

【図面の簡単な説明】

図1は、本発明による、コンピュータ制御グラフィックディスプレイシステムのブロック図である。

図2は、本発明による、コンピュータ制御グラフィックディスプレイシステムの3Dグラフィックサブユニットを示すブロック図である。

図3は、本発明による、グラフィックユニットのテクスチャマップデータアクセス（TDA）回路のブロック図である。

図4Aおよび図4Bは、本発明のテクスチャマップアドレス（TMA）FIFOメモリユニットのトップエントリに位置づけられる、テクスチャマップデータ要求ミスアドレスおよびテクスチャマップデータ要求ヒットアドレスを示す。

図5Aおよび図5Bは、図4Aおよび図4BのFIFO構成の後にテクスチャマップアドレスFIFOメモリユニットのトップエントリに位置づけられる、テクスチャマップデータ要求ヒットアドレスを示す。

図6Aは、本発明のキャッシュコントローラによって第（n+1）番目の未処理ミスアドレスが受け取られる、第1のテクスチャエンジン停止状態を示す。

10

20

30

40

50

図 6 B は、ミスアドレスがテクスチャマップアドレスFIFOメモリユニットの最終エントリに及ぶが、キャッシュコントローラが依然データフェッチ動作を終了していないという、第 2 のテクスチャエンジン停止状態を示す。

図 7 A は、フェッチされたテクスチャデータが、テクスチャマップアドレスFIFOメモリユニットにおける最も古いアドレスであるミスアドレス用に供給される、テクスチャマップアドレスFIFOメモリユニットのFIFO構成の図である。

図 7 B は、第 (n+1) 番目のミスアドレスが同時にテクスチャマップアドレスFIFOメモリユニット内に入る、図 7 A に示されるテクスチャマップアドレスFIFOメモリユニットのFIFO構成の図である。

図 7 C、図 7 D、図 7 E、および図 7 F は、テクスチャマップアドレスFIFOメモリユニットの上部エントリに格納されるミスアドレス用のデータフェッチ動作の処理と同時に供給されるそれぞれ第 1、第 2、第 3 および第 4 のヒットアドレス用に、メモリキャッシュ内に格納されるテクスチャデータを示す。

図 7 G は、図 7 B ~ 7 F における、ミスアドレス用のデータフェッチ動作の処理の間において、引き続き受け取られたヒットアドレスがテクスチャマップアドレスFIFOメモリユニット上部に位置づけられる状態を示す。

図 8 は、テクスチャデータヒットおよびミスアドレスをテクスチャマップアドレスFIFOメモリユニット上に位置づける、本発明の動作のフローチャート内におけるステップを示す。

図 9 は、テクスチャデータヒットおよびミスアドレスをテクスチャマップアドレスFIFOメモリユニットから除去する、本発明の動作のフローチャート内におけるステップを示す。

発明の要旨

コンピュータ制御されたグラフィックディスプレイシステム内のテクスチャマップデータ要求の処理効率を向上するための回路および方法を説明する。3Dグラフィックディスプレイサブユニットはグラフィックディスプレイシステム内に含まれ、このサブユニットはポリゴンエンジン、テクスチャマップエンジンおよび画素パイプラインを含む。テクスチャマップエンジンは、(u,v)座標空間内に格納された使用中のテクスチャマップを含むためのコンピュータ読み出し可能キャッシュメモリを備えたキャッシュコントローラを有するテクスチャマップデータアクセス(TDA)回路を含む。キャッシュコントローラは、n個のキャッシュミス動作を同時に処理するだけに制限される。ある実施形態において、nは1である。TDA回路はまた、キャッシュメモリユニット内でヒットまたはミスするテクスチャデータ要求に関連するテクスチャマップアドレスを格納するためのテクスチャマップアドレスFIFOメモリユニットも含む。キャッシュコントローラはミスをもn個まで処理するので、(n+1)番目の未処理テクスチャ要求ミスに遭遇した場合に、テクスチャエンジンは停止する。従って、TMAFIFOは、任意の時間において最大n個のミスアドレスを含む。1つのミスに遭遇したがTMAFIFOが未処理ヒットアドレスを含む場合、処理効率は向上する。この時、ミスしたアドレスについてのテクスチャデータをフェッチするキャッシュコントローラで同時に、(1)以前に遭遇し、格納したヒットアドレスについて、キャッシュメモリからのデータを供給すること、および(2)新たなヒットアドレスをTMAFIFO内に受け取ることにより、テクスチャエンジンの停止を効率的に回避することを有利に行い得る。これは、テクスチャミス上のヒットアドレスを処理せずに、テクスチャエンジンを停止させる従来技術のシステムとは全く異なるものである。

具体的には、本発明の実施形態は、命令および処理データを実行するためのホストプロセッサ、ホストプロセッサに結合されたバス、グラフィックイメージを表示するためのディスプレイスクリーン、およびテクスチャマップデータを取り出すための回路を含む。回路は、グラフィック要素(graphic primitive)のテクスチャマッピング動作に使用されるテクスチャマップデータを含むためのメインメモリ(またはローカルフレームバッファ)と、メインメモリ(またはローカルフレームバッファメモリ)のテクスチャマップデータのアクセス中のサブテクスチャマップデータを含むためのテクスチャマップキャッシュメ

10

20

30

40

50

メモリと、キャッシュメモリのコンテンツについて、受け取られたテクスチャマップアドレスがヒットアドレスあるいはミスアドレスのいずれなのかを判定するためのキャッシュコントローラ回路に結合されたキャッシュルックアップ回路と、複数の受け取られたテクスチャマップアドレスを格納するためのキャッシュルックアップ回路に結合されたFIFOメモリと、メインメモリ、FIFOメモリ、およびテクスチャマップキャッシュメモリに結合されたキャッシュコントローラ回路とを含み、キャッシュコントローラ回路は(1)フェッチインターバルの間に、テクスチャマップキャッシュメモリ内への格納のためにメインメモリから第1のテクスチャマップデータをフェッチし、第1のテクスチャマップデータはFIFOメモリの第1の位置に格納されたテクスチャマップミスアドレスに対応し、更にキャッシュコントローラ回路は(2)フェッチインターバル内で、テクスチャマップキャッシュメモリ内に格納された第2のテクスチャマップデータを提供し、第2のテクスチャマップデータはFIFOメモリの第2の位置に格納された第1のテクスチャマップヒットアドレスに対応し、第1のテクスチャマップヒットアドレスはテクスチャマップミスアドレスの前にFIFOメモリによって受け取られる。

10

本発明の実施形態は上記を含み、キャッシュコントローラはまた、フェッチインターバルの間に、テクスチャマップキャッシュメモリ内に格納された第3のテクスチャマップデータを提供し、第3のテクスチャマップデータはFIFOメモリの第3の位置に格納された第2のテクスチャマップヒットアドレスに対応し、第2のテクスチャマップヒットアドレスはテクスチャマップミスアドレスの前にFIFOメモリによって受け取られ、FIFOメモリはまたフェッチインターバルの間にテクスチャマップヒットアドレスを受け取って、格納する。

20

好適な実施形態の説明

本発明、つまりテクスチャデータキャッシュメモリに関連して使用される効率的なテクスチャデータ取り出し方法の以下の詳細な説明において、本発明の完全な理解を提供するために複数の特定の詳細を説明する。しかし、本発明はこれらの特定の詳細なしで実施し得ること、または異なるエレメントまたはプロセスを用いることによって実施し得ることが、当業者には明らかになる。他の例において、周知のプロセス、手順、構成要素、および回路は、本発明の必ずしも明瞭にする必要のない局面については、詳細には説明されていない。

表記法および用語法

30

以下の詳細な説明のいくつかの部分は、手順、論理ブロック、処理、およびコンピュータメモリ内のデータビット上の動作の他の記号表記に関して提示される。これらの説明および表記は、データ処理業界の当業者によって他の当業者に作業の内容を最も効果的に伝えるために使用される手段である。手順、論理ブロック、プロセス等は、本明細書中では、通常、所望の結果が得られる自己矛盾のないステップまたは命令のシーケンスと考えられる。ステップは、物理的な量の物理的な操作を要求するステップである。通常、必ずしもそうではないが、これらの物理的な操作は、コンピュータシステム内で格納、転送、結合、比較および他の操作が可能である電気信号または磁気信号の形態をとる。本明細書中において、本発明を参照して、これらの信号はビット、値、エレメント、記号、文字、語句または数等として参照される。

40

しかし、これら全ての語句が、物理的な操作および物理的な量を参照して解釈されるべきものであり、単に便利なラベルに過ぎず、更に当業界で通常使用される語句を鑑みて解釈されるべきものであることに留意されたい。特定の述べない限りは以下の説明から明らかのように、本発明全体を通しての説明、つまり、「処理」、「演算」、「計算」、「判定」または「表示」等の語句を利用した説明が、コンピュータシステムまたはデータを操作し且つ変換する同様の電子演算装置の働きおよびプロセスを指す。データは、コンピュータシステムのレジスタおよびメモリ内の物理的な(電子的な)量として示され、コンピュータシステムメモリ、コンピュータシステムレジスタ、もしくは、他の情報格納装置、情報転送装置または情報表示装置内に同様に物理的な量として示された他のデータへと転換される。

50

コンピュータ制御されたグラフィックディスプレイシステム

図 1 に、本発明に従って使用されるコンピュータ制御されたグラフィックディスプレイシステム 112 のブロック図を示す。通常、本発明の実施形態によって使用されるホストコンピュータシステム 112 は、情報を通信するためのバス 100 と、情報および命令を処理するためのバス 100 と結合した 1 つ以上のホストプロセッサ 101、ホストプロセッサ 101 についての情報および命令を格納するためのバス 100 に結合されたコンピュータ読み出し可能揮発性メモリユニット 102 (例えばランダムアクセスメモリユニット) と、ホストプロセッサ 101 についてのスタティック情報および命令を格納するためのバス 100 と結合したコンピュータ読み出し可能不揮発性メモリユニット 103 (例えば読み出し専用メモリユニット) と、情報および命令を格納するためのバス 100 と結合された磁気ディスクまたは光ディスクならびにディスクドライブ (例えばハードドライブまたはフロッピーディスク) 等のコンピュータ読み出し可能データ格納装置 104 と、コンピュータユーザに情報を表示するためのバス 100 に結合された表示装置 105 とを含む。本発明のコンピュータシステム 112 で利用される表示装置 105 は、液晶装置、陰極線管、またはユーザが認識できるグラフィックイメージおよび英数字を作成するのに適した他の表示装置であり得る。

ホストコンピュータシステム 112 は、データおよび制御信号をバス 100 を介して例えば「グラフィックカード」108 等のグラフィックハードウェアユニットまたはシステムに提供する。グラフィックハードウェアシステム 108 はコンピュータメモリ内に格納された表示リスト内に見られる一連の表示命令を実行するための 3D グラフィックサブユニット 109 を含む。通常、表示リストは例えば独立した点、線、ポリゴン、フィル (fill)、BIT BLT (ビットブロック転送)、テクスチャ等の複数のグラフィック要素のレンダリングに関する命令を含む。ポリゴン表示命令の多くが、ポリゴン内に表示されるテクスチャデータを含む。テクスチャデータは、システム 112 のコンピュータ読み出し可能 (例えば揮発性) メモリユニット、または、(u,v) 座標系内に格納されたラスタ型データの形態の (例えばビットマップされた形態の) ローカルフレームバッファ 110 内に格納される。テクスチャデータの個々の構成要素 (例えば「テクセル」) がメモリから読み出され、関連するポリゴンの配置および視点に依存する特定の様式でポリゴン内に与えられる。関連するテクスチャデータでポリゴンのレンダリングを行う処理は「テクスチャマッピング」と呼ばれる。多くのテクスチャマッピングがメモリからアクセスされて、表示されたフレームを構築するので、テクスチャマッピングはコンピュータシステム 112 のメモリ容量に対する大きな需要を必要とする。スクリーンの更新は、素早く実行される必要があるので、ポリゴンは極めて素早く更新される必要があり、更なるテクスチャマッピングがアクセスされ、極めて早急な様式で与えられ、それによりメモリ需要を増大する。バス 100 上方のグラフィックハードウェアシステム 108 は、データおよび制御信号を、表示装置 105 上の画像 (グラフィックイメージを含む) をレンダリングするために表示装置 105 をリフレッシュするローカルフレームバッファメモリ 110 に供給する。グラフィックハードウェアシステム 108 の構成要素 (例えば 3D グラフィックサブユニット 109) を以下により詳細に説明する。

図 2 は、テクスチャエンジン 10、ポリゴンエンジン 12 および画素パイプライン 16 を含むグラフィックサブユニット 109 の回路の一部を示す。テクスチャエンジン 10 は、バス 5 上の、レンダリングされる各ポリゴンに対応するポリゴンの頂点データを受け取る。ポリゴンの頂点データは、ポリゴンの各頂点についてのデータポイントを含む。トライアングルポリゴンに関して、3 頂点の各々が、自身の位置座標値 (x,y,z) と、自身の色値 (赤、緑、青) と、自身のテクスチャマップ座標値 (u,v) と、自身の視点値 (w) と、もし存在するならば、ポリゴンについてのテクスチャマップデータの識別を含む他の要求された値とを含む。テクスチャエンジン 10 は、ポリゴンについてのテクスチャマップデータの取り出しおよびポリゴンの画素上へのテクスチャデータのテクセルのマッピングに対して管理義務がある。一旦テクスチャエンジン 10 がトライアングルの各頂点についてのテクスチャマップ座標 (u,v) を与えられると、テクスチャキャッシュコントローラ 2

10

20

30

40

50

50に進み、トライアングルへの配置のために適合するテクセルにアクセスし得る。このプロセスの間に、テクスチャエンジン10はポリゴンの表面の3次元視野を維持する。テクスチャマップデータ取り出し(TDA)回路200は、本発明に従ってテクスチャマップデータ取り出しプロセスを実行する。テクスチャエンジン10のテクスチャ取り出しシステムはさておき、複数の周知の手順および回路が、視野を維持するため、ならびに、テクスチャエンジン10内で実行されるテクスチャマッピング動作の実行のために使用され得る。テクスチャマップ画素データは、テクスチャエンジン10からバス14a上の画素パイプライン16に供給される。

図2のポリゴンエンジン12は、バス5を介してポリゴンデータを受信し、そしてポリゴン要素の位置、色、および奥行きに関して周知のポリゴンレンダリング機能を実行する。本質的には、ポリゴンエンジンは、ポリゴン頂点データに基づいて、補間を使用してポリゴン要素内の画素の画素位置および色を計算する。ポリゴンエンジン12から得られた画素情報は、バス14bを介して画素パイプラインへ転送される。画素パイプライン16は、テクスチャエンジン10からのテクスチャデータ(テクセル)とポリゴンエンジン12からの画素データとを混合し、合成ポリゴン画像を形成する。合成画像のデータ(画素)は、バス18上をラスタコード化形式で転送され、ラスタコード化フレームバッファ(グラフィックサブユニット109内に存在するが、図2に示されない)に格納され、そして最後にディスプレイスクリーン105(図1)に表示される。上記動作は、各受信されたポリゴン要素に対して個々に行われる。1つの実施例において、画素パイプライン16は、プログラム可能な画像特徴に依存して、約5クロック周期から7クロック周期の呼び出し時間を含む。

本発明のテクスチャマップデータ検索(TDA)回路200

図3は、本発明によるテクスチャマップデータアクセス(TDA)回路200の構成要素を例示する。TDA回路200は、(アドレス形態の)テクスチャマップデータ要求を処理するための効率的な機構を提供し、これによって有用なテクスチャマップデータが、フェッチ間隔中にキャッシュメモリ251からフィルタ260へ供給され得、ここで同時に、他のテクスチャデータがメインメモリ102またはローカルフレームバッファ110(図1)からフェッチされる。この動作は、フェッチ間隔中に、テクスチャエンジンが停止し、そしてフェッチが完了するまで有用なテクスチャマップデータが提供されない従来技術とは異なる。さらに、フェッチ間隔中に、後に受信されるヒットアドレスがTDA回路200によって受信され、これによってアドレスをTDA回路200に供給する回路の停止を防止する。

上述のように、テクスチャエンジン10によって受信されたポリゴンデータは、現在処理中のポリゴンによって使用されたテクスチャマップ(例えば、テクスチャマップのベースアドレス)の指示(例えば、ポインタ)を含む。TDA回路200は、バス205を介して上記参照されたテクスチャマップベースアドレスを受信するアドレス制御ユニット210を含む。テクスチャマップベースアドレス情報はまた、バス207上をアドレス生成器ユニット220へ転送される。アドレス生成器ユニット220は、アドレス制御ユニット210から始まるライン237の制御信号によって制御される。アドレス生成器ユニット220はまた、現在のポリゴン要素に対応するテクスチャ座標(u, v)を受信する。アドレス生成器ユニット220は、(u, v)テクセルアドレスおよび詳細レベル(LOD)情報をポリゴン要素の各対応画素に対して生成する。これらの新しい「受信された」テクスチャマップアドレス(「テクセルアドレス」)は、個々にユニット220からキャッシュルックアップユニット230へ転送される。

多くの異なるテクセルアドレス生成機構が、本発明内において、アドレス生成器ユニット220によって使用され得る。1つの実施態様において、アドレス生成器ユニット220は、要求されたテクセルアドレスを計算するためにu_main、v_main、du_main、du_ortho、dv_main、およびdv_orthoを入力する。この実施態様において、これらの用語は、代理人事件整理番号CRUS-096-050を用いて本発明の譲受人に譲渡された、Vaswaniらの同時係属特許出願第_____、出願日_____、および題名「Non-Homogenous Second Order Perspective Texture Mapping Coordinates Using Linear Interpolation」において規定される

10

20

30

40

50

。図3のキャッシュルックアップユニット230は、制御およびアドレスバス235を使用して、テクスチャマップキャッシュメモリ回路(「キャッシュメモリ」)251の内容を調べ、各受信されたテクスチャマップアドレスがキャッシュメモリ251に格納されたテクスチャマップデータと対応するかどうかを判断する。キャッシュメモリ251は、キャッシュコントローラ回路250内に存在し、そして1つの実施態様において所定の大きさ(例えば、1kバイト)の16ビット完全関連づけ(fully-associated)キャッシュである。1つの実施態様において、キャッシュメモリ251は、16セット(各64バイト)に分割される。受信されたテクスチャマップアドレスは、キャッシュ回路251中に格納されたテクスチャマップデータに対応する場合、それはテクスチャマップヒットアドレス(「ヒットアドレス」)である。受信されたテクスチャマップアドレスは、キャッシュ回路251中に格納されたテクスチャマップデータに対応しない場合、それはテクスチャマップミスアドレス(「ミスアドレス」)である。後者の場合において、フェッチ間隔は、キャッシュコントローラ回路250がキャッシュメモリ251に格納するためのメインメモリ102またはローカルフレームバッファ110からの要求されたテクスチャマップデータをフェッチするように要求される。1つの実施態様において、数個のスクリーンラインからなる部分(例えば、単一のセットサイズに対応する64バイト)を表す1ブロックのテクスチャデータが各フェッチ間隔においてフェッチされる。本発明の1つの実施態様において、フェッチされたテクスチャマップデータは、8×8マトリクスのテクスチャマップデータからそれぞれなる64バイトブロック中(セットに対応する)にフェッチされる。

キャッシュコントローラ250は、テクスチャデータがメインメモリ102(またはローカルフレームバッファ110)からフェッチされそしてキャッシュメモリ251内に格納されるn個の同時フェッチ動作を行う回路を含む。1つの実施態様において、n=1である。n個より多いフェッチ動作が要求される場合、n個のフェッチ動作が完了するまでさらなるフェッチ動作が遅延される。上述の実施態様において、第2のフェッチ動作が要求され、そして待機状態中のフェッチ動作がまだ完了していない場合、第2のフェッチ動作は待機状態中のフェッチ動作の完了まで遅延される。フェッチ動作の間隔は、フェッチ間隔と称される。フェッチ動作は、システム112のバス100と通信的にインターフェースされるバス202を使用して、メインメモリ102またはローカルフレームバッファ110からのバス110からテクスチャマップデータを受信する。多くの周知の回路および技術が、テクスチャマップデータフェッチ動作を実施するために、本発明の範囲内でキャッシュコントローラ回路250によって使用され得る。

本発明の1つの実施形態において、フェッチ動作と並列に(同時に)、キャッシュコントローラ回路250およびキャッシュメモリ251が、キャッシュメモリ251内に格納され、フェッチ間隔の開始前に受信されたテクスチャマップヒットアドレスに対応するテクスチャマップデータを供給するために使用され得る。

図3の先入れ先出し(FIFO)メモリ回路240は、キャッシュルックアップユニット230からテクスチャマップアドレスを受信し、入力に結合される。FIFOメモリ240(TMA FIFOとも称される)は、ヒットまたはミスアドレスを格納するための多くのエン트리(1)-(m)を含む。FIFOメモリユニット240のボトムエン트리(物理的または論理的)にあるテクスチャマップアドレスは、テクセルがテクスチャキャッシュ251において利用できる場合に、対応するテクスチャマップデータがキャッシュメモリユニット251からフェッチされ、そしてバス253上に供給されるように処理される。キャッシュメモリユニット251は、アドレスおよび制御バス238上のFIFOメモリ240のボトムエン트리によって、アドレッシングされる。ボトムエン트리アドレスに対応するテクスチャマップデータがキャッシュメモリ251においてまだ利用できない場合、FIFOメモリ240は、データが利用できるまで停止される。対応するテクスチャマップデータがキャッシュメモリ251から供給される場合、ボトムエントリテクスチャマップアドレスは、FIFOメモリ240から取り除かれる。

フィルタユニット260は、キャッシュコントローラ回路250からバス253を介してテクスチャマップデータを受信し、そして線形フィルタ、双線形フィルタ、および三線形フィルタ

10

20

30

40

50

を行うことを含む多くの周知のデータフィルタ動作を行う。次に、フィルタユニット260は、ポリゴンに対するテクスチャマップデータを、外部バス273に結合されたオプションの出力FIFO270へ出力する。バス273は、バス14a(図2)へそして画素パイプライン回路16へ結合される。

本発明のTDA回路200のFIFOメモリ240の動作がここで説明される。図4Aは、FIFOメモリ240が空でそしてミスアドレスがトップエントリ(1)へプッシュされるFIFO構成を例示する。この構成上で、キャッシュコントローラ250は、ミスアドレスに対するテクスチャマップを得るためにフェッチ間隔を開始する。図4Bは、FIFOメモリ240が空でそしてヒットアドレスがトップエントリ(1)へプッシュされるFIFO構成を例示する。

図5Aは、図4AのFIFO構成を例示するが、後に受信されるヒットアドレスが、次にトップエントリ(1)上へプッシュされ、そしてミスアドレスが次にエントリ(2)へコピーされる。この構成において、エントリ(2)のミスアドレスに対するフェッチ間隔は、まだ完了しないことが理解される。図5Aは、多重の後に受信されるヒットアドレスがフェッチ間隔中にFIFOメモリ240上へプッシュされ得ることを例示する。この後に受信されるヒットアドレスは、まだキャッシュメモリユニット251によって処理されないが、FIFOメモリ240中に残る。したがって、本発明は、TDA回路200がフェッチ間隔中に新しいテクスチャマップアドレスを受信することを可能にするという利点があり、したがってフェッチ間隔中にこれらのテクスチャマップアドレスを供給する回路の停止を防止する。図5Bは、図4BのFIFO構成を例示するが、後にフェッチされるヒットアドレスが、次にトップエントリ(1)上へプッシュされ、そして第1のヒットアドレスがFIFO240の外へポップされる。

図6Aおよび図6Bは、FIFOメモリ240停止状態を起こす2つのFIFO構成を例示する。停止中に、FIFOメモリ240およびTDA回路200は、これ以上のテクスチャマップアドレスを受信しない。図6Aは、初期に受信されたミスアドレスがFIFOメモリ240のボトム近くのエントリ(m')中にあり、多くのヒットアドレスが受信されそしてエントリ(1)から($m'-1$)中に格納され、そして次に別のミスアドレス310aが受信される、FIFO停止状態を例示する。エントリ(m')中のミスアドレスがまだ待機状態中である(例えば、まだフェッチ間隔がオープンである)。n=1である実施態様において、この状態は、キャッシュコントローラ回路250が一度に1つのフェッチ間隔だけ処理するので、FIFO停止を起こす。したがって、FIFOメモリ240は、停止し、そしてエントリ(m')中のミスアドレスを取り除くまで、新しいテクスチャマップアドレスを受信しない。

図6Bは、待機状態のミスアドレスがFIFOメモリ240のボトムエントリ(m)に到達し、そしてFIFOメモリ240の残りであるエントリ(1)から(m-1)が、ヒットアドレスで満たされる、第2のFIFO停止構成を示す。新しいテクスチャマップアドレスが受信されないが、この構成において、エントリ(m)中のミスアドレスに対応するテクスチャマップデータは、そのフェッチ間隔がまだ完了していないので、まだ利用できない。この構成において、FIFOメモリ240は、エントリ(m)中のミスアドレスに対するテクスチャマップデータが利用できるようになるまで(この時点でこのミスアドレスは、FIFOメモリ240から取り除かれる)、停止する。

図7Aは、FIFOメモリ240の「ボトム」エントリが、実際の最後の物理的エントリ(m)または、最も古いテクスチャマップアドレスを含むエントリとして定義される論理ボトムエントリと見なし得る様子を示している。本発明の一実施形態において、FIFOメモリ240の最後の物理的エントリ(m)は、キャッシュメモリ251にアドレスして対応するテクスチャマップデータを検索するために用いられる。しかし、図7Aに示すように、論理ボトムエントリ(m')は本発明の別の実施形態においても用いられ得る。図7Aにおいて、ミスアドレスはFIFOメモリ240内の最も古いアドレスとして位置(m')にあり、その他の後に受け取られたヒットアドレスは、エントリ(1)~($m'-1$)に格納される。このとき、エントリ(m')におけるミスアドレスのフェッチ期間が完了し、その対応するテクスチャデータをキャッシュメモリ251から供給させる。次にエントリ(m')におけるミスアドレスはFIFOメモリ240から除去される。

図7B~図7Gは、本発明のTDA回路200のテクスチャマップデータ検索における効

10

20

30

40

50

果的な使用法を示す。この使用法において、テクスチャマップデータはフェッチ期間中においてTDA回路200からテクスチャエンジン10に供給される。図7Bは、第1のミスアドレスが待機中であり、(m') エントリに格納されており、FIFOメモリ240のエントリ(1)から(m'-1)に数個のヒットアドレスが格納されており、その後第2のミスアドレス320aが受け取られた場合のFIFO構成を示す。この時点t=0において、図7Bに示すように第1のミスアドレスのテクスチャマップデータがキャッシュメモリ251中で利用可能になる。

図7Cは、次のクロックサイクルt=1において、第2のミスアドレスがエントリ(1)に格納され、ヒットアドレスが各々下方にシフトされてFIFOメモリ240のエントリ(2)~(m')を占めている状態のFIFO構成を示す。またt=1において、キャッシュコントローラ回路250は第2のミスアドレスについてメインメモリ102からテクスチャマップデータを検索するためのフェッチ期間を開始する。このフェッチ期間と同時に、キャッシュコントローラ回路250は、FIFOメモリ240のボトムエントリ(m') (物理ボトムまたは論理ボトム)に位置するヒットアドレス(アドレス1)を用いて、キャッシュメモリ251にもアクセスする。次にキャッシュコントローラ回路250は、このヒットアドレス1に対応するテクスチャマップデータを、テクスチャフィルタ260に供給する。従って、本発明のTDA回路200は、テクスチャデータフェッチ期間中にテクスチャデータを供給することを可能にするという利点を有する。

図7Dは、次のクロックサイクルt=2において、第2のミスアドレスがエントリ(2)に格納され、以前に受け取られたヒットアドレスが各々下方にシフトされてFIFOメモリ240のエントリ(3)~(m')を占めている状態のFIFO構成を示す。また、新しく受け取られたヒットアドレスが、FIFOメモリ240のエントリ(1)中にシフトされる。このように、本発明は、フェッチ期間中において、FIFOメモリ240が新しいヒットアドレスを受け入れることを可能にするという利点を有する。t=2において、t=1で開始されたフェッチ期間はまだ待機中である。この待機中のフェッチ期間と同時に、キャッシュコントローラ回路250は、FIFOメモリ240のボトムエントリ(m') (物理ボトムまたは論理ボトム)に位置するヒットアドレス(アドレス2)を用いて、キャッシュメモリ251にもアクセスする。次にキャッシュコントローラ250は、このヒットアドレス2に対応するテクスチャマップデータを、テクスチャフィルタ260に供給する。

図7Eは、クロックサイクルt=3において、第2のミスアドレスがエントリ(3)に格納され、以前に受け取られたヒットアドレスが各々下方にシフトされてFIFOメモリ240のエントリ(4)~(m')を占めている状態のFIFO構成を示す。t=2において受け取られたヒットアドレスはエントリ(2)中にシフトされ、新しく受け取られたヒットアドレスが、FIFOメモリ240のエントリ(1)中にシフトされる。t=3において、t=1で開始されたフェッチ期間はまだ待機中である。この待機中のフェッチ期間と同時に、キャッシュコントローラ回路250は、FIFOメモリ240のボトムエントリ(m') (物理ボトムまたは論理ボトム)に位置するヒットアドレス(アドレス3)を用いて、キャッシュメモリ251にもアクセスする。次にキャッシュコントローラ250は、このヒットアドレス3に対応するテクスチャマップデータを、テクスチャフィルタ260に供給する。

図7Fは、クロックサイクルt=4において、第2のミスアドレスがエントリ(4)に格納され、唯一残っている以前に受け取られたヒットアドレスが下方にシフトされてFIFOメモリ240のエントリ(m')に入れられた状態のFIFO構成を示す。t=3において受け取られたヒットアドレスはシフトされてエントリ(2)~(3)を占めており、新しく受け取られたヒットアドレスはFIFOメモリ240のエントリ(1)中にシフトされる。t=4において、t=1で開始されたフェッチ期間はまだ待機中である。この待機中のフェッチ期間と同時に、キャッシュコントローラ回路250は、FIFOメモリ240のボトムエントリ(m')に位置するヒットアドレス(アドレス4)を用いて、キャッシュメモリ251にもアクセスする。次にキャッシュコントローラ250は、このヒッ

10

20

30

40

50

トアドレス 4 に対応するテクスチャマップデータを、テクスチャフィルタ 260 に供給する。このプロセスは、(1) 待機中のミスアドレスに対して以前に受け取られたヒットアドレスが存在し、且つ(2) フェッチ期間がまだ待機中である限り、各次のクロックサイクルについて継続され得る。図 7C から図 7F を参照して、各ヒットアドレスは処理された後に F I F O メモリ 240 からポップされることが理解される。

図 7G は、待機中のフェッチ期間 ($t > 4$) の完了時において、ミスアドレスに対する要求されたテクスチャデータがキャッシュメモリ 251 に格納された状態の F I F O 構成を示す。次に、キャッシュコントローラ 250 は、F I F O メモリ 240 のボトムエントリ (m') に位置するミスアドレスを用いて、キャッシュメモリ 251 にアクセスする。次にキャッシュコントローラ回路 250 は、このミスアドレスに対応するテクスチャマップデータを、テクスチャフィルタ 260 に供給する。次に、エントリ (1) ~ (4) 中に位置するヒットアドレスは、新しいテクスチャマップアドレスが F I F O メモリ 240 の先頭で受け取られたとき、次の 4 クロックサイクルにわたって処理される。

$t = 1$ から $t = 4$ のサイクルの間、本発明の T D A 回路 200 は、フェッチ期間の間にヒットアドレスを処理することによりテクスチャマップデータを供給するという利点を有する。またこの期間中において、新しいヒットアドレスは F I F O メモリユニット 240 によって受け入れられる。この環境において最高の性能利得を得るためには、F I F O メモリ 240 のエントリサイズは、キャッシュコントローラ 250 がデータフェッチを行うために必要とするクロックサイクル数におよそ等しくされるべきである。本発明の一実施形態においてこの値は 20 サイクルであり、例えば (m) はおよそ 20 エントリにされるべきである。一実施形態において、各テクスチャマップデータフェッチ期間は、テクスチャマップデータの 1 ブロック、例えば 64 バイト (16 バイトが 4 ラインあるいは 8 バイトが 8 ラインにそれぞれ対応する) をフェッチすることを包含する。

テクスチャマッピングおよびテクスチャフィルタリング手順は、所与のアドレススペース近隣内において近く位置するテクスチャデータに対して動作することが多いため、動作において T D A 回路 200 は非常に効果的であることが理解される。従って、テクスチャマップアドレスミスは通常は時間的に立て続けには受け取られず、むしろヒットアドレスの間に分散 (spaced out) される。この期待される動作環境において、F I F O メモリ 240 は 2 つの待機中のミスアドレスに出会うことによってしばしば停止することがなく、その結果キャッシュメモリ 251 の良好なデータスループットを提供する。

本発明の T D A 回路 200 の動作

図 8 は、本発明の T D A 回路 200 によって行われる、新しいテクスチャマップアドレス (ヒット/ミス) を F I F O メモリ 240 のエントリに入れるための処理 400 のステップを示す。開始時において、F I F O 240 が空であると仮定する。処理 400 は、ステップ 410 において開始し、アドレス発生器ユニット 220 において新しいテクスチャマップアドレス、例えば新しい (u , v) 座標およびテクスチャマップベースアドレスが受け取られたか否かをチェックする。もしそうであれば、ステップ 410 においてアドレス発生器回路 220 は新しいテクスチャマップアドレスを計算する。ステップ 420 において、キャッシュルックアップ回路 230 は、新しいアドレスがヒットアドレスであるかミスアドレスであるかをチェックする。もしアドレスがヒットアドレスであれば、ステップ 430 に入ってヒットアドレスが F I F O 240 に押し入れられ、ステップ 410 に再度入る。ステップ 420 においてアドレスがミスアドレスであれば、ステップ 440 に入る。

ステップ 440 において、T D A 回路 200 はこのミスアドレスを F I F O 240 中に押し入れる。これにより、待機中のミスアドレスについてのフェッチ期間が開始される。ステップ 450 において、もう一つの新しく受け取られたテクスチャマップアドレスが T M A 回路 200 によって受け取られた際、ステップ 455 に入る。ステップ 455 において、キャッシュルックアップ回路 230 は、新しいアドレスがヒットアドレスであるかミスアドレスであるかをチェックする。もし新しいアドレスがヒットアドレスであれば、ステップ 460 において T M A 回路 200 は、F I F O 240 にすき間があるか否かをチェッ

10

20

30

40

50

クする。すき間があれば、ステップ440に入って新しく受け取られたアドレスをFIFO240に入れる。ステップ460において、FIFO240にすき間がなければ、ステップ465に入ってTMA回路200は停止し、待機中のテクスチャデータフェッチ期間が完了して新しいFIFOエントリが利用可能になり得るまで待機する。

図8のステップ455において、新しく受け取られたアドレスがミスアドレスであれば、ステップ470においてTMA回路200は別のミスアドレスがTMAFIFO240において既に待機中であるか否かをチェックする。もしそうであれば、ステップ475においてTMA回路200は停止し、待機中のテクスチャデータフェッチ期間が完了して新しく受け取られたミスアドレスがキャッシュコントローラ250に供給可能になるまで待機する。ステップ475の完了時において、ステップ440に入って新しいミスアドレスをFIFO240に押し入れる。この時点においてフェッチ期間が開始されることにより、キャッシュコントローラ回路250は、メインメモリ102（あるいはローカルフレームバッファ110）にアクセスして、新しく格納された待機中のミスアドレスに対するテクスチャマップデータを検索する。ステップ470において、別のミスアドレスがFIFO240中に既に待機中でないのならば、ステップ440に入って新しいミスアドレスをFIFO240に押し入れる。この時点において、フェッチ期間が開始されることにより、キャッシュコントローラ回路250は、メインメモリ102（あるいはローカルフレームバッファ110）にアクセスして、新しく格納された待機中のミスアドレスに対するテクスチャマップデータを検索する。

図9は、本発明のTDA回路200によって行われる、テクスチャマップアドレスをFIFOメモリ240のボトムエントリから除去するための処理500のステップを示す。処理500はステップ510において開始し、TDA回路200が、FIFO240が空であるか否かをチェックする。空でなければ、ステップ520に入る。ステップ520において、本発明のTMA回路200は、FIFOの最後のエントリ（例えば論理ボトムまたは物理ボトム）に格納されたアドレスに対応するテクスチャデータがキャッシュメモリ251中に存在するか否かをチェックする。もし存在しなければ、ステップ510に入る。ステップ520において、最後のエントリに対するテクスチャデータがテクスチャキャッシュメモリ251に格納されていれば、ステップ530に入る。

ステップ530において、TMA回路200は、FIFO240から最後のFIFOエントリをポップする。ステップ540において、キャッシュコントローラ250は、最後のエントリアドレスに対応するキャッシュメモリ251からのテクスチャデータにアクセスし、このテクスチャデータをフィルタユニット260に供給する。

結論

本発明の好適な実施形態である、テクスチャデータキャッシュメモリとともに用いられる効率的なテクスチャデータ検索方法を以上に説明した。本発明を特定の実施形態について説明したが、本発明はそのような実施形態によって限定されると解釈されるべきではなく、以下の請求の範囲に従って解釈されるべきであることが理解される。

10

20

30

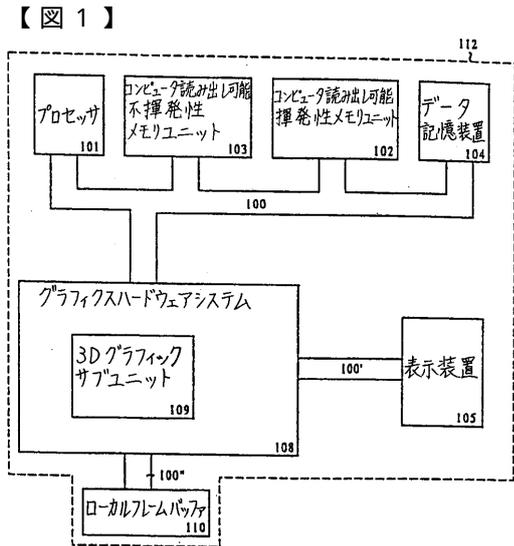


FIG. 1

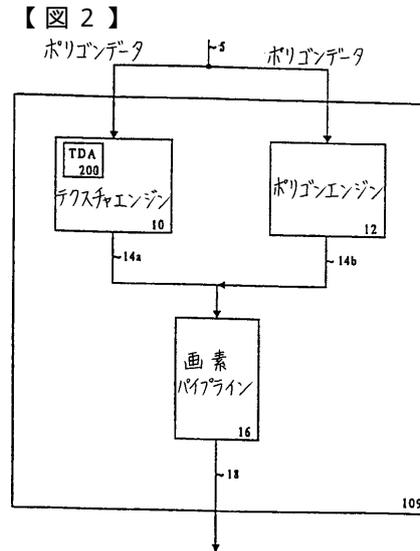


FIG. 2

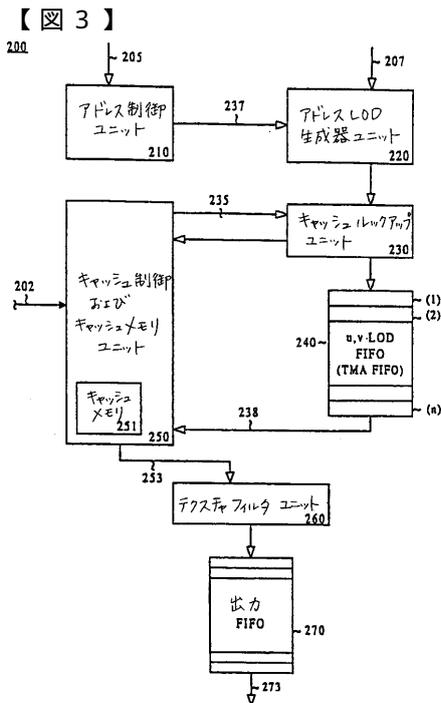


FIG. 3

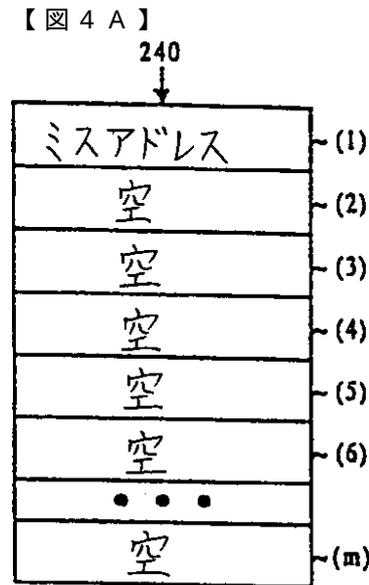


FIG. 4A

【図4B】

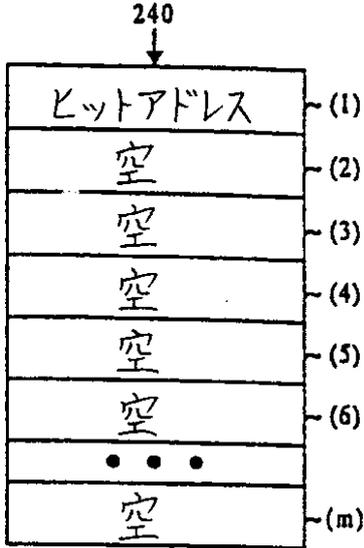


FIG. 4B

【図5A】

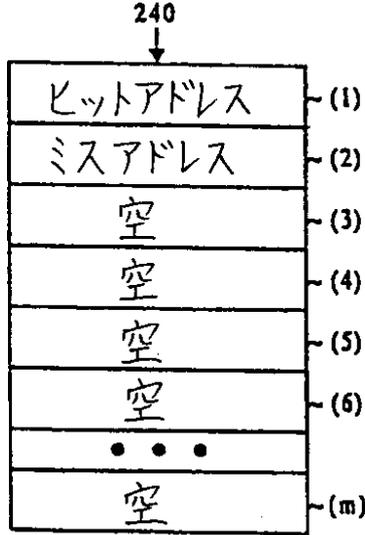


FIG. 5A

【図5B】

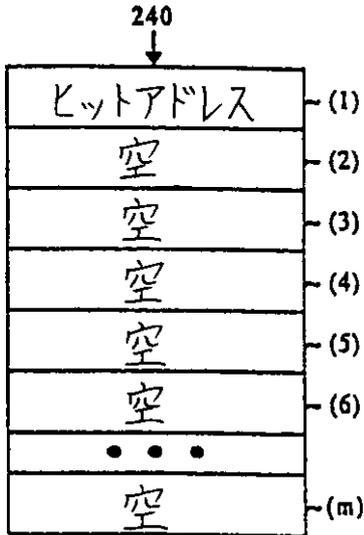


FIG. 5B

【図6B】

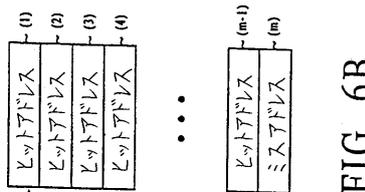


FIG. 6B

【図7A】

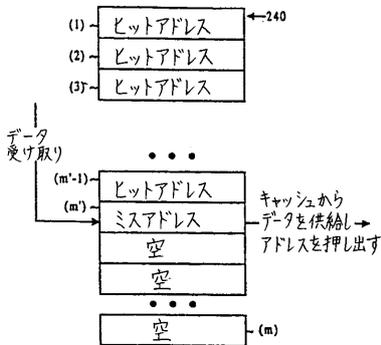


FIG. 7A

【図6A】

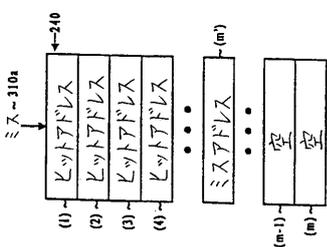


FIG. 6A

【図7B】

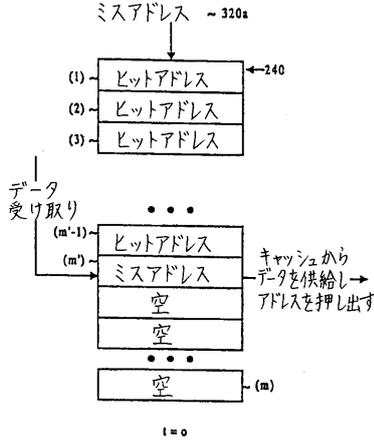


FIG. 7B

【図7C】

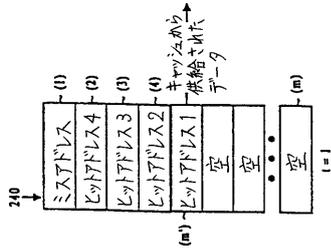


FIG. 7C

【図7D】

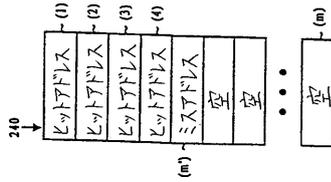


FIG. 7D

【図7E】



FIG. 7E

【図7F】



FIG. 7F

【図7G】



FIG. 7G

【図7D】

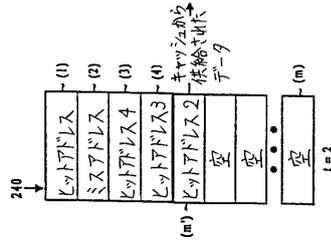


FIG. 7D

【図7E】

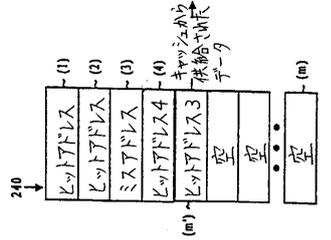


FIG. 7E

【図7F】

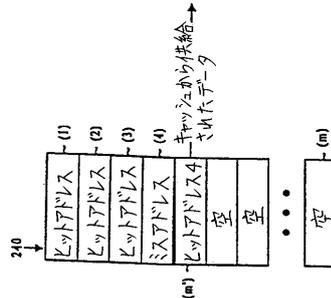


FIG. 7F

【図8】

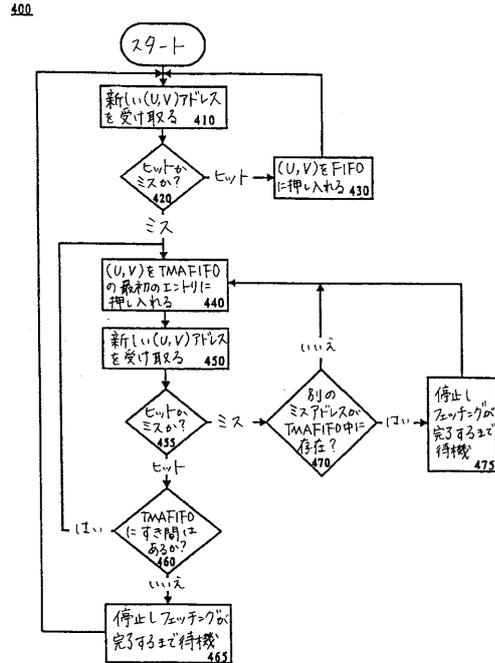


FIG. 8

【図9】

500

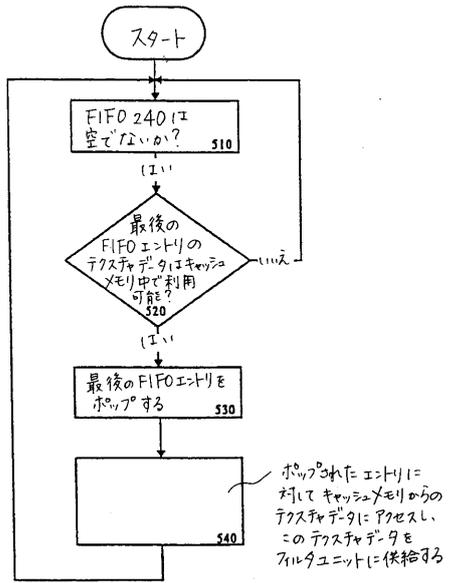


FIG. 9

フロントページの続き

- (72)発明者 ワン, ビンセント ダブリュー .
アメリカ合衆国 カリフォルニア 9 5 1 2 7 , サン ホセ , コルテセ サークル 3 2 3 3
- (72)発明者 スーン, ジ - シェン
アメリカ合衆国 カリフォルニア 9 5 0 1 4 , クペルティノ , コロンブス アベニュー 2 1 7
1 2
- (72)発明者 シュ, ホンジュン
アメリカ合衆国 カリフォルニア 9 4 0 8 6 , サニーベール , ガイル アベニュー ナンバーエ
イチ 2 3 6 7 6
- (72)発明者 チャン, ツォヤオ
アメリカ合衆国 カリフォルニア 9 5 0 7 0 , サラトガ , マリラ コート 2 0 2 3 7

審査官 田中 幸雄

- (56)参考文献 特開平08 - 3 2 8 9 5 4 (J P , A)
Tsuneo Ikedo et al., Pixel Cache Architecture with FIFO Implemented within an ASIC, Pr
oceedings of the 9th annual IEEE International ASIC Conference and Exhibition, 米国, I
EEE, 1 9 9 6年 9月23日, p19-22

- (58)調査した分野(Int.Cl. , D B名)
G06T 15/00
G06T 1/20
G06T 1/60