

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3973395号

(P3973395)

(45) 発行日 平成19年9月12日(2007.9.12)

(24) 登録日 平成19年6月22日(2007.6.22)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 6 5 2 H

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 5 2 C

H O 1 L 29/06 (2006.01)

H O 1 L 29/78 6 5 3 A

H O 1 L 29/78 6 5 8 E

H O 1 L 29/78 6 5 8 G

請求項の数 22 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2001-318700 (P2001-318700)

(22) 出願日 平成13年10月16日(2001.10.16)

(65) 公開番号 特開2003-124464 (P2003-124464A)

(43) 公開日 平成15年4月25日(2003.4.25)

審査請求日 平成15年6月18日(2003.6.18)

(73) 特許権者 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道4 1

番地の1

(73) 特許権者 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(74) 代理人 110000110

特許業務法人快友国際特許事務所

(74) 代理人 100091742

弁理士 小玉 秀男

(74) 代理人 100108512

弁理士 村瀬 裕昭

(74) 代理人 100117606

弁理士 安部 誠

最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型のドレイン領域と、ドレイン領域の上面に接するとともに第1導電型のドリフト領域と第2導電型の第2半導体領域が横方向に交互に配置されている互層構造と、第2導電型のボディ領域と、ボディ領域に接する第1導電型のソース領域と、ボディ領域を貫通するトレンチにゲート絶縁膜で被覆された状態で埋込まれているゲート電極を備え、ゲート電極に電圧が印加されるとボディ領域にチャンネルが形成され、ソース領域、ボディ領域のチャンネル、ドリフト領域、ドレイン領域に亘ってキャリアが流れる半導体装置において、

各ドリフト領域の上面に接するとともにドリフト領域よりも幅広に形成されており、ドリフト領域とボディ領域を繋ぐキャリア通路の少なくとも一部に配置された第1導電型の複数の第1半導体領域を備え、

第1半導体領域は、ドリフト領域と第2半導体領域が交互に繰返される方向に沿って分散して配置されており、

第2半導体領域とボディ領域が、隙間を隔てて隣合う第1半導体領域の間に存在している第2導電型の接続領域において接していることを特徴とする半導体装置。

【請求項2】

第1導電型のドレイン領域と、ドレイン領域の上面に接するとともに第1導電型のドリフト領域と第2導電型の第2半導体領域が横方向に交互に配置されている互層構造と、第2導電型のボディ領域と、ボディ領域に接する第1導電型のソース領域と、ボディ領域を

10

20

貫通するトレンチにゲート絶縁膜で被覆された状態で埋込まれているゲート電極を備える半導体装置において、

各ドリフト領域の上面に接するとともにドリフト領域よりも幅広に形成されており、ドリフト領域とボディ領域の間に配置された第1導電型の複数の第1半導体領域を備え、

第1半導体領域は、ドリフト領域と第2半導体領域が交互に繰返される方向に沿って分散して配置されており、

第2半導体領域とボディ領域が、隙間を隔てて隣合う第1半導体領域の間に存在している第2導電型の接続領域において接していることを特徴とする半導体装置。

【請求項3】

第1半導体領域がボディ領域内のチャンネル形成部位に接していることを特徴とする請求項1又は2に記載の半導体装置。 10

【請求項4】

ドリフト領域が前記トレンチの下方に配置されていることを特徴とする請求項1から3のいずれかに記載の半導体装置。

【請求項5】

第1半導体領域がドリフト領域よりも左右方向に同じ長さだけ幅広であることを特徴とする請求項1から4のいずれかに記載の半導体装置。

【請求項6】

ドリフト領域が前記トレンチの下方に配置されており、第1半導体領域はトレンチよりも幅広であることを特徴とする請求項1から5のいずれかに記載の半導体装置。 20

【請求項7】

第1半導体領域が前記トレンチよりも左右方向に同じ長さだけ幅広であることを特徴とする請求項6に記載の半導体装置。

【請求項8】

第1半導体領域が前記トレンチの底面の隅部を覆うことを特徴とする請求項6又は7に記載の半導体装置。

【請求項9】

第1導電型のドレイン領域を形成する第1工程と、

ドレイン領域上に第1導電型のドリフト領域と第2導電型の第2半導体領域の横方向の互層構造を形成する第2工程と、 30

互層構造上にドリフト領域よりも幅広の第1導電型の第1半導体領域と第2半導体領域よりも幅狭の第2導電型の接続領域をドリフト領域と第2半導体領域が交互に繰返される方向に沿って交互に形成し、ドリフト領域の上面を含む位置に第1半導体領域を配置し、第2半導体領域の上面を含む位置に接続領域を配置する第3工程と、

第1半導体領域と接続領域上に第2導電型のボディ領域を形成する第4工程と、

ボディ領域を貫通して第1半導体領域に達するトレンチを形成する第5工程と、

トレンチ内にゲート電極を埋込む第6工程を有する半導体装置の製造方法。

【請求項10】

第1半導体領域を前記トレンチよりも幅広に形成することを特徴とする請求項9に記載の半導体装置の製造方法。 40

【請求項11】

第3工程は、

互層構造上に第1導電型の第1導電型層を形成する第1の段階と、

その第1導電型層の一部に第2半導体領域に達するまで第2導電型の不純物を添加して接続領域を形成する第2の段階を有することを特徴とする請求項9または10に記載の半導体装置の製造方法。

【請求項12】

第3工程と第4工程は共通の段階を有しており、第3工程と第4工程は、

互層構造上に第1導電型の第1導電型層を形成する第1の段階と、

その第1導電型層の一部に第2半導体領域に達するトレンチを形成する第2の段階と、 50

そのトレンチ内に接続領域を成膜して形成した後に、第1導電型層上に第2導電型のボディ領域を連続して成膜して形成する第3の段階を有することを特徴とする請求項9または10に記載の半導体装置の製造方法。

【請求項13】

前記第1の段階は、

互層構造上に第1導電型の第1導電型層を成膜することを特徴とする請求項11または12に記載の半導体装置の製造方法。

【請求項14】

第2工程と第3工程は共通の段階を有しており、第2工程と第3工程は、
第1導電型のドレイン領域上に第2導電型の第2半導体領域を形成する段階と、
第2半導体領域を貫通してドレイン領域に達するトレンチを形成する段階と、
トレンチ内に第1導電型のドリフト領域を成膜して形成してドリフト領域と第2半導体領域の横方向の互層構造を形成した後に、互層構造上に第1導電型の第1導電型層を連続して成膜する段階と、

10

その第1導電型層の一部に第2半導体領域に達するまで第2導電型の不純物を添加して接続領域を形成する段階を有することを特徴とする請求項9または10に記載の半導体装置の製造方法。

【請求項15】

第2工程と第3工程と第4工程は共通の段階を有しており、第2工程と第3工程と第4工程は、

20

第1導電型のドレイン領域上に第2導電型の第2半導体領域を形成する段階と、
第2半導体領域を貫通してドレイン領域に達するトレンチを形成する段階と、
トレンチ内に第1導電型のドリフト領域を成膜して形成してドリフト領域と第2半導体領域の横方向の互層構造を形成した後に、互層構造上に第1導電型の第1導電型層を連続して成膜する段階と、

その第1導電型層の一部に第2半導体領域に達するトレンチを形成する段階と、
そのトレンチ内に接続領域を成膜して形成した後に、第1導電型層上に第2導電型のボディ領域を連続して成膜して形成する段階を有することを特徴とする請求項9または10に記載の半導体装置の製造方法。

30

【請求項16】

第3工程は、

互層構造上に第2導電型の第2導電型層を成膜する段階と、
その第2導電型層に第1導電型の不純物を添加して第1半導体領域を形成する段階を有することを特徴とする請求項9または10に記載の半導体装置の製造方法。

【請求項17】

第3工程は、

互層構造の第2半導体領域の上部の一部に第1導電型の不純物を添加して第1半導体領域を形成する段階を有することを特徴とする請求項9または10に記載の半導体装置の製造方法。

【請求項18】

第2工程と第3工程は共通の段階を有しており、第2工程と第3工程は、
第1導電型のドレイン領域上に第1導電型のドリフト領域を形成する段階と、
ドリフト領域を貫通してドレイン領域に達するトレンチを形成する段階と、
トレンチ内に第2導電型の第2半導体領域を成膜して形成してドリフト領域と第2半導体領域の横方向の互層構造を形成した後に、互層構造上に第2導電型の第2導電型層を連続して成膜して形成する段階と、

40

第2導電型層に第1導電型の不純物を添加して第1導電型の第1半導体領域を形成する段階を有することを特徴とする請求項9または10に記載の半導体装置の製造方法。

【請求項19】

第2工程と第3工程と第4工程は共通の段階を有しており、第2工程と第3工程と第4

50

工程は、

第 1 導電型のドレイン領域上に第 2 導電型の第 2 半導体領域を形成する段階と、
第 2 半導体領域を貫通してドレイン領域に達するトレンチを形成する段階と、
トレンチ内に第 1 導電型のドリフト領域を成膜して形成してドリフト領域と第 2 半導体領域の横方向の互層構造を形成した後に、互層構造上に第 1 導電型の第 1 導電型層を連続して成膜して形成する段階と、

第 1 導電型層の一部に第 2 導電型の不純物を添加して第 2 導電型の接続領域と第 2 導電型のボディ領域を形成し、不純物が添加されなかった部分を第 1 導電型の第 1 半導体領域とする段階を有することを特徴とする請求項 9 または 10 に記載の半導体装置の製造方法

10

。【請求項 20】

第 3 工程と第 4 工程は共通の段階を有しており、第 3 工程と第 4 工程は、
互層構造の上部に第 1 導電型の不純物を添加して第 1 導電型層を形成する段階と、
第 1 導電型層の一部に第 2 導電型の不純物を添加して第 2 導電型の接続領域と第 2 導電型のボディ領域を形成し、不純物が添加されなかった部分を第 1 導電型の第 1 半導体領域とする段階を有することを特徴とする請求項 9 または 10 に記載の半導体装置の製造方法

。【請求項 21】

第 2 工程と第 3 工程と第 4 工程は共通の段階を有しており、第 2 工程と第 3 工程と第 4 工程は、

20

第 1 導電型のドレイン領域上に第 1 導電型のドリフト領域を形成する段階と、
ドリフト領域を貫通してドレイン領域に達するトレンチを形成する段階と、
トレンチ内に第 2 導電型の第 2 半導体領域を成膜して形成してドリフト領域と第 2 半導体領域の横方向の互層構造を形成した後に、互層構造上に第 2 導電型の第 2 導電型層を連続して成膜して形成する段階と、

第 2 導電型層の全体に第 1 導電型の不純物を添加する段階と、
第 1 導電型の不純物が添加された第 2 導電型層の一部に第 2 導電型の不純物を添加して第 2 導電型の接続領域と第 2 導電型のボディ領域を形成し、不純物が添加されなかった部分を第 1 導電型の第 1 半導体領域とする段階を有することを特徴とする請求項 9 または 10 に記載の半導体装置の製造方法。

30

【請求項 22】

第 2 工程と第 3 工程は共通の段階を有しており、第 2 工程と第 3 工程は、
第 1 導電型のドレイン領域上に第 2 導電型の第 2 半導体領域を形成する段階と、
第 2 半導体領域の上部に第 1 トレンチを形成する段階と、
第 1 トレンチの下面に繋がる位置に第 1 トレンチよりも幅が狭く、かつ、ドレイン領域に達する第 2 トレンチを形成する段階と、
第 2 トレンチ内に第 1 導電型のドリフト領域を成膜して形成した後に、第 1 トレンチ内に第 1 導電型の第 1 半導体領域を連続して成膜して形成する段階を有する請求項 9 または 10 の半導体装置の製造方法。

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関する。

【0002】

【従来の技術】

図 42 に特開 2000 - 260984 号公報に記載の半導体装置 1 の斜視図（断面図を含む）を示す。

図 42 に示す半導体装置 1 は、 n^+ 型（第 1 導電型）のドレイン領域 2 と、 n^+ 型ドレイン領域 2 に接する n 型（第 1 導電型）のドリフト領域 6 と、 p 型（第 2 導電型）のボディ領域 12 と、 p 型ボディ領域 12 に接する n^+ 型（第 1 導電型）のソース領域 14 と、

50

型ボディ領域 12 を貫通するトレンチ 13 にゲート絶縁膜 18 で被覆された状態で埋込まれているゲート電極 20 と、n 型ドリフト領域 6 に接する p 型 (第 2 導電型) のシリコン領域 (第 2 半導体領域) 8 と、n 型ドリフト領域 6 と p 型シリコン領域 8 の上面に亘って連続的に積層された n⁻ 型 (第 1 導電型) のシリコン領域 11 と、p 型シリコン領域 8 の上面後部と p 型ボディ領域 12 の後部を繋ぐ接続用 p 型シリコン領域 22 を備えている。ここで、n 型ドリフト領域 6 と p 型シリコン領域 8 は横方向に交互に配置されており、この互層構造によってスーパージャンクション構造 4 が構成されている。

【0003】

この半導体装置 1 は、ゲート電極 20 に正の電圧が印加されると p 型ボディ領域 12 の領域 12a に n 型チャンネルが形成され、n⁺ 型ソース領域 14、p 型ボディ領域 12 の n 型チャンネル 12a、n 型ドリフト領域 6、n⁺ 型ドレイン領域 2 に亘ってキャリア (この例では電子) が流れる。

10

一方、ゲート電極 20 を接地すると、p 型ボディ領域 12 の領域 12a から n 型チャンネルがなくなる。即ち、半導体装置 1 はオフする。半導体装置 1 では、n 型ドリフト領域 6 と p 型シリコン領域 8 の pn 接合部 7 から各領域 6、8 に空乏層を広げ、領域 6 と 8 を完全空乏化させることによって、n⁺ 型ソース領域 14 と n⁺ 型ドレイン領域 2 の間の耐圧を得ている。

【0004】

ドリフト領域をスーパージャンクション構造 4 で構成しない従来のパワー MOS 構造、即ち、ドリフト領域を n 型領域だけで形成した構造 (図示省略) では、この n 型ドリフト領域と p 型ボディ領域の pn 接合部から伸びた空乏層によって耐圧が決められる。一般には p 型ボディ領域に比べて n 型ドリフト領域の不純物濃度を低くして、n 型ドリフト領域を完全空乏化することで所望の耐圧を得ている。図 42 に示すようにドリフト領域をスーパージャンクション構造 4 で形成した場合には、n 型ドリフト領域 6 にはその両側に位置する p 型シリコン領域 8 との pn 接合部 7 から空乏層が伸びる。このため、スーパージャンクション構造 4 を採用しない場合に比較して、同じ耐圧でありながら n 型ドリフト領域 6 の不純物濃度を高くすることができる。即ち、同じ耐圧でありながらよりオン抵抗の小さい半導体装置を実現できる。

20

【0005】

半導体装置 1 において、仮に、n⁻ 型シリコン領域 11 を設けないとすると、トレンチ 13 を形成する際のマスクが横方向にずれた場合や、トレンチ 13 を形成する際のエッチング等が意図した深さより縦方向に深くなされて、p 型ボディ領域 12 の底面を超えて n 型ドリフト領域 6、p 型シリコン領域 8 まで入り込んで形成された場合に、p 型ボディ領域 12 の n 型チャンネル 12a を通ったキャリア (電子) は、n 型ドリフト領域 6 に達する前に、p 型シリコン領域 8 にも MOS の効果によってチャンネルを形成し、n 型ドリフト領域 6 に到達する。この結果、p 型シリコン領域 8 のチャンネル抵抗が増大し、半導体装置 1 全体のオン抵抗が増大してしまう。半導体の微細加工技術が進展した現在においても、上記したようなトレンチ 13 を形成する際のマスクずれ、あるいはトレンチ 13 の深さの制御ずれは避けることができないものである。

30

上記した半導体装置 1 では、n⁻ 型シリコン領域 11 を n 型ドリフト領域 6 と p 型シリコン領域 8 の上面に亘って連続的に積層することによって、トレンチ 13 を形成する際のマスクずれ、あるいはトレンチ 13 の深さの制御ずれによるオン抵抗の増大を抑制している。

40

【0006】

しかし、仮に n⁻ 型シリコン領域 11 によって p 型ボディ領域 12 と p 型シリコン領域 8 が完全に分離されたとすると、p 型シリコン領域 8 はフローティングの電位状態となってしまう。p 型シリコン領域 8 がフローティングの電位状態になると、耐圧時に n⁺ 型ドレイン領域 2 に正の電圧をかけて n⁺ 型ソース領域を接地した場合に、n 型ドリフト領域 6 と p 型シリコン領域 8 の間の pn 接合部 7 に、これらの領域 6、8 が空乏化するための十分な電圧がかからない場合が生じ、この結果、耐圧特性が不安定となる場合が生じる。そ

50

ここで、図16の半導体装置1では、上記したように装置1の後部(図示奥側)に、p型シリコン領域8の後部上面とp型ボディ領域12を繋ぐための接続用p型シリコン領域22を設けることで、p型シリコン領域8をフローティングの電位状態にしないようにしている。

【0007】

【発明が解決しようとする課題】

しかしながら、半導体装置1にこのような接続用シリコン領域22を設けると、p型ボディ領域12とp型シリコン領域8が導通するときには接続用シリコン領域22を経由しなければならないため、p型ボディ領域12とp型シリコン領域8の間の電流経路が長くなってしまふという問題があった。この問題は例えば耐圧時に、p型ボディ領域12とn⁻型シリコン領域11とp型シリコン領域8によって仮想的に形成されるpnptランジスタが、上記したp型ボディ領域12とp型シリコン領域8の間の長い電流経路の高抵抗による電圧降下でオンしてしまうという弊害を引き起こす場合があった。この結果例えば耐圧時に、p型シリコン領域8からn⁻型シリコン領域11を経由してp型ボディ領域12にリーク電流が流れてしまうといった弊害が生じる場合があった。

10

【0008】

本発明は、トレンチ形成の際のマスクずれ(横方向のずれ)あるいはトレンチ深さの制御ずれ(縦方向のずれ)によるオン抵抗の増大を抑制し、かつ、第2半導体領域がフローティングの電位状態とならないようにして耐圧特性を安定化させながらも、第2半導体領域とボディ領域間の電流経路を短くすることを目的とする。

20

【0009】

【課題を解決するための手段および作用と効果】 本発明の第1の態様の半導体装置は、第1導電型のドレイン領域と、ドレイン領域の上面に接するとともに第1導電型のドリフト領域と第2導電型の第2半導体領域が横方向に交互に配置されている互層構造と、第2導電型のボディ領域と、ボディ領域に接する第1導電型のソース領域と、ボディ領域を貫通するトレンチにゲート絶縁膜で被覆された状態で埋込まれているゲート電極を備え、ゲート電極に電圧が印加されるとボディ領域にチャンネルが形成され、ソース領域、ボディ領域のチャンネル、ドリフト領域、ドレイン領域に亘ってキャリアが流れる。この半導体装置で特に特徴的なことは、各ドリフト領域の上面に接するとともにドリフト領域よりも幅広に形成されており、ドリフト領域とボディ領域を繋ぐキャリア通路の少なくとも一部に配置された第1導電型の複数の第1半導体領域をさらに備え、第1半導体領域がドリフト領域と第2半導体領域が交互に繰返される方向に沿って分散配置されていることである。さらに、第2半導体領域とボディ領域が、隙間を隔てて隣合う第1半導体領域の間に存在している第2導電型の接続領域において接していることである。

30

【0010】

本発明の半導体装置では、ドリフト領域とボディ領域を繋ぐキャリア通路の少なくとも一部に配置された第1半導体領域を備えている。このため、ゲート電極を埋込むトレンチ形成のためのマスクずれ、あるいはトレンチ深さの制御ずれが生じた場合でも、ドリフト領域に接する第2半導体領域に形成されるチャンネル領域を少なくするかあるいは無くすることができる。従って、第2半導体領域にチャンネルが形成されることによるオン抵抗の増大を抑制できる。

40

また、第2半導体領域とボディ領域が隙間を隔てて隣合う第1半導体領域の間に存在している第2導電型の接続領域において接しているので、従来の半導体装置のように、第2半導体領域とボディ領域を繋ぐための接続用半導体領域(例えば図42に示す接続用p型シリコン領域22)を設けなくても、第2半導体領域がフローティングの電位状態とならないようにすることができるので、耐圧特性を安定化させることができる。

さらに、第2半導体領域とボディ領域が隙間を隔てて隣合う第1半導体領域の間に存在している第2導電型の接続領域において接しているので、第2半導体領域とボディ領域を導通させるために、第2半導体領域とボディ領域を繋ぐ接続用半導体領域を設ける必要がないので、第2半導体領域とボディ領域間の電流経路を短くすることができる。

50

この結果、例えば、半導体装置内に仮想的に形成されるトランジスタが意図せずにオンしてしまう可能性を低くできる。また、仮想的に形成されるトランジスタがオンすることによってリーク電流が発生する可能性を低くできる。

【0011】

本発明の第2の態様の半導体装置は、第1導電型のドレイン領域と、ドレイン領域の上面に接するとともに第1導電型のドリフト領域と第2導電型の第2半導体領域が横方向に交互に配置されている互層構造と、第2導電型のボディ領域と、ボディ領域に接する第1導電型のソース領域と、ボディ領域を貫通するトレンチにゲート絶縁膜で被覆された状態で埋込まれているゲート電極を備えている。この半導体装置で特に特徴的なことは、各ドリフト領域の上面に接するとともにドリフト領域よりも幅広に形成されており、ドリフト領域とボディ領域の間に配置された第1導電型の複数の第1半導体領域を備え、第1半導体領域がドリフト領域と第2半導体領域が交互に繰返される方向に沿って分散配置されていることである。さらに、第2半導体領域とボディ領域が、隙間を隔てて隣合う第1半導体領域の間に存在している第2導電型の接続領域において接していることである。

10

ここで、「ドリフト領域とボディ領域の間に配置された第1導電型の第1半導体領域」とは、第1半導体領域が、ドリフト領域の上面とボディ領域の下面の間に配置されている場合のみならず、ドリフト領域の側面とボディ領域の下面の間に配置されている場合が組合わされた場合等も含まれる。

この半導体装置によっても、前記第1の態様に記載の半導体装置と同様の作用効果を奏することができる。

20

【0012】

上記の第1と第2の態様の半導体装置では、第1半導体領域がドリフト領域に接していることも特徴である。

この場合、第1半導体領域とドリフト領域の間に第2半導体領域が介在しないので、トレンチ形成のためのマスクずれ、あるいはトレンチ深さの制御ずれが生じた場合でも、第2半導体領域に形成されるチャンネル領域をより少なくするかあるいは無くすることができる。このため、第2半導体領域にチャンネルが形成されることによるオン抵抗の増大をより抑制できる。

【0013】

第1半導体領域がボディ領域内のチャンネル形成部位に接していることがより好ましい。この場合、キャリアが例えば電子の場合、ボディ領域のチャンネルを通った電子を直接に第1半導体領域に流れ込ませることができる。このため、トレンチ形成のためのマスクずれ、あるいはトレンチ深さの制御ずれが生じた場合でも、第2半導体領域に形成されるチャンネル領域をより少なくするかあるいは無くすることができるので、第2半導体領域にチャンネルが形成されることによるオン抵抗の増大をよりさらに抑制できる。

30

【0014】

ドリフト領域が前記トレンチの下方に配置されていることが好ましい。

この場合、トレンチ形成のためのマスクずれ、あるいはトレンチ深さの制御ずれが生じた場合でも、キャリアが例えば電子の場合、その電子を、ボディ領域のチャンネルから第1半導体領域を経由してドリフト領域に流すことができるので、第2半導体領域に形成されるチャンネル領域をより少なくするかあるいは無くすることができる。このため、第2半導体領域にチャンネルが形成されることによるオン抵抗の増大をより抑制できる。

40

【0015】

第1半導体領域がドリフト領域よりも左右方向に同じ長さだけ幅広であることがより好ましい。

この場合、第1半導体領域がドリフト領域より左右方向に伸びる長さが異なる場合に比較して、第2半導体領域に形成されるチャンネル領域を少なくすることができる。

【0016】

ドリフト領域が前記トレンチの下方に配置されており、トレンチよりも幅広であることが好ましい。

50

この場合も、第2半導体領域に形成されるチャンネル領域をより少なくするかあるいは無くすることができるので、第2半導体領域にチャンネルが形成されることによるオン抵抗の増大をより抑制できる。

【0017】

第1半導体領域が前記トレンチよりも左右方向に同じ長さだけ幅広であることがより好ましい。

この場合も、第1半導体領域がトレンチより左右方向に伸びる長さが異なる場合に比較して、第2半導体領域に形成されるチャンネル領域を少なくすることができる。

【0018】

第1半導体領域が前記トレンチの底面の隅部を覆うことが好ましい。

10

この場合、キャリアが通る通路に第1半導体領域をより適切に配置できるので、第2半導体領域にチャンネルが形成されることによるオン抵抗の増大をよりさらに抑制できる。

【0021】

本発明は半導体装置の製造方法をも実現する。この製造方法は、第1導電型のドレイン領域を形成する第1工程と、ドレイン領域上に第1導電型のドリフト領域と第2導電型の第2半導体領域の横方向の互層構造を形成する第2工程と、互層構造上にドリフト領域よりも幅広の第1導電型の第1半導体領域と第2半導体領域よりも幅狭の第2導電型の接続領域をドリフト領域と第2半導体領域が交互に繰返される方向に沿って交互に形成し、ドリフト領域の上面を含む位置に第1半導体領域を配置し、第2半導体領域の上面を含む位置に接続領域を配置する第3工程と、第1半導体領域と接続領域上に第2導電型のボディ領域を形成する第4工程と、ボディ領域を貫通して第1半導体領域に達するトレンチを形成する第5工程と、トレンチ内にゲート電極を埋込む第6工程を有する。

20

この製造方法によると、トレンチ形成のためのマスクずれ、あるいはトレンチ深さの制御ずれによるオン抵抗の増大を抑制し、かつ、第2半導体領域がフローティングの電位状態とならないようにして耐圧特性を安定化させながらも、第2半導体領域とボディ領域間の電流経路が短い半導体装置を製造することができる。

【0022】

第1半導体領域を前記トレンチよりも幅広に形成することが好ましい。

この場合も、第2半導体領域に形成されるチャンネル領域をより少なくするかあるいは無くすることができるので、第2半導体領域にチャンネルが形成されることによるオン抵抗の増大をより抑制できる。

30

【0023】

第3工程は、互層構造上に第1導電型の第1導電型層を形成する第1の段階と、その第1導電型層の一部に第2半導体領域に達するまで第2導電型の不純物を添加して第2導電型の接続領域を形成する第2の段階を有することが好ましい。

ここで、対象物(第1導電型層等)を単に「形成する」という場合は、あらゆる方法でその対象物を形成する場合を含む。対象物を「成膜して形成する」とは、例えばCVD法(エピタキシャル成長法を含む)等によって対象物を形成することを意味する。対象物を「不純物を添加して...形成する」とは、例えば熱拡散法やイオン注入法によってある半導体層(ただし、この半導体層は成膜して形成されるのが通常である)に不純物を添加することによって対象物を形成することを意味する。

40

この場合、通常は厚さの厚いボディ領域は成膜して形成するので、深い不純物添加処理を行う必要がない。このため、不純物添加処理の負担を低減できる。具体的には、例えば熱拡散法の場合は熱処理時間を短くすることができ、イオン注入法の場合はイオン注入の速度を低速にすることができる。なお、接続領域は不純物を添加して形成しても通常は厚さが薄いので、不純物添加処理の負担はそれほど大きくない。

【0024】

あるいは、第3工程と第4工程は共通の段階を有していてもよい。第3工程と第4工程は、互層構造上に第1導電型の第1導電型層を形成する第1の段階と、その第1導電型層の一部に第2半導体領域に達するトレンチを形成する第2の段階と、そのトレンチ内に接

50

続領域を勢膜して形成した後に、第1導電型層上に第2導電型のボディ領域を連続して成膜して形成する第3の段階を有することが好ましい。

この場合、トレンチ内に第2導電型の接続領域が埋込まれ、その接続領域は第2半導体領域に接するため、不純物を添加して第2導電型の接続領域を形成しなくてもよい。

【0025】

前記第1の段階は、互層構造上に第1導電型の第1導電型層を成膜して行うことが好ましい。

この場合、第1導電型層を比較的簡単に形成することができる。

【0026】

第2工程と第3工程は共通の段階を有していてもよい。第2工程と第3工程は、第1導電型のドレイン領域上に第2導電型の第2半導体領域を形成する段階と、第2半導体領域を貫通してドレイン領域に達するトレンチを形成する段階と、トレンチ内に第1導電型のドリフト領域を成膜して形成してドリフト領域と第2半導体領域の横方向の互層構造を形成した後に、互層構造上に第1導電型の第1導電型層を連続して成膜する段階と、その第1導電型層の一部に第2半導体領域に達するまで第2導電型の不純物を添加して接続領域を形成する段階を有することが好ましい。

10

第2工程と第3工程と第4工程は共通の段階を有していてもよい。第2工程と第3工程と第4工程は、第1導電型のドレイン領域上に第2導電型の第2半導体領域を形成する段階と、第2半導体領域を貫通してドレイン領域に達するトレンチを形成する段階と、トレンチ内に第1導電型のドリフト領域を成膜して形成してドリフト領域と第2半導体領域の横方向の互層構造を形成した後に、互層構造上に第1導電型の第1導電型層を連続して成膜する段階と、その第1導電型層の一部に第2半導体領域に達するトレンチを形成する段階と、そのトレンチ内に接続領域を勢膜して形成した後に、第1導電型層上に第2導電型のボディ領域を連続して成膜して形成する段階を有するのが好ましい。

20

これらの場合、横方向の互層構造を形成した後に、連続してその互層構造上にドリフト領域と同じ導電型である第1導電型層を成膜して形成できることから、ドリフト領域と第1導電型層を別個に成膜して形成する場合に比較して、半導体装置の製造工程を簡素化することができる。

【0027】

あるいは、第3工程は、互層構造上に第2導電型の第2導電型層を成膜する段階と、その第2導電型層に第1導電型の不純物を添加して第1半導体領域を形成する段階を有することが好ましい。

30

この場合も、第1半導体領域を比較的簡単に形成することができる。

【0028】

あるいは、第3工程は、互層構造の第2半導体領域の上部の一部に第1導電型の不純物を添加して第1半導体領域を形成する段階を有することが好ましい。

この場合、互層構造を形成した後、第1半導体領域を形成するためにさらに成膜を行わなくてもよい。

【0029】

あるいはまた、第2工程と第3工程は共通の段階を有していてもよい。第2工程と第3工程は、第1導電型のドレイン領域上に第1導電型のドリフト領域を形成する段階と、ドリフト領域を貫通してドレイン領域に達するトレンチを形成する段階と、トレンチ内に第2導電型の第2半導体領域を成膜して形成してドリフト領域と第2半導体領域の横方向の互層構造を形成した後に、互層構造上に第2導電型の第2導電型層を連続して成膜して形成する段階と、第2導電型層に第1導電型の不純物を添加して第1導電型の第1半導体領域を形成する段階を有することが好ましい。

40

この場合、互層構造上に連続して成膜した第2導電型層を利用して、第1半導体領域を形成することができる。

【0030】

第2工程と第3工程と第4工程は共通の段階を有していてもよい。第2工程と第3工程

50

と第4工程は、第1導電型のドレイン領域上に第2導電型の第2半導体領域を形成する段階と、第2半導体領域を貫通してドレイン領域に達するトレンチを形成する段階と、トレンチ内に第1導電型のドリフト領域を成膜して形成してドリフト領域と第2半導体領域の横方向の互層構造を形成した後に、互層構造上に第1導電型の第1導電型層を連続して成膜する段階と、第1導電型層の一部に第2導電型の不純物を添加して第2導電型の接続領域と第2導電型のボディ領域を形成し、不純物が添加されなかった部分を第1導電型の第1半導体領域とする段階を有することが好ましい。

この場合、互層構造上に連続して第1導電型層を成膜する。その連続成膜後は、その第1導電型層に第2導電型の不純物を添加して接続領域と第1半導体領域とボディ領域を形成する。このため、上記したように連続成膜を行って製造工程を簡素化できる上に、連続成膜を行った後は接続領域と第1半導体領域とボディ領域を形成するためにさらに成膜を行わなくてもよい。

【0031】

あるいは、第3工程は、互層構造の上部に第1導電型の不純物を添加して第1導電型層を形成する段階と、第1導電型層の一部に第2導電型の不純物を添加して第2導電型の接続領域と第2導電型のボディ領域を形成し、不純物が添加されなかった部分を第1導電型の第1半導体領域とする段階を有することが好ましい。

この場合、横方向の互層構造を形成した後は、その互層構造の上部に不純物を添加して第1導電型層を形成し、その第1導電型層に不純物を添加して接続領域と第1半導体領域とボディ領域を形成する。このため、横方向の互層構造を形成した後は、接続領域と第1半導体領域とボディ領域を形成するために成膜を行わなくてもよい。

【0032】

あるいはまた、第2工程と第3工程と第4工程は共通の段階を有していてもよい。第2工程と第3工程と第4工程は、第1導電型のドレイン領域上に第1導電型のドリフト領域を形成する段階と、ドリフト領域を貫通してドレイン領域に達するトレンチを形成する段階と、トレンチ内に第2導電型の第2半導体領域を成膜して形成してドリフト領域と第2半導体領域の横方向の互層構造を形成した後に、互層構造上に第2導電型の第2導電型層を連続して成膜して形成する段階と、第2導電型層の全体に第1導電型の不純物を添加する段階と、第1導電型の不純物が添加された第2導電型層の一部に第2導電型の不純物を添加して第2導電型の接続領域と第2導電型のボディ領域を形成し、不純物が添加されなかった部分を第1導電型の第1半導体領域とする段階を有することが好ましい。

この場合、互層構造上に連続して第2導電型層を成膜する。その連続成膜後は、その第2導電型層に不純物を添加して第1半導体領域と接続領域とボディ領域を形成する。このため、上記したように連続成膜を行って製造工程を簡素化できる上に、連続成膜を行った後は第1半導体領域と接続領域とボディ領域を形成するためにさらに成膜を行わなくてもよい。

【0033】

第2工程と第3工程は共通の段階を有していてもよい。第2工程と第3工程は、第1導電型のドレイン領域上に第2導電型の第2半導体領域を形成する段階と、第2半導体領域の上部に第1トレンチを形成する段階と、第1トレンチの下面に繋がる位置に第1トレンチよりも幅が狭く、かつ、ドレイン領域に達する第2トレンチを形成する段階と、第2トレンチ内に第1導電型のドリフト領域を成膜して形成した後に、第1トレンチ内に第1導電型の第1半導体領域を連続して成膜して形成する段階を有することが好ましい。

この場合、第2トレンチ内にドリフト領域を成膜して形成した後に、連続して第1トレンチ内にドリフト領域と同じ導電型である第1半導体領域を成膜して形成できることから、ドリフト領域と第1半導体領域を別個に成膜して形成する場合に比較して、半導体装置の製造工程を簡素化することができる。

【0034】

【発明の実施の形態】

(第1実施例) 図1に第1実施例の縦型半導体装置100の断面図を示す。この縦型半

10

20

30

40

50

導体装置 100 は、幅 A に示す範囲内の構造が一つの単位となっており、実際には、この単位構造が横方向に繰返し形成されている。また、図 1 に示す構造が紙面垂直方向に連続して伸びている。

図 1 の縦型半導体装置 100 は、U 溝（U 字形状のトレンチ 113）型の MOS（Metal Oxide Semiconductor）FET（Field Effect Transistor）構造となっている。この縦型半導体装置 100 は、例えば自動車のモータや家庭用電気機器の電力変換あるいは電力制御に用いられる。この縦型半導体装置 100 は、ドレイン領域 102 と、ドリフト領域 106 と、シリコン領域（第 2 半導体領域の一例）108 と、ボディ領域 112 と、上部シリコン領域（第 1 半導体領域の一例）110 と、ソース領域 114 と、ゲート電極 120 を備えている。

10

【0035】

ドレイン領域 102 は n^+ 型（第 1 導電型）である。厚さ（縦方向の長さ）は $2 \mu\text{m}$ である。

ドリフト領域 106 は n 型（第 1 導電型）であり、 n^+ 型ドレイン領域 102 に接しており、縦型半導体装置 100 のオン時にキャリア（電子）が流れる。また、耐圧時には、シリコン領域 108 とともに空乏化する。 n 型ドリフト領域 106 の n 型不純物濃度は $2.8 \times 10^{16} \text{cm}^{-3}$ であり、幅は $1 \mu\text{m}$ であり、厚さは $10 \mu\text{m}$ である。これらの数値は、所望の耐圧時に n 型ドリフト領域 106 を完全空乏化できる数値に選択されている。

シリコン領域 108 は p 型（第 2 導電型）であり、 n 型ドリフト領域 106 に接しており、耐圧時に空乏化する。 p 型シリコン領域 108 の p 型不純物濃度は $1 \times 10^{16} \text{cm}^{-3}$ であり、幅は $3 \mu\text{m}$ であり、厚さは $10 \mu\text{m}$ である。ただし、後述する上部 n 型シリコン領域 110 に挟まれた領域の幅は $1 \mu\text{m}$ である。これらの数値は、所望の耐圧時に p 型シリコン領域 108 を完全空乏化できる数値に選択されている。

20

【0036】

n 型ドリフト領域 106 と p 型シリコン領域 108 は、キャリアの移動方向に直交する方向、即ち、横方向に交互に配置されており、これらの n 型ドリフト領域 106 と p 型シリコン領域 108 の互層構造によっていわゆるスーパージャンクション構造 104 が形成されている。即ち、 n 型ドリフト領域 106 と p 型シリコン領域 108 は pn 接合部 107 で接合しており、 n 型ドリフト領域 106 と p 型シリコン領域 108 の互層構造によって、 pn 接合部 107 が横方向に断続的に形成されている。

30

【0037】

ボディ領域 112 は p 型（第 2 導電型）である。上記した p 型シリコン領域 108 と p 型ボディ領域 112 は直接に接している。縦型半導体装置 100 のオン時には、 p 型ボディ領域 112 のうち領域 112a に n 型チャンネルが形成される。 p 型ボディ領域 112 の p 型不純物濃度は $5 \times 10^{16} \text{cm}^{-3}$ であり、厚さは $1.5 \mu\text{m}$ である。 p 型ボディ領域 112 の表面には、厚さ $0.5 \mu\text{m}$ の p^+ 型のボディコンタクト領域 116 が形成されている。

【0038】

上部シリコン領域 110 は n 型（第 1 導電型）であり、 n 型ドリフト領域 106 と p 型ボディ領域 112 を繋ぐキャリア通路のほぼ全体を含む領域に配置されている。上部 n 型シリコン領域 110 は、 n 型ドリフト領域 106 の上面（点線 Y を有する面）と、 p 型ボディ領域 112 の下面の間に配置されている。上部 n 型シリコン領域 110 は、 n 型ドリフト領域 106 に接している。本実施例は後述する第 1 製造方法例等により上部 n 型シリコン領域 110 と n 型ドリフト領域 106 を一体的に成膜して形成した場合を示している。上部 n 型シリコン領域 110 の n 型不純物濃度は n 型ドリフト領域 106 と同様に、 $2.8 \times 10^{16} \text{cm}^{-3}$ である。ただし、 n 型ドリフト領域 106 と上部 n 型シリコン領域 110 の不純物濃度は異ならせてもよい。例えば、上部 n 型シリコン領域 110 の n 型不純物濃度を $1 \times 10^{16} \text{cm}^{-3}$ としてもよい。図 1 の点線 Y が上部 n 型シリコン領域 110 と n 型ドリフト領域 106 の境界線である。

40

【0039】

50

上部 n 型シリコン領域 110 は、p 型ボディ領域 112 とも接しており、さらに p 型ボディ領域 112 のうち、n 型チャネルが形成される領域 112a とも接している。上部 n 型シリコン領域 110 は、n 型ドリフト領域 106 とトレンチ 113 の底面の間に配置されているとともに、n 型ドリフト領域 106 およびトレンチ 113 より幅広である。具体的な幅の一例は 3 μm であり、厚さは 1 μm である。上部 n 型シリコン領域 110 は、n 型ドリフト領域 106 およびトレンチ 113 よりも左右方向にほぼ同じ長さだけ幅広である。上部 n 型シリコン領域 110 は、トレンチ 113 の底面の 2 箇所の隅部 113a を覆っている。

【0040】

なお、上部 n 型シリコン領域 110 の厚さは、後述する異方性エッチングによるトレンチ 113 の深さの制御ずれを考慮すると、0.5 μm 以上であることが好ましい。また、縦型半導体装置 100 の耐圧時に空乏層が上部 n 型シリコン領域 110 内に伸びて完全空乏化、あるいは完全空乏化に近い状態となるような厚さ以下であることが好ましい。具体的には、求められる耐圧とその領域の不純物濃度にもよるが、例えば約 1.5 μm 以下であることが好ましい。

10

【0041】

ソース領域 114 は n⁺ 型（第 1 導電型）であり、p 型ボディ領域 112 の表面に接している。n⁺ 型ソース領域 114 の厚さは 0.5 μm である。

ゲート電極 120 は、ボディ領域 112 を貫通するトレンチ 113 に、断面 U 字状のゲート絶縁膜 118 で被覆された状態で埋込まれている。ゲート電極 120 の幅は 1 μm であり、深さは 2.5 μm である。ゲート絶縁膜 118 の幅は 0.1 μm である。この幅は、要求されるしきい値電圧に応じて選択される。

20

【0042】

次に、第 1 実施例の縦型半導体装置 100 の動作を説明する。図 1 に示す n⁺ 型ドレイン領域 102 には正電圧が印加されており、n⁺ 型ソース領域 114 と p⁺ 型ボディコンタクト領域 116 は接地されている。この状態で縦型半導体装置 100 をオンすると、即ち、トレンチゲート電極 120 に正電圧が印加されると、p 型ボディ領域 112 中の電子は領域 112a に集まり、n 型チャネルが形成される。これにより、n⁺ 型ソース領域 114 から供給された電子は、n 型チャネル 112a、上部 n 型シリコン領域 110、n 型ドリフト領域 106 の順に流れ、n⁺ 型ドレイン領域 102 に達する。即ち、縦型半導体装置 100 のオン時には、ドレイン領域 102 からソース領域 114 に電流が流れる。

30

【0043】

このように、上記構成の縦型半導体装置 100 によると、n 型チャネル 112a を流れ出た電子は、上部 n 型シリコン領域（特にトレンチ 113 に沿った領域）110、n 型ドリフト領域 106 の順に流れ、p 型シリコン領域 108 には流れない。このため、p 型シリコン領域 108 に n 型チャネルが形成されることでオン抵抗が増大することがない。上記構成の半導体装置は、p 型シリコン領域 108 に形成される n 型チャネルのチャネル抵抗が半導体装置全体のオン抵抗に大きく寄与する 200 V 以下の耐圧系のものに採用するとより効果がある。

【0044】

一方、n⁺ 型ソース領域 114 と n⁺ 型ドレイン領域 102 間の耐圧測定時、即ち、ゲート電極 120 の電位と n⁺ 型ソース領域 114 の電位を 0 V とし、n⁺ 型ドレイン領域 102 の電位を 0 V から徐々に上昇させた場合には、n 型ドリフト領域 106 と p 型シリコン領域 108 の p n 接合部 107、p 型シリコン領域 108 と上部 n 型シリコン領域 110 の p n 接合部 109、および上部 n 型シリコン領域 110 と p 型ボディ領域 112 の p n 接合部 111 から、各領域 106、108、110、112 に空乏層が広がる。所望の耐圧時には、領域 106、108 が完全空乏化され、また、領域 110 も空乏化される。即ち、スーパージャンクション構造 104 が形成された領域が完全空乏化することによって高耐圧が確保される。また、上記で説明したように、p 型シリコン領域 108 は p 型ボディ領域 112 に接して配置されており、その p 型ボディ領域 112 の表面には p⁺ 型

40

50

ボディコンタクト領域 116 が形成されており、p 型シリコン領域 108 はフローティングの電位状態とならない。このため、耐圧特性が安定化する。

【0045】

このように、第 1 実施例の縦型半導体装置 100 によると、図 42 に示す従来の半導体装置 1 のように、p 型シリコン領域 8 と p 型ボディ領域 12 を繋ぐための接続用 p 型シリコン領域 22 を別個設けなくても、図 1 に示す p 型シリコン領域 108 をフローティングの電位状態とならないようにすることができる。このため、耐圧特性を安定化させることができる。また、p 型シリコン領域 108 と p 型ボディ領域 112 は直接に接しているので、p 型シリコン領域 108 と p 型ボディ領域 112 を結ぶ電流経路を短くすることができる。さらに、図 16 のような接続用 p 型シリコン領域 22 を別個設ける必要がないので、縦型半導体装置 100 の小型化、軽量化、高集積化も実現することができる。

10

また、第 1 実施例の縦型半導体装置 100 のような幅の広い上部 n 型シリコン領域 110 を形成することで、n 型ドリフト領域 106 は幅の狭い状態を維持することができる。このため、高耐圧を維持しながら、n 型ドリフト領域 106 の不純物濃度を高くすることができるので、高耐圧でありながら、低オン抵抗を実現できる。

【0046】

次に、第 1 実施例の縦型半導体装置 100 の特性のシミュレーション結果を示す。ただし、n 型ドリフト領域 106 の n 型不純物濃度 ($3.0 \times 10^{16} \text{ cm}^{-3}$)、p 型シリコン領域 108 の p 型不純物濃度 ($3.0 \times 10^{16} \text{ cm}^{-3}$)、幅 ($1 \mu\text{m}$)、上部 n 型シリコン領域 110 の n 型不純物濃度 ($2.8 \times 10^{16} \text{ cm}^{-3}$) については図 1 で説明した値と異なる値とした。シミュレーションの結果、耐圧は約 235 V であり、 $V_G = 1.5 \text{ V}$ でのオン抵抗は約 $0.078 \cdot \text{mm}^2$ であった。

20

【0047】

(第 1 製造方法例) 以上で説明した第 1 実施例の種々の製造方法例を以下で説明する。まず、図 2 に示すように、 n^+ 型基板 (n^+ 型ドレイン領域) 102 上に、例えばエピタキシャル成長法によって n 型層 106 を成膜して形成する。次に、図 3 に示すように、レジストをマスクにして、例えば異方性エッチング (RIE (Reactive Ion Etching) 等) によって n 型層 106 を貫通して n^+ 型ドレイン領域 102 に達するトレンチ 106a を形成する。この結果、n 型層 106 は n 型ドリフト領域となる。次に、図 4 に示すように、例えばエピタキシャル成長法によってトレンチ 106a 内に p 型層 108 を埋込んで n 型層 106 と p 型層 108 の横方向の互層構造を形成した後に、連続してその互層構造上に p 型層 108 を形成する。

30

【0048】

次に、図 5 に示すように、n 型ドリフト領域 106 の上面の高さまで、p 型層 108 を例えば CMP (Chemical Mechanical Polishing) により平坦化する。次に、図 6 に示すように、例えばエピタキシャル成長法によって厚さ A の n 型層 110 を成膜して形成する。この n 型層 110 の厚さ A は、上部 n 型シリコン領域 110 の厚さと、p 型ボディ領域 112 の厚さを合計した厚さとする。以下「厚さ A」というときは、上記の厚さを意味する。次に、図 7 に示すように、n 型層 110 のうち、p 型シリコン領域 108 上に配置された領域の中央付近に例えばイオン注入法によって p 型の不純物を添加する。この結果、p 型接続領域 115 が形成され、同時に、p 型接続領域 115 によって区画された上部 n 型シリコン領域 110 が形成される。また、n 型層 110 の上部の全体の領域に例えばイオン注入法によって p 型の不純物を添加する。この結果、p 型層 112 が形成される。p 型層 112 は p 型ボディ領域となるものである。以上のイオン注入法では、イオン注入の速度や量等を、上部 n 型シリコン領域 110 および p 型接続領域 115 の厚さが C となるように、また、p 型層 112 の厚さが B となるように制御する。以下「厚さ B」あるいは「厚さ C」というときは、上記の厚さを意味する。

40

【0049】

次に、図 8 に示すように、p 型層 112 のうち、n 型ドリフト領域 106 の直上であって、上部 n 型シリコン領域 110 の中央付近の上方に、レジストをマスクにして、例えば異

50

方性エッチング（RIE等）によってp型層112を貫通して上部n型シリコン領域110に達するトレンチ113を形成する。次に、図9に示すように、トレンチ113を形成する側壁と底面に沿って、例えばCVD法によってシリコン酸化膜からなる薄いゲート絶縁膜118をU字状に成膜して形成する。その後、トレンチ113内に形成されたU字状のゲート絶縁膜118内に例えばCVD法によってポリシリコンからなるゲート電極120を成膜して形成する。最後に、図1に示すように、ボディ領域112の表面に例えばヒ素やリン等をイオン注入してn⁺型のソース領域114を形成する。また、ボディ領域112の表面に例えばボロン等をイオン注入してp⁺型のボディコンタクト領域116を形成する。

以上の工程により第1実施例の縦型半導体装置100が製造される。

10

【0050】

なお、第1製造方法例ではトレンチ106a、113等を異方性エッチング（RIE等）により形成したが、他のドライエッチング技法、あるいはウェットエッチング技法により形成してもよい。また、p型層108を平坦化する方法としてCMPを用いたが、例えばエッチバック等により平坦化してもよい。また、不純物を添加する方法としてイオン注入法を用いたが、例えば熱拡散法等を用いてもよい。また、ゲート絶縁膜118をシリコン酸化膜で形成したが、高誘電体絶縁膜（例えば、シリコン窒化膜、STO（SrTiO₃）膜、BST（BaSrTiO₃）膜等）で形成してもよい。また、ゲート絶縁膜118をCVD法等によりトレンチ113内にゲート絶縁膜118を成膜して形成したが、トレンチ113の外枠を形成する側壁（ボディ領域112）と底面（上部シリコン領域110）を熱酸化法により熱処理して形成してもよい。また、ゲート電極120をポリシリコンで形成したが、例えばアモルファスシリコン層や単結晶シリコン層等で形成してもよい。以上のことは以下に示す他の製造方法例にも当てはまる。

20

【0051】

第1製造方法例によって、図7に示すような上部n型シリコン領域110を形成することで、図8に示すようにレジストをマスクにして異方性エッチング等によってトレンチ113を形成する際のマスクずれや、トレンチ113の深さの制御ずれによるオン抵抗の上昇を回避することができる。

即ち、上部n型シリコン領域110が形成されている幅（横方向の長さ）の範囲内であればトレンチ113を形成する際の横方向のマスクずれが生じても、縦型半導体装置100のオン時にp型シリコン領域108にn型チャンネルが形成されることはほとんどない。仮に、上部n型シリコン領域110が形成されている幅の範囲外までマスクずれが生じたとしても、上部n型シリコン領域110が設けられていない場合に比較すれば、p型シリコン領域108に形成されるチャンネル領域を大きく減らすことができる。

30

【0052】

同様に、上部n型シリコン領域110が形成されている厚さ（縦方向の長さ）の範囲内であればトレンチ113の縦方向の深さの制御ずれが生じても、縦型半導体装置100のオン時にp型シリコン領域108にn型チャンネルが形成されることはほとんどない。仮に、上部n型シリコン領域110が形成されている厚さ以上の深さの制御ずれが生じたとしても、上部n型シリコン領域110が設けられていない場合に比較すれば、p型シリコン領域108に形成されるチャンネル領域を大きく減らすことができる。

40

【0053】

（第2製造方法例）第2製造方法例では、まず、第1製造方法例の図2から図5に示す工程と同様の工程を行う。次に、図10に示すように、例えばエピタキシャル成長法によって厚さCのn型層110を成膜して形成する。即ち、n型層110の厚さは上部n型シリコン領域110の厚さであり、第1製造方法例の図6の厚さAのn型層110と異なり、p型ボディ領域112の厚さは含まない。次に、図11に示すように、n型層110のうち、p型シリコン領域108上に配置された領域の中央付近に、例えばイオン注入法によってp型の不純物を添加する。この結果、p型接続領域115が形成され、同時に、p型接続領域115によって区画された上部n型シリコン領域110が形成される。次に、

50

図 1 2 に示すように、p 型接続領域 1 1 5 と上部 n 型シリコン領域 1 1 0 上に例えばエピタキシャル成長法によって厚さ B の p 型層 1 1 2 を成膜して形成する。その後、第 1 製造工程例の図 8 と図 9 に示す工程と同様の工程を行う。

【 0 0 5 4 】

なお、上記した第 2 製造方法例では、図 1 1 に示すように n 型層 1 1 0 に p 型の不純物を添加したが、これに代えて、n 型層 1 1 0 のうち、p 型シリコン領域 1 0 8 上に配置された領域の中央付近にトレンチを形成し、その後、そのトレンチ内と上部 n 型シリコン領域 1 1 0 上に p 型層 1 1 2 を成膜して形成してもよい。

【 0 0 5 5 】

また、上記した第 2 製造方法例では、図 1 0 に示すように厚さ C の n 型層 1 1 0 を成膜して形成した後、図 1 1 に示すように p 型の不純物を添加することによって、p 型接続領域 1 1 5 と上部 n 型シリコン領域 1 1 0 を形成したが、これに代えて、以下の製造方法によって p 型接続領域 1 1 5 と上部 n 型シリコン領域 1 1 0 を形成してもよい。

まず、例えばエピタキシャル成長法によって厚さ C の p 型層を成膜して形成する。次に、その p 型層の一部であって、n 型ドリフト層 1 0 6 の上方の n 型ドリフト層 1 0 6 よりも幅広の領域に例えばイオン注入法によって n 型の不純物を添加する。この結果、上部 n 型シリコン領域 1 1 0 が形成され、同時に、上部 n 型シリコン領域 1 1 0 によって区画された p 型接続領域 1 1 5 が形成される。

【 0 0 5 6 】

(第 3 製造方法例) 第 3 製造方法例では、まず、図 1 3 に示すように n⁺ 型基板 (n⁺ 型ドレイン領域) 1 0 2 上に、例えばエピタキシャル成長によって p 型層 1 0 8 を形成する。次に、図 1 4 に示すように、レジストをマスクにして、例えば異方性エッチング (RIE 等) によって p 型層 1 0 8 を貫通して n⁺ 型ドレイン領域 1 0 2 に達するトレンチ 1 0 8 a を形成する。この結果、p 型層 1 0 8 は p 型シリコン領域となる。次に、図 1 5 に示すように、例えばエピタキシャル成長法によってトレンチ 1 0 8 a 内に n 型層 1 0 6 を埋込んで p 型層 1 0 8 と n 型層 1 0 6 の横方向の互層構造を形成した後、連続してその互層構造上に n 型層 1 0 6 を形成する。次に、図 1 6 に示すように、n 型層 1 1 0 が厚さ C だけ残るように例えば CMP により平坦化する。その後、第 2 製造方法例の図 1 1 と図 1 2 に示す工程と同様の工程を行った後、第 1 製造方法例の図 8 と図 9 に示す工程と同様の工程を行う。

【 0 0 5 7 】

(第 4 製造方法例) 第 4 製造方法例では、まず、第 1 製造方法例の図 2 から図 5 に示す工程と同様の工程を行う。ただし、第 4 製造方法例では、第 1 製造方法例の図 5 に対応する図である図 1 7 に示すように、p 型層 1 0 8 と n 型層 1 0 6 の横方向の互層構造を図 5 よりも厚さ C だけ厚く形成する。次に、図 1 8 に示すように、p 型層 1 0 8 と n 型層 1 0 6 の互層構造の厚さ C の部分に例えばイオン注入法によって n 型の不純物を添加する。次に、不純物を添加した領域のうち、p 型層 1 0 8 上に配置された領域の中央付近に例えばイオン注入法によって p 型の不純物を添加する。この結果、p 型接続領域 1 1 5 が形成され、同時に、p 型接続領域 1 1 5 によって区画された上部 n 型シリコン領域 1 1 0 が形成される。その後、第 2 製造方法例の図 1 2 に示す工程と同様の工程を行った後、第 1 製造方法例の図 8 と図 9 に示す工程と同様の工程を行う。

【 0 0 5 8 】

(第 5 製造方法例) 第 5 製造方法例では、まず、第 1 製造方法例の図 2 から図 4 に示す工程と同様の工程を行う。ただし、第 5 製造方法例では、第 1 製造方法例の図 5 と異なり、図 1 9 に示すように、p 型層 1 0 8 と n 型層 1 0 6 の互層構造上に p 型層 1 0 8 が厚さ C だけ残るように、例えば CMP により平坦化する。次に、図 2 0 に示すように、p 型層 1 0 8 の厚さ C の部分全体に例えばイオン注入法によって n 型の不純物を添加する。次いで、厚さ C の部分のうち p 型層 1 0 8 上に配置された領域の中央付近に、例えばイオン注入法によって p 型の不純物を添加して p 型接続領域 1 1 5 を形成する。その後、第 2 製造方法例の図 1 2 に示す工程と同様の工程を行った後、第 1 製造方法例の図 8 と図 9 に示す

10

20

30

40

50

工程と同様の工程を行う。

【 0 0 5 9 】

(第6製造方法例) 第6製造方法例では、まず、第3製造方法例の図13から図15に示す工程と同様の工程を行う。次に、図21に示すように、p型層108とn型層106の互層構造上にn型層106が厚さAだけ残るように例えばCMPにより平坦化する。なお、この点で厚さCだけ残るように平坦化する第3製造工程例(図16)と異なる。その後、第1製造方法例の図7から図9に示す工程と同様の工程を行う。

【 0 0 6 0 】

(第7製造方法例) 第7製造方法例では、まず、第1製造方法例の図2から図5に示す工程と同様の工程を行う。ただし、第7製造方法例では、第1製造方法例の図5に対応する図である図22に示すように、p型層108とn型層106の横方向の互層構造を図5よりも厚さAだけ厚く形成する。なお、この点で横方向の互層構造を厚さCだけ厚く形成する第4製造方法例(図17)とも異なる。次に、図23に示すように、p型層108とn型層106の互層構造の厚さAの部分に例えばイオン注入法によってn型の不純物を添加してn型層110を形成する。その後、第1製造方法例の図7から図9に示す工程と同様の工程を行う。

10

【 0 0 6 1 】

(第8製造方法例) 第8製造方法例では、まず、第1製造方法例の図2から図4に示す工程と同様の工程を行う。ただし、第8製造方法例では、第1製造方法例の図5と異なり、図24に示すように、p型層108とn型層106の互層構造上にp型層108が厚さAだけ残るように、例えばCMPにより平坦化する。なお、この点で互層構造上にp型層108が厚さCだけ残りにする第5製造工程例(図19)とも異なる。次に、図25に示すような上部n型シリコン領域110とp型接続領域115とp型層112が形成されるように、p型層108にイオン注入を例えば複数回行う。イオン注入の具体的な方法としては種々の方法があるが、例えば、p型層108の厚さAの部分全体にイオン注入法によって一旦n型の不純物を添加する。その後、厚さCの部分のうちp型層108上に配置された領域の中央付近にイオン注入法によってp型の不純物を添加してp型接続領域115を形成する。その後、厚さBの部分全体にイオン注入法によってp型の不純物を添加する。その後、第1製造方法例の図8と図9に示す工程と同様の工程を行う。

20

なお、イオン注入の方法は、上記の方法に限られないのは勿論である。例えば、最初から

30

【 0 0 6 2 】

(第9製造方法例) まず、図26に示すようにn⁺型基板(n⁺型ドレイン領域)102上に、例えばエピタキシャル成長によってp型層108を形成する。その後、レジストをマスクにして、例えば異方性エッチング(RIE等)によってp型層108の上部の厚さCの部分に第1トレンチ108bを形成する。次に、図27に示すように、レジストをマスクにして、例えば異方性エッチング(RIE等)によって第1トレンチ108bの下面に繋がる位置に、第1トレンチ108bよりも幅が狭く、かつ、p型層108を貫通してn⁺型ドレイン領域102に達する第2トレンチ108cを形成する。次に、図28に示すように、例えばエピタキシャル成長法によって第2トレンチ108c内にn型層106を形成した後、連続して第1トレンチ108b内にn型層106を形成する。その後、第2製造方法例の図12に示す工程と、第1製造方法例の図8と図9に示す工程と同様の工程を行う。

40

【 0 0 6 3 】

なお、以上で説明した各製造方法例では、n型ドリフト領域106と上部n型シリコン領域110のn型不純物濃度が同じとなるように製造してもよいし、異なるように製造してもよい。特に、n型ドリフト領域106と上部n型シリコン領域110を連続して成膜しない場合(第1製造方法例(図6)、第2製造方法例(図10)、第4製造方法例(図18)、第5製造方法例(図20)、第7製造方法例(図23)、第8製造方法例(図25))は、上部n型シリコン領域110を成膜してあるいは不純物を添加して形成する際に

50

、n型ドリフト領域106よりもn型不純物濃度を低くすることを製造工程数を増加させずに行える。

【0064】

(第2実施例) 図29に第2実施例の縦型半導体装置200の断面図を示す。第2実施例の縦型半導体装置200は、上部n⁻型シリコン領域210がn型ドリフト領域206と別体で形成されている。上部n⁻型シリコン領域210のn型不純物濃度は $1E16\text{ cm}^{-3}$ である。ドリフト領域206のn型不純物濃度は $2.8E16$ である。このように、上部シリコン領域210の不純物濃度はドリフト領域206の不純物濃度より小さくすることが好ましい。上部n⁻型シリコン領域210は耐压時にこの領域を空乏化しなければならないという観点から不純物濃度を低くすることが望ましい。また、n型ドリフト領域206は耐压確保のみならず、オン抵抗を低くすることも考慮に入れる必要があるため、不純物濃度を高くすることが望ましい。上部n⁻型シリコン領域210はp型ボディ領域212内に組込まれている。これらの点で第1実施例の縦型半導体装置100と主に異なる。

10

【0065】

次に、第2実施例の縦型半導体装置200の特性のシミュレーション結果を示す。まず、図30に縦型半導体装置200のドレイン電圧 V_D -ドレイン電流 I_D 特性(耐压特性)を示す。ドレイン電圧は0~250Vの範囲で、0.2Vずつ電圧を上昇させた。なお、ゲート電圧、ソース電圧、ボディ電圧は0Vとした。図30のグラフから分かるように、ドレイン電圧 V_D が約240Vで、縦型半導体装置200はブレイクダウンしており、耐

20

圧が約240Vであることがわかる。図31に縦型半導体装置200のドレイン電圧 $V_D = 200\text{ V}$ の時の電圧分布を示す。図31は、図29の幅Bの領域、即ち装置のハーフセルの部分を示している。図31中には、空乏層エッジが示してある。図31より、n型ドリフト領域206、p型シリコン領域208、上部n⁻型シリコン領域210は完全空乏化していることがわかる。また、等電位線がほぼ均一の間隔で分布していることがわかる。

【0066】

図32に縦型半導体装置200のゲート電圧 V_G -ドレイン電流 I_D 特性(オン特性)を示す。なお、ゲート電圧は0~20Vの範囲で、0.05Vずつ電圧を上昇させた。ドレイン電圧は0.1Vとした。ソース電圧、ボディ電圧は0Vとした。図10のグラフから

30

$V_G = 1.5\text{ V}$ での縦型半導体装置200のオン抵抗(R_{ON})を計算すると、約 $0.17 \cdot \text{mm}^2$ となった。

図33に縦型半導体装置200のゲート電圧 $V_G = 1.5\text{ V}$ の時の電流フローを示す。図33も図31と同様に、図29の幅Bの領域内にある部分を示している。図33からチャネルは、p型シリコン領域208には形成されておらず、トレンチ213の側方近傍のp型ボディ領域212の領域212aにのみ形成されていることがわかる。

【0067】

図34に縦型半導体装置200のブレイクダウン電圧 V_B -オン抵抗 R_{ON} 特性を示す。図34の曲線はシリコンリミットを示す。シリコンリミットとは、「POWER MOSFETS Theory and Applications」(発行John Wiley & Sons社、著者D.A.Grant)に記述されてい

40

るように、耐压によって一義的に決まるオン抵抗の最小値である。図34からわかるように、ブレイクダウン電圧 V_B の上昇に伴って、オン抵抗 R_{ON} は上昇する。図34のグラフ中の点Aは、上記した図30と図32から導かれたブレイクダウン電圧 V_B (約240V)とオン抵抗 R_{ON} (約 $0.17 \cdot \text{mm}^2$)に基づいてプロットした点を示している。シリコンリミットでは、ブレイクダウン電圧 V_B が240Vのとき、オン抵抗 R_{ON} は約 $0.54 \cdot \text{mm}^2$ となる。これに対し、縦型半導体装置200によれば、ブレイクダウン電圧 V_B が約240Vのとき、オン抵抗 R_{ON} は約 $0.17 \cdot \text{mm}^2$ である。即ち、シリコンリミットと比較して、1/3以下となっている。従って、縦型半導体装置200の構成によれば、高耐压でありながら、オン抵抗を小さくできることがわかる。

50

このように、第2実施例の縦型半導体装置200によれば、シリコンリミットを大きく越えた性能が得られる。

【0068】

(第3実施例) 図35に第3実施例の縦型半導体装置300の断面図を示す。第3実施例の縦型半導体装置300は、n型ドリフト領域306の幅(0.5 μ m)が、図1に示す第1実施例のn型ドリフト領域106の幅(1 μ m)より狭い。n型ドリフト領域306のn型不純物濃度は、 $6.5 \times 10^{16} \text{ cm}^{-3}$ である。また、p型シリコン領域308の幅(3.5 μ m)が、第1実施例のp型シリコン領域108の幅(3 μ m)より広い。p型シリコン領域308のp型不純物濃度は、 $1.0 \times 10^{16} \text{ cm}^{-3}$ である。また、上部n型シリコン領域310の幅(0.7 μ m)は第1実施例の上部n型シリコン領域110の幅(3 μ m)より狭い。なお、上部n型シリコン領域310とn型ドリフト領域308は一体的に形成されており、図35の点線Yが上部n型シリコン領域310とn型ドリフト領域306の境界線である。

10

【0069】

また、上部n型シリコン領域310の幅(0.7 μ m)はトレンチ313の幅(1.2 μ m)より狭い。上部n型シリコン領域310は、n型ドリフト領域306には接しているが、p型ボディ領域312には接していない。上部n型シリコン領域310の厚さ(0.3 μ m)が第1実施例の上部n型シリコン領域110の厚さ(1 μ m)より薄い。第1実施例の上部n型シリコン領域110は、トレンチ113の底面の2箇所の隅部113aを覆っているのに対し、第3実施例の上部n型シリコン領域310はトレンチ313の底面の直下付近にのみ配置されている。上部n型シリコン領域310のn型不純物濃度は、 $6.5 \times 10^{16} \text{ cm}^{-3}$ である。これらの点で第1実施例の縦型半導体装置100と主に異なる。

20

【0070】

第3実施例の縦型半導体装置300のように、上部n型シリコン領域310の幅が狭く、厚さが薄い場合であっても、トレンチ313を形成する際のマスクずれ、あるいはトレンチ313の深さの制御ずれが小さい場合には、p型シリコン領域308に形成されるチャネル領域を小さくして、オン抵抗の上昇を抑制することができる。

【0071】

(第4実施例) 図36に第4実施例の縦型半導体装置400の断面図を示す。第4実施例の縦型半導体装置400は、スーパージャンクション構造404の構成が第1実施例のスーパージャンクション構造104の構成と相違する点で主に異なる。具体的には、n型ドリフト領域406は、トレンチ413(ゲート電極420)の下方に配置されておらず、2つのトレンチ413(ゲート電極420)で挟まれた領域の中央に配置されている。ドリフト領域406の幅は0.8 μ mであり、n型不純物濃度は $3.7 \times 10^{16} \text{ cm}^{-3}$ である。トレンチ413(ゲート電極420)の下方には、p型シリコン領域408が配置されている。p型シリコン領域408の幅は3.2 μ mであり、p型不純物濃度は $1.0 \times 10^{16} \text{ cm}^{-3}$ である。

30

【0072】

p型シリコン領域408の上面側の隅部近傍には、上部n⁻型シリコン領域410が配置されている。上部n⁻型シリコン領域410の幅は0.8 μ mであり、厚さは1 μ mであり、n型不純物濃度は $3.7 \times 10^{16} \text{ cm}^{-3}$ である。上部n⁻型シリコン領域410はn型ドリフト領域406とp型ボディ領域412に接している。しかし、トレンチ413(ゲート絶縁膜418)には接していない。トレンチ413(ゲート絶縁膜418)と上部n⁻型シリコン領域410の間にはp型シリコン領域408の一部の領域408aが形成されており、この領域408aはp型ボディ領域412と接している。領域408aの幅は0.2 μ mである。

40

【0073】

第4実施例の縦型半導体装置400も、第1実施例の縦型半導体装置100と同様に、縦型半導体装置400をオンすると、p型ボディ領域412中の電子は領域412aに集ま

50

り、 n 型チャンネルが形成される。これにより、 n^+ 型ソース領域414から供給された電子は、 n 型チャンネル412a、上部 n^- 型シリコン領域410、 n 型ドリフト領域406の順に流れ、 n^+ 型ドレイン領域402に達する。第4実施例の場合は、電子が p 型ボディ領域412中の n 型チャンネル412aから上部 n^- 型シリコン領域410に達する際に、わずかに p 型シリコン領域408の領域408aを通過する場合があるが、それでも上部 n^- 型シリコン領域410を設けない場合に比較すれば、 p 型シリコン領域408に形成される n 型チャンネル領域を大きく減らすことができる。

【0074】

また、第4実施例の縦型半導体装置400の耐圧時にも、第1実施例の縦型半導体装置100と同様に、 pn 接合部407、409から各領域406、408、410に空乏層が広がる。このため、領域406、408が完全空乏化され、また、領域410も空乏化される。このために、高耐圧が得られる。

10

【0075】

(第5実施例) 図37に第5実施例の縦型半導体装置500の断面図を示す。第5実施例の縦型半導体装置500は、上部シリコン領域を備えていない。その代わりに、 n 型ドリフト領域506が p 型ボディ領域512に接しており、ボディ領域512のうち n 型チャンネルが形成される領域512aにも接している。また、 p 型シリコン領域508も p 型ボディ領域512に直接に接している。ドリフト領域506の幅(1.4 μm)がトレンチ513の幅(0.5 μm)より広く、左右方向にほぼ同じ長さだけ幅広である。また、ドリフト領域506は、トレンチ513の底面の2箇所の隅部513aを覆っている。 n 型ドリフト領域506の n 型不純物濃度は $2.0 \times 10^{16} \text{ cm}^{-3}$ である。一方、 p 型シリコン領域508の幅(1.4 μm)は、第1実施例の p 型シリコン領域108の幅(3 μm)より狭い。 p 型シリコン領域508の p 型不純物濃度は $2.0 \times 10^{16} \text{ cm}^{-3}$ である。これらの点で第1実施例の縦型半導体装置100と主に異なる。

20

【0076】

第5実施例の縦型半導体装置500によると、第1～第4実施例の縦型半導体装置に形成されていたような上部シリコン領域を形成しなくても、トレンチ513の形成の際のマスクずれ、あるいはトレンチ513の深さの制御ずれによるオン抵抗の増大を抑制し、かつ、 p 型シリコン領域508がフローティングの電位状態とならないようにして耐圧特性を安定化させながらも、 p 型シリコン領域508と p 型ボディ領域512間の電流経路を短くすることができる。

30

【0077】

縦型半導体装置500のような構造では、トレンチ513(ゲート電極520)の幅よりも n 型ドリフト領域506の幅が広くなければならないという制限が入る。現状の技術では、トレンチ513(ゲート電極520)の幅を約0.5 μm 以下にすることは困難である。マスクずれが生じた場合にもトレンチ513の底面部が n 型ドリフト領域506に完全に入るように、図37中のaの長さを0.35 μm に設定した。従って n 型ドリフト領域506の幅は、1.4 μm 必要となる。

【0078】

次に、 n 型ドリフト領域506と p 型シリコン領域507の幅を同じ1.4 μm とし、不純物濃度を $2 \times 10^{16} \text{ cm}^{-3}$ とした場合の第5実施例のシミュレーション結果を示す。まず、図38に縦型半導体装置500の耐圧特性を示す。なお、ドレイン電圧等の条件は第2実施例(図30参照)の場合と同様である。図38のグラフから耐圧は約238Vであることがわかる。

40

図39に縦型半導体装置500のドレイン電圧 $V_D = 200 \text{ V}$ の時の電圧分布を示す。図39より、 n 型ドリフト領域506、 p 型シリコン領域508は完全空乏化していることがわかる。また、等電位線がほぼ均一の間隔で分布していることがわかる。

【0079】

図40に縦型半導体装置500のオン特性を示す。なお、ゲート電圧等の条件は第2実施例(図32参照)の場合と同様である。図40のグラフから $V_G = 1.5 \text{ V}$ での縦型半導体

50

装置 500 のオン抵抗 (R_{ON}) を計算すると、約 $0.093 \cdot \text{mm}^2$ となった。この場合もシリコンリミットを大きく上回る特性が得られた。

図 41 に縦型半導体装置 500 のゲート電圧 $V_G = 15 \text{ V}$ の時の電流フローを示す。図 41 から、チャンネルは p 型シリコン領域 508 には形成されておらず、トレンチ 513 の側方近傍の p 型ボディ領域 512 の領域 512a にのみ形成されていることがわかる。

【0080】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

例えば、上記実施例では n 型のパワー MOS について説明したが、p 型のパワー MOS にも本発明を適用できるのはいうまでもない。また、本発明は、U 溝型の MOS に限定されるものではなく、V 溝型の MOS や、IGBT、MOS ゲートサイリスタ等にも適用することができる。

また、上記では、第 1 実施例について第 1 ~ 第 9 製造方法例を示したが、第 2 ~ 第 5 実施例についても、上記した第 1 ~ 9 製造方法例と同様の製造方法によって製造することができる。即ち、上記した第 1 ~ 第 9 製造方法例に内在する技術は、第 2 ~ 第 5 実施例についても適用することができる。

【図面の簡単な説明】

【図 1】 第 1 実施例の半導体装置の断面図を示す。

【図 2】 同半導体装置の第 1 製造方法例の一部を示す (1)。

【図 3】 同半導体装置の第 1 製造方法例の一部を示す (2)。

【図 4】 同半導体装置の第 1 製造方法例の一部を示す (3)。

【図 5】 同半導体装置の第 1 製造方法例の一部を示す (4)。

【図 6】 同半導体装置の第 1 製造方法例の一部を示す (5)。

【図 7】 同半導体装置の第 1 製造方法例の一部を示す (6)。

【図 8】 同半導体装置の第 1 製造方法例の一部を示す (7)。

【図 9】 同半導体装置の第 1 製造方法例の一部を示す (8)。

【図 10】 同半導体装置の第 2 製造方法例の一部を示す (1)。

【図 11】 同半導体装置の第 2 製造方法例の一部を示す (2)。

【図 12】 同半導体装置の第 2 製造方法例の一部を示す (3)。

【図 13】 同半導体装置の第 3 製造方法例の一部を示す (1)。

【図 14】 同半導体装置の第 3 製造方法例の一部を示す (2)。

【図 15】 同半導体装置の第 3 製造方法例の一部を示す (3)。

【図 16】 同半導体装置の第 3 製造方法例の一部を示す (4)。

【図 17】 同半導体装置の第 4 製造方法例の一部を示す (1)。

【図 18】 同半導体装置の第 4 製造方法例の一部を示す (2)。

【図 19】 同半導体装置の第 5 製造方法例の一部を示す (1)。

【図 20】 同半導体装置の第 5 製造方法例の一部を示す (2)。

【図 21】 同半導体装置の第 6 製造方法例の一部を示す。

【図 22】 同半導体装置の第 7 製造方法例の一部を示す (1)。

【図 23】 同半導体装置の第 7 製造方法例の一部を示す (2)。

【図 24】 同半導体装置の第 8 製造方法例の一部を示す (1)。

【図 25】 同半導体装置の第 8 製造方法例の一部を示す (2)。

【図 26】 同半導体装置の第 9 製造方法例の一部を示す (1)。

【図 27】 同半導体装置の第 9 製造方法例の一部を示す (2)。

【図 28】 同半導体装置の第 9 製造方法例の一部を示す (3)。

10

20

30

40

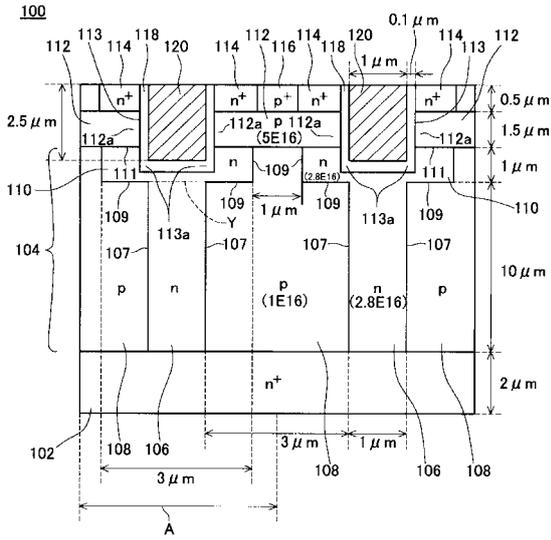
50

- 【図29】 第2実施例の半導体装置の断面図を示す。
- 【図30】 同半導体装置の耐圧特性を示す。
- 【図31】 同半導体装置のドレイン電圧 $V_D = 200V$ の時の電圧分布を示す。
- 【図32】 同半導体装置のオン特性を示す。
- 【図33】 同半導体装置のゲート電圧 $V_G = 15V$ の時の電流フローを示す。
- 【図34】 同半導体装置のブレークダウン電圧 V_B - オン抵抗 R_{ON} 特性を示す。
- 【図35】 第3実施例の半導体装置の断面図を示す。
- 【図36】 第4実施例の半導体装置の断面図を示す。
- 【図37】 第5実施例の半導体装置の断面図を示す。
- 【図38】 同半導体装置の耐圧特性を示す。 10
- 【図39】 同半導体装置のドレイン電圧 $V_D = 200V$ の時の電圧分布を示す。
- 【図40】 同半導体装置のオン特性を示す。
- 【図41】 同半導体装置のゲート電圧 $V_G = 15V$ の時の電流フローを示す。
- 【図42】 従来の半導体装置の斜視図（断面図を含む）を示す。

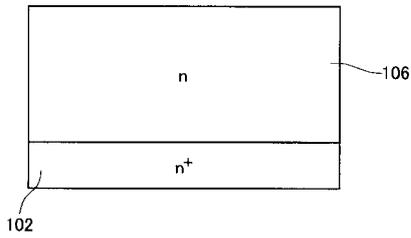
【符号の説明】

- 102 : n^+ 型ドレイン領域
- 104 : スーパージャンクション構造
- 106 : n 型ドリフト領域
- 108 : p 型シリコン領域（第2半導体領域の一例）
- 110 : 上部 n 型シリコン領域（第1半導体領域の一例） 20
- 112 : p 型ボディ領域
- 112a : n 型チャネル
- 114 : n^+ 型ソース領域
- 116 : p^+ 型ボディコンタクト領域
- 118 : ゲート絶縁膜
- 120 : ゲート電極

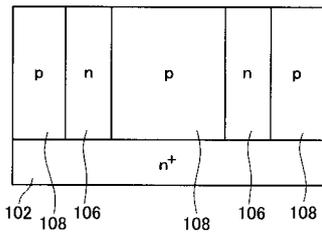
【 図 1 】



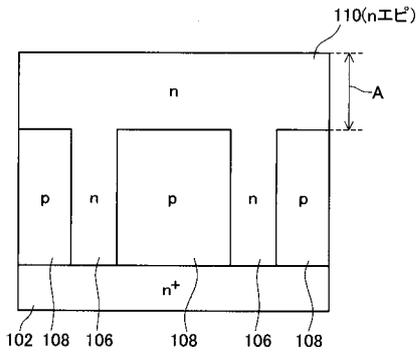
【 図 2 】



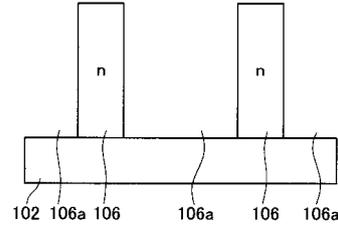
【 図 5 】



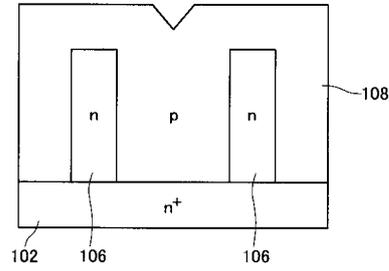
【 図 6 】



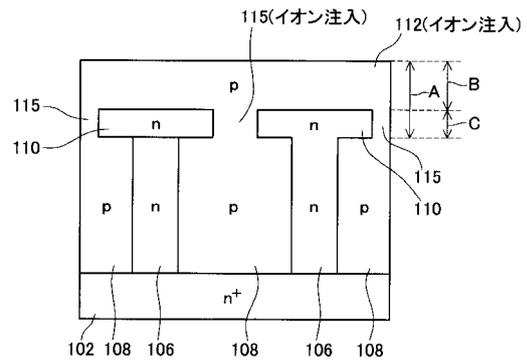
【 図 3 】



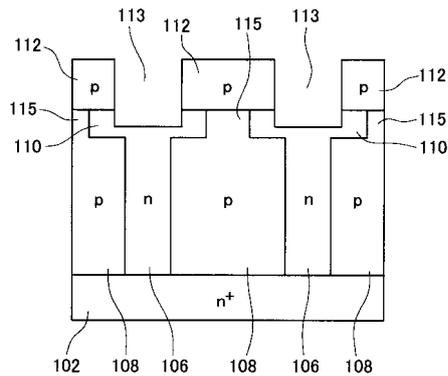
【 図 4 】



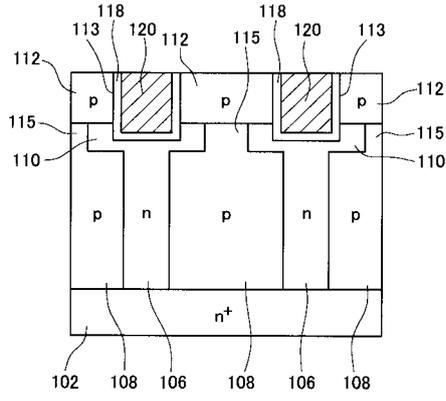
【 図 7 】



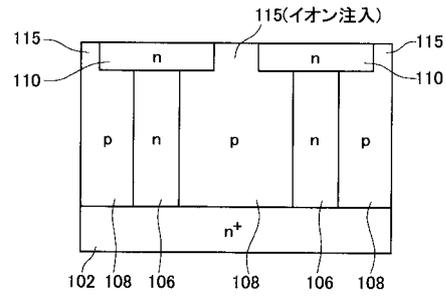
【 図 8 】



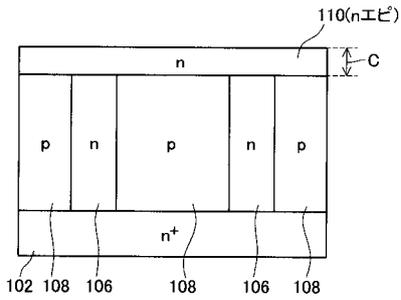
【 図 9 】



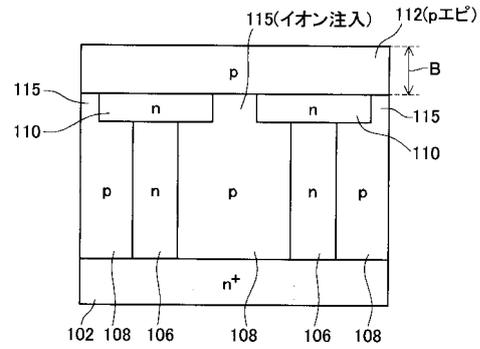
【 図 1 1 】



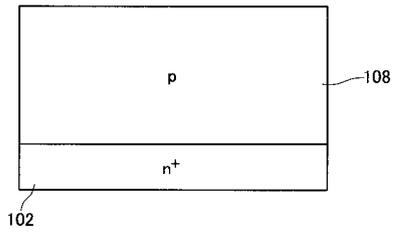
【 図 1 0 】



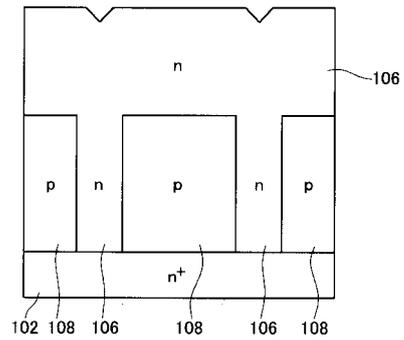
【 図 1 2 】



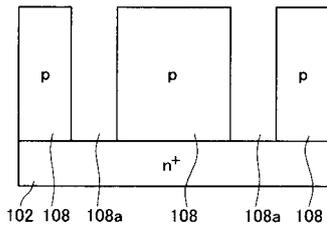
【 図 1 3 】



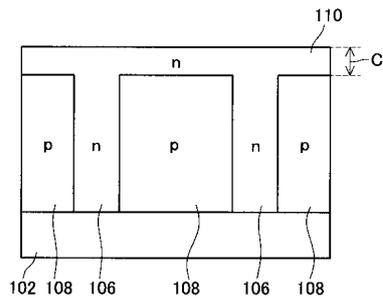
【 図 1 5 】



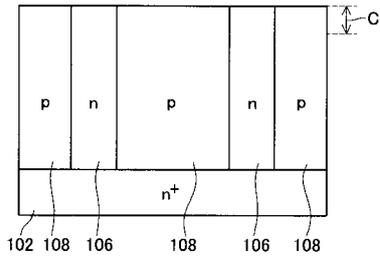
【 図 1 4 】



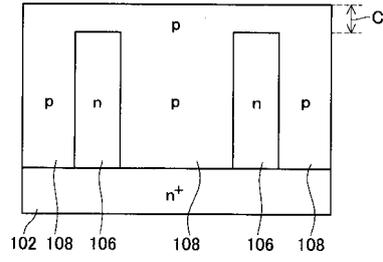
【 図 1 6 】



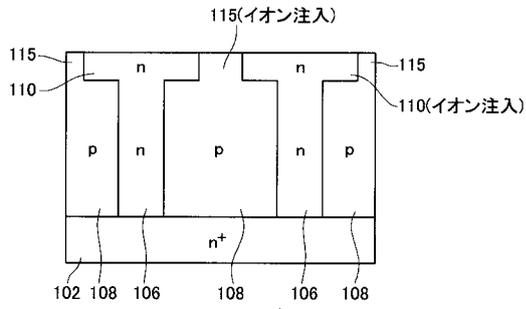
【図17】



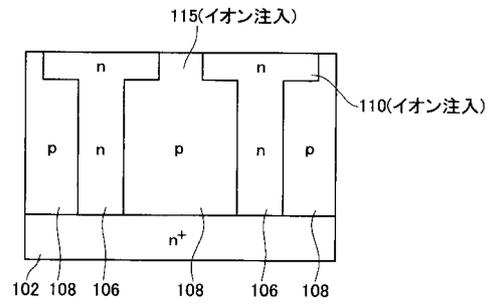
【図19】



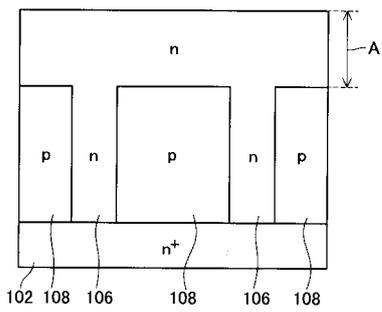
【図18】



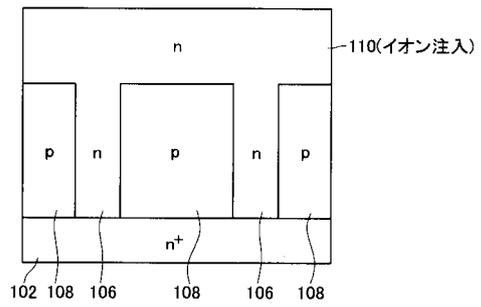
【図20】



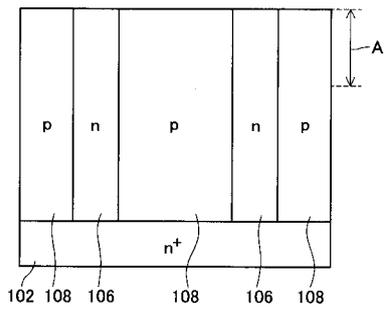
【図21】



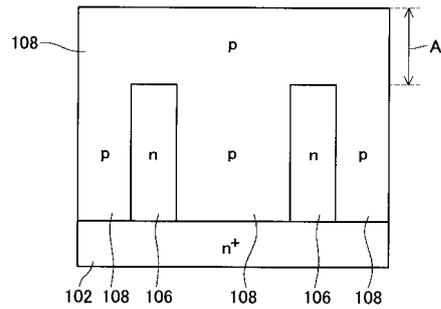
【図23】



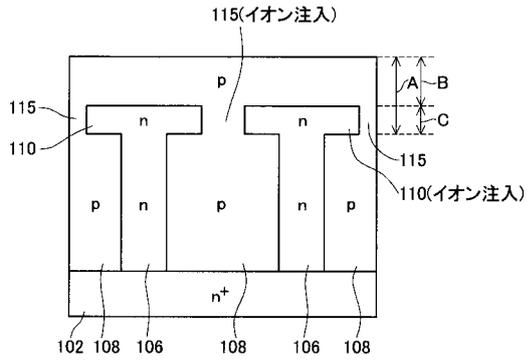
【図22】



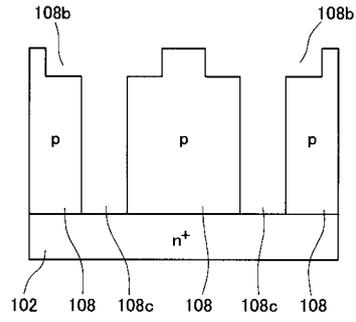
【図24】



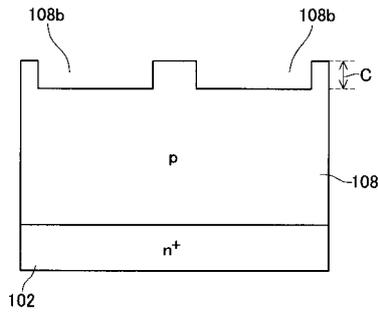
【 図 2 5 】



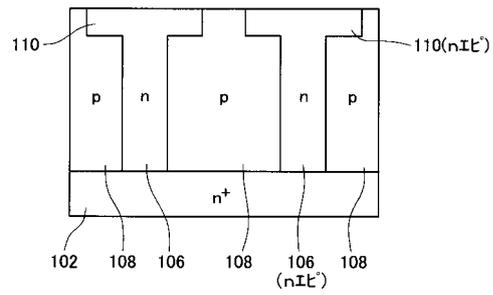
【 図 2 7 】



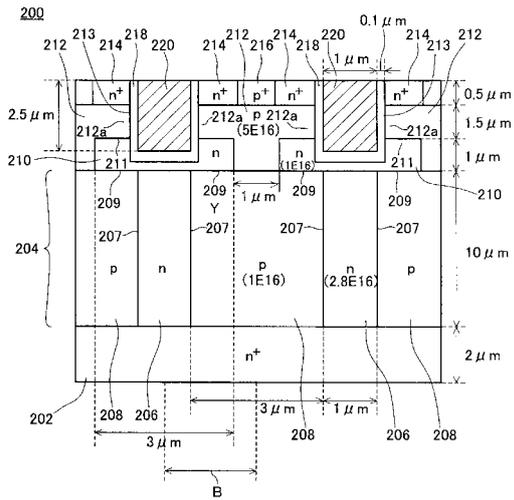
【 図 2 6 】



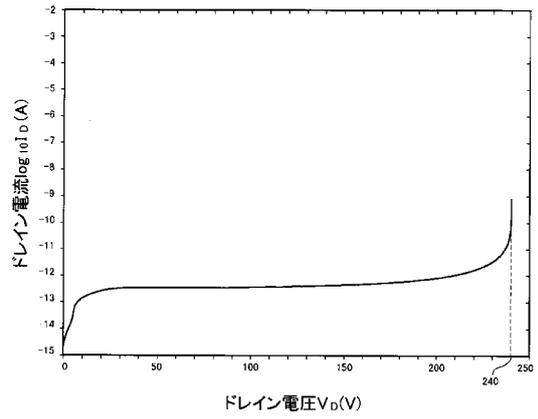
【 図 2 8 】



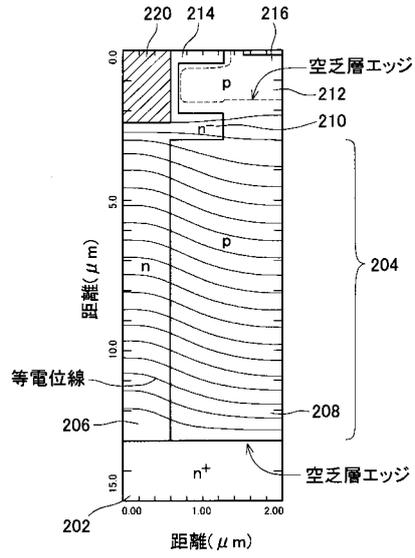
【 図 2 9 】



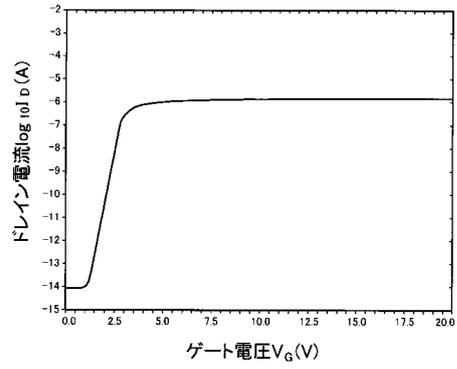
【 図 3 0 】



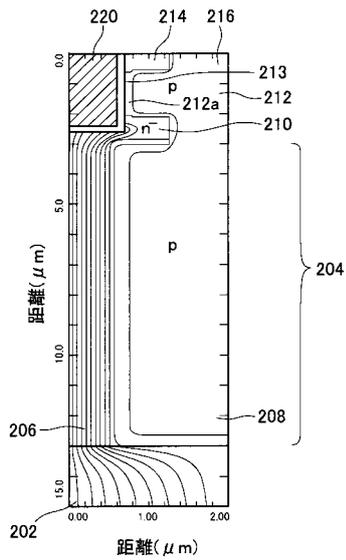
【 図 3 1 】



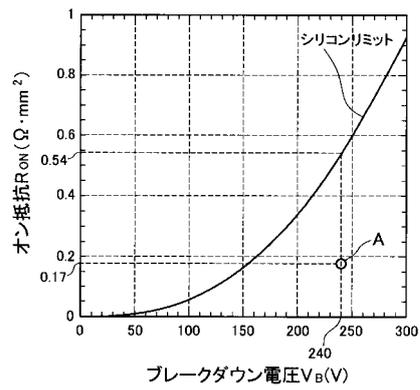
【 図 3 2 】



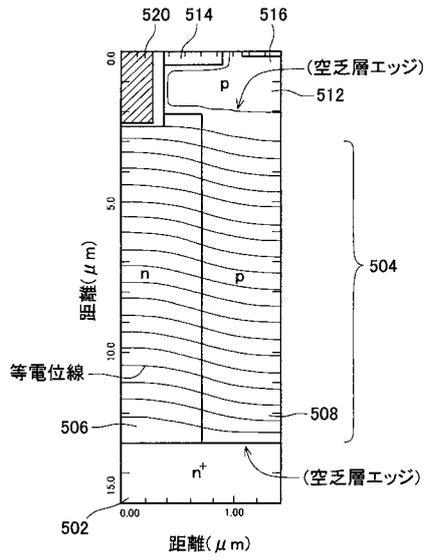
【 図 3 3 】



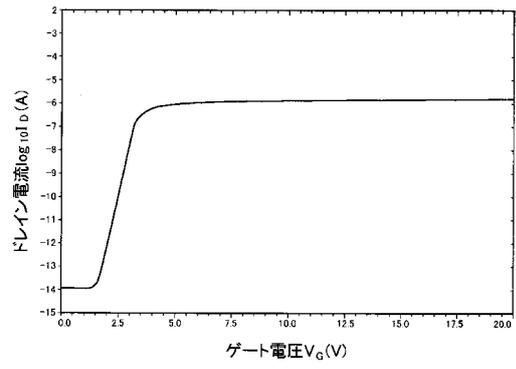
【 図 3 4 】



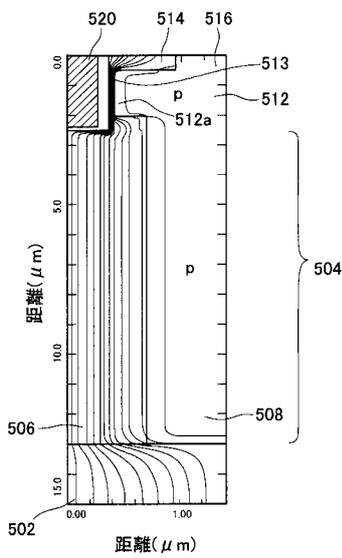
【 図 3 9 】



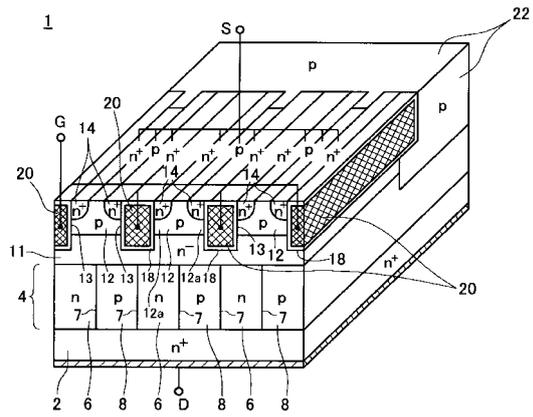
【 図 4 0 】



【 図 4 1 】



【 図 4 2 】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 29/78 6 5 8 A
H 0 1 L 29/06 3 0 1 D

(74)代理人 100117248

弁理士 鈴木 智哉

(72)発明者 服部 佳晋

愛知県愛知郡長久手町大字長湫字横道4 1番地の1 株式会社豊田中央研究所内

(72)発明者 山口 仁

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 安田 雅彦

(56)参考文献 特開2001-244461(JP,A)
特開2000-260984(JP,A)
特開2001-267568(JP,A)
特表2000-515684(JP,A)
特開平04-258174(JP,A)
特開2001-313391(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 21/336

H01L 29/06