



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년10월11일
(11) 등록번호 10-2452593
(24) 등록일자 2022년10월04일

(51) 국제특허분류(Int. Cl.)
H01L 21/311 (2006.01) H01L 21/3063 (2006.01)
H01L 21/316 (2006.01) H01L 21/324 (2017.01)
(52) CPC특허분류
H01L 21/311 (2013.01)
H01L 21/02107 (2013.01)
(21) 출원번호 10-2015-0053177
(22) 출원일자 2015년04월15일
심사청구일자 2020년04월13일
(65) 공개번호 10-2016-0123441
(43) 공개일자 2016년10월26일
(56) 선행기술조사문헌
KR1020150076099 A
JP06232099 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이동섭
경기도 화성시 동탄문화센터로 38, 419동 1703호
(반송동, 솔빛마을서해그랑블아파트)
손운호
경기도 화성시 동탄반석로 96 405동 303호(반송동, 동탄솔빛마을 경남아너스빌 아파트)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 9 항

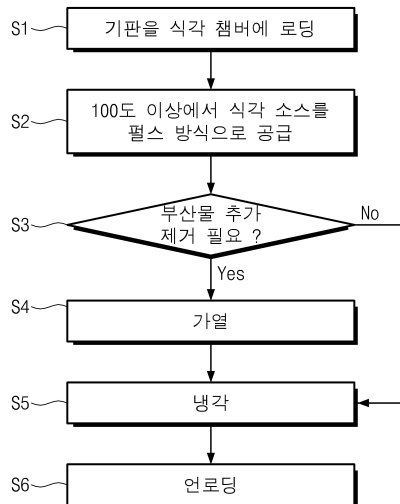
심사관 : 박중현

(54) 발명의 명칭 반도체 장치의 제조 방법

(57) 요약

산화물을 포함하는 절연막이 형성된 기판을 챔버에 로딩하고, 챔버 내에 식각 소스를 포함하는 공정 가스를 주입하여 상기 절연막의 적어도 일부를 제거한다. 제거 공정은 식각 소스의 공급이 제 1 유량인 제 1 기간 및 상기 제 1 유량보다 적은 제 2 유량인 제 2 기간이 복수 회 반복되는 펄스 타입으로 진행되고, 제거 공정 동안 챔버 내의 온도는 100℃ 이상으로 유지된다.

대표도 - 도1



(52) CPC특허분류

H01L 21/3063 (2013.01)

H01L 21/324 (2013.01)

(72) 발명자

이상준

인천광역시 남동구 인주대로 857, 105동 701호 (만수동, 삼환아파트)

강문권

경기도 수원시 영통구 영통로241번길 12-30, 404호 (신동)

김경현

서울특별시 서초구 반포동 주공APT 105동 102호

황인석

경기 수원시 영통구 망포동 동수원엘지빌리지2차 203동 2001호

명세서

청구범위

청구항 1

산화물을 포함하는 절연막이 형성된 기판을 챔버에 로딩하는 것; 및

상기 챔버 내에 식각 소스를 포함하는 공정 가스를 주입하여 상기 절연막의 적어도 일부를 제거하는 것을 포함하고,

상기 제거 공정은 상기 식각 소스의 공급이 제 1 유량인 제 1 기간 및 상기 제 1 유량보다 적은 제 2 유량인 제 2 기간이 복수 회 반복되는 펄스 타입으로 진행되고,

상기 제거 공정 동안 상기 챔버 내의 온도는 100℃ 이상으로 유지되고,

상기 챔버의 압력은 제 1 압력으로 유지되는 제 3 기간 및 상기 제 1 압력보다 낮은 제 2 압력으로 유지되는 제 4 기간이 펄스 타입으로 반복되는 반도체 장치의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제 2 기간은 식각 소스의 공급이 중단되는 오프 상태이고, 그 결과 상기 제거 공정 동안 상기 식각 소스의 공급의 온/오프가 반복되는 반도체 장치의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 제 2 기간은 상기 제 1 기간보다 긴 반도체 장치의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 제 2 기간 동안 상기 절연막이 제거되면서 발생된 식각 부산물의 승화가 진행되는 반도체 장치의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 공정 가스는 플라즈마화되지 않은 가스 상태로 상기 챔버에 공급되거나 리모트 플라즈마 방식으로 상기 챔버에 공급되는 반도체 장치의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 식각 소스는 HF 및 NH₃를 포함하거나, NF₃, NH₃, HF, 및 H₂ 중 적어도 둘 이상을 포함하는 반도체 장치의 제조 방법.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 제 4 기간 동안 상기 공정 가스는 퍼지(purge)되는 반도체 장치의 제조 방법.

청구항 9

산화물을 포함하는 절연막이 형성된 기판을 챔버에 로딩하는 것; 및

상기 챔버 내에 식각 소스를 포함하는 공정 가스를 주입하여 상기 절연막의 적어도 일부를 제거하는 것을 포함하고,

상기 제거 공정은 상기 식각 소스의 공급이 온/오프되는 것이 복수 회 반복되는 펄스 타입으로 진행되고,

상기 제거 공정 동안 상기 챔버 내의 온도는 100℃ 이상으로 유지되고,

상기 챔버의 압력은 제 1 압력으로 유지되는 제 3 기간 및 상기 제 1 압력보다 낮은 제 2 압력으로 유지되는 제 4 기간이 펄스 타입으로 반복되는 드라이 클리닝 방법.

청구항 10

제 9 항에 있어서,

상기 오프 상태 동안 상기 공정 가스는 퍼지(purge)되는 드라이 클리닝 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치의 제조 방법에 관한 것으로, 보다 상세하게는 반도체 기판 상의 절연막을 제거하는 공정 방법에 관한 것이다.

배경 기술

[0002] 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 반도체 소자는 전자 산업에서 중요한 요소로 각광 받고 있다. 반도체 소자들은 논리 데이터를 저장하는 반도체 기억 소자, 논리 데이터를 연산 처리하는 반도체 논리 소자, 및 기억 요소와 논리 요소를 포함하는 하이브리드(hybrid) 반도체 소자 등으로 구분될 수 있다. 전자 산업이 고도로 발전함에 따라, 반도체 소자의 특성들에 대한 요구가 점점 증가되고 있다. 예컨대, 반도체 소자에 대한 고 신뢰성, 고속화 및/또는 다기능화 등에 대하여 요구가 점점 증가되고 있다. 이러한 요구 특성들을 충족시키기 위하여 반도체 소자 내 구조들은 점점 복잡해지고 있으며, 또한, 반도체 소자는 점점 고집적화 되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는 절연막을 효과적으로 제거할 수 있고, 로딩 현상을 줄일 수 있는 반도체 장치의 제조 방법을 제공하는데 있다. 본 발명이 해결하고자 하는 과제는 이에 제한되지 않는다.

과제의 해결 수단

[0004] 본 발명의 개념에 따른, 반도체 장치의 제조 방법은 산화물을 포함하는 절연막이 형성된 기판을 챔버에 로딩하는 것; 및 챔버 내에 식각 소스를 포함하는 공정 가스를 주입하여 상기 절연막의 적어도 일부를 제거하는 것을 포함하고, 상기 제거 공정은 상기 식각 소스의 공급이 제 1 유량인 제 1 기간 및 상기 제 1 유량보다 적은 제 2 유량인 제 2 기간이 복수 회 반복되는 펄스 타입으로 진행되고, 상기 제거 공정 동안 상기 챔버 내의 온도는 100℃ 이상으로 유지될 수 있다.

[0005] 상기 제 2 기간은 식각 소스의 공급이 중단되는 오프 상태이고, 그 결과 상기 제거 공정 동안 상기 식각 소스의 공급의 온/오프가 반복될 수 있다.

[0006] 상기 제 2 기간은 상기 제 1 기간보다 길 수 있다.

- [0007] 상기 제 2 기간은 상기 제 1 기간보다 3배 내지 15배 길 수 있다.
- [0008] 상기 제 1 기간은 1초 내지 20초이고, 상기 제 2 기간은 5초 내지 60초일 수 있다.
- [0009] 상기 제 2 기간 동안 상기 절연막이 제거되면서 발생된 식각 부산물의 승화가 진행될 수 있다.
- [0010] 상기 공정 가스는 플라즈마화되지 않은 가스 상태로 상기 챔버에 공급되거나 리모트 플라즈마 방식으로 상기 챔버에 공급될 수 있다.
- [0011] 상기 식각 소스는 HF 및 NH₃를 포함하거나, NF₃, NH₃, HF, 및 H₂ 중 적어도 둘 이상을 포함할 수 있다.
- [0012] 상기 제 2 기간 동안 상기 챔버 내의 상기 공정 가스의 압력은 상기 제 1 기간과 동일하게 유지될 수 있다.
- [0013] 상기 챔버 내의 상기 공정 가스의 압력은 제 1 압력으로 유지되는 제 3 기간 및 상기 제 1 압력보다 낮은 제 2 압력으로 유지되는 제 4 기간이 반복될 수 있다.
- [0014] 상기 제 4 기간 동안 상기 공정 가스는 퍼지(purge)될 수 있다.
- [0015] 상기 제 3 기간의 시작점 및 종료점은 상기 제 1 기간의 시작점 및 종료점과 동일하고, 상기 제 4 기간의 시작점 및 종료점은 상기 제 2 기간의 시작점 및 종료점과 동일할 수 있다.
- [0016] 상기 제 3 기간의 시작점 및 종료점은 상기 제 1 기간의 시작점 및 종료점보다 늦고, 상기 제 4 기간의 시작점 및 종료점은 상기 제 2 기간의 시작점 및 종료점보다 늦을 수 있다.
- [0017] 산화물을 포함하는 절연막이 형성된 기판을 챔버에 로딩하는 것; 및 챔버 내에 식각 소스를 포함하는 공정 가스를 주입하여 상기 절연막의 적어도 일부를 제거하는 것을 포함하고, 상기 제거 공정은 상기 식각 소스의 공급이 온/오프되는 것이 복수 회 반복되는 펄스 타입으로 진행되고, 상기 제거 공정 동안 상기 챔버 내의 온도는 100℃ 이상으로 유지될 수 있다.
- [0018] 상기 식각 소스의 공급이 온 상태인 펄스폭은 상기 식각 소스의 공급이 오프 상태인 펄스 간격보다 짧을 수 있다.
- [0019] 상기 제거 공정 동안 상기 챔버 내의 온도는 200℃ 이하로 유지될 수 있다.
- [0020] 상기 오프 상태 동안 상기 절연막이 제거되면서 발생된 식각 부산물의 승화가 진행될 수 있다.
- [0021] 상기 오프 상태 동안 상기 공정 가스는 퍼지(purge)될 수 있다.
- [0022] 상기 제거 공정은 상기 기판에 충돌하는 에너지를 조절하기 위한 바이어스 파워의 인가 없이 수행될 수 있다.

발명의 효과

- [0023] 본 발명에 따른 반도체 장치의 제조 방법에 따르면, 절연막, 특히 산화막의 제거 공정 및 콘택홀의 세정 공정을 효과적으로 진행할 수 있다. 그 결과 절연막의 불완전 제거 또는 콘택홀의 불완전 세정이 개선되고, 로딩 현상이 개선될 수 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 공정 흐름도이다.
- 도 2는 본 발명의 일 실시예에 따른 반도체 장치의 절연막 제거 공정이 수행되는 공정 챔버의 개념도이다.
- 도 3 내지 도 5는 절연막 제거 공정을 설명하기 위한 도면들로, 상기 기판(WF) 일부의 단면도들이다.
- 도 6은 본 발명의 일 실시예에 따른 절연막 제거 공정에서 식각 부산물의 변화를 설명하기 위한 개념도이다.
- 도 7은 비교예에 따른 식각 부산물의 변화를 설명하기 위한 개념도이다.
- 도 8 내지 도 10은 본 발명의 일 실시예에 따른 건식 클리닝 방법으로 콘택홀을 세정하는 공정을 설명하기 위한 도면들로, 도 2의 기판(WF)의 일부의 단면도들이다.
- 도 11 내지 도 16은 본 발명의 실시예들에 따른 공정 가스의 공급 방식을 설명하기 위한 타이밍도이다.
- 도 17은 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 공정 흐름도이다.
- 도 18 및 도 19는 본 발명의 일 실시예에 따른 건식 클리닝 공정에 의하여 핀(Fin) 구조를 형성하는 방법을 설

명하기 위한 단면도들이다.

도 20은 본 발명의 일 실시예에 따른 건식 클리닝 공정을 사용하여 형성된 에어 갭(air gap)을 포함하는 디램(DRAM)의 평면도이다.

도 21a 및 도 21b는 각각 도 20의 A-A'선 및 B-B'선에 따른 단면도들이다.

도 22a내지 도 24b는 본 발명의 일 실시예에 따른 건식 클리닝 공정을 사용하여 에어 갭(air gap) 형성하는 것을 설명하기 위한 도면들로, 도 22a, 도 23a 및 도 24a는 도 20의 A-A'선에 따른 단면도들이고, 도 22a, 도 23a, 및 도 24a는 도 20의 B-B'선에 따른 단면도들이다.

도 25는 본 발명의 개념에 의한 실시예들에 따라 형성된 반도체 소자를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.

도 26은 본 발명의 개념에 의한 실시 예들에 따라 형성된 반도체 소자를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.

도 27은 본 발명의 개념에 의한 실시예들에 따라 형성된 반도체 소자를 장착한 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0026] 본 명세서에서, 도전성막, 반도체막, 또는 절연성막 등의 어떤 물질막이 다른 물질막 또는 기판"상"에 있다고 언급되는 경우에, 그 어떤 물질막은 다른 물질막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 또 다른 물질막이 개재될 수도 있다는 것을 의미한다. 또 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의 용어가 물질막 또는 공정 단계를 기술하기 위해서 사용되었지만, 이는 단지 어느 특정 물질막 또는 공정 단계를 다른 물질막 또는 다른 공정 단계와 구별시키기 위해서 사용되었을 뿐이며, 이 같은 용어들에 의해서 한정되어서는 안된다.

[0027] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0028] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

[0029] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 공정 흐름도이다. 도 2는 본 발명의 일 실시예에 따른 반도체 장치의 절연막 제거 공정이 수행되는 공정 챔버의 개념도이다.

[0030] 도 1 및 도 2를 참조하여, 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법이 설명된다. 기판(WF)이 공정 챔버(1)에 로딩될 수 있다(S1). 보다 상세하게, 상기 기판(WF)은 공정 챔버(1)의 하우징(21) 내에 배치된 지지부재(15) 상에 안착될 수 있다. 상기 지지부재(15)는 공정 진행 중 기판(WF)을 고정하는 지지판(11)과 상기 지지판(11)을 이동시키는 구동부재(10)를 포함할 수 있다. 상기 지지판(11)은 원판 형상을 가지며, 진공 흡착 또는 기구적 클램핑에 의하여 상기 기판(WF)을 고정하거나 정전기력에 의해 상기 기판(WF)을 고정할 수 있다. 상기 구동부재(10)는 실린더 또는 모터를 포함할 수 있으며, 상기 기판(WF)을 직선 및 회전 이동시킬 수 있다.

[0031] 도 3 내지 도 5는 절연막 제거 공정을 설명하기 위한 도면들로, 상기 기판(WF) 일부의 단면도들이다. 도 6은 본

발명의 일 실시예에 따른 절연막 제거 공정에서 식각 부산물의 변화를 설명하기 위한 개념도이다. 도 7은 비교예에 따른 식각 부산물의 변화를 설명하기 위한 개념도이다. 이하, 도 1 내지 도 5를 참조하여 절연막 제거 공정이 보다 상세히 설명된다.

[0032] 도 3을 참조하면, 기관(100) 상에 베이스막(110)이 제공되고, 상기 베이스막(110) 상에 제 1 패턴들(120) 및 제 2 패턴들(130)이 제공될 수 있다. 일 예로, 상기 기관(100)은 실리콘, 게르마늄, 또는 사파이어 기관일 수 있다. 상기 베이스막(110)은 상기 기관(100) 및 상기 제 1, 2 패턴들(120, 130)과 다른 물질을 포함하는 중간층일 수 있다. 이와는 달리, 상기 베이스막(110)은 제공되지 않을 수 있다. 상기 제 2 패턴들(130)은 제거 대상 패턴들일 수 있다. 상기 제 2 패턴들(130)은 산화물을 포함하는 절연막일 수 있다. 일 예로, 상기 제 2 패턴들(130)은 실리콘 산화막일 수 있다. 상기 제 1 패턴들(120)은 상기 제 2 패턴들(130)과 식각 선택성이 있는 물질을 포함할 수 있다. 즉, 상기 제 2 패턴들(130)의 제거 공정에서 상기 제 1 패턴들(120)은 제거되지 않거나, 상대적으로 소량만이 제거될 수 있다. 일 예로, 상기 제 1 패턴들(120)은 실리콘 질화물과 같은 질화물계 절연막, 금속 또는 반도체 물질을 포함할 수 있다.

[0033] 상기 제 2 패턴들(130)의 제거 공정은 도 2를 참조하여 설명한 공정 챔버(1) 내에서 수행될 수 있다. 상기 공정 챔버(1) 내에 공정 가스가 공급될 수 있다. 상기 공정 가스는 식각 소스 및 그 외의 소스들을 포함할 수 있다. 본 명세서에서, 식각 소스는 실질적으로 물리적/화학적 식각 반응에 관여된 소스를 지칭하며, 그 외의 소스는 상기 식각 소스를 제외한 상기 공정 가스의 구성 요소들로, 일 예로, N₂ 또는 Ar과 같은 기체를 포함할 수 있다. 일 예로, 상기 식각 소스는 상기 공정 챔버(1)에 연결된 식각 소스(51) 및 그 외의 소스(56)로부터 공급될 수 있으며, 상기 식각 소스(51) 및 상기 그 외의 소스(56)는 각각 제 1 밸브(52) 및 제 2 밸브(57)를 통하여 그 유량이 조절될 수 있다.

[0034] 상기 공정 가스는 바이어스 파워의 인가 없이 상기 기관(WF)에 공급될 수 있다. 즉, 플라즈마화 되지 않은 가스 상태로 상기 공정 챔버(1)에 공급되거나 리모트 플라즈마(remote plasma) 방식으로 상기 공정 챔버(1)에 공급될 수 있다. 플라즈마화 되지 않은 가스 상태로 공급된 공정 가스는 상기 공정 챔버(1) 내에서도 소스 파워를 인가하여 플라즈마화하지 않을 수 있다. 리모트 플라즈마 방식으로 상기 공정 챔버(1)에 공정 가스가 공급되는 경우, 기관에 충돌하는 이온 에너지 조절을 위한 바이어스 파워를 인가하지 않고 제거 공정이 진행될 수 있다. 이하, 본 명세서에서는 이와 같이 바이어스 파워의 인가 없이 진행되는 식각 공정을 건식 클리닝(cleaning)으로 지칭한다.

[0035] 상기 식각 소스가 플라즈마화 되지 않은 가스 상태로 상기 공정 챔버(1)에 공급되는 경우, 상기 식각 소스는 HF 및 NH₃를 포함할 수 있다. 상기 식각 소스가 리모트 플라즈마 방식으로 상기 공정 챔버(1)에 공급되는 경우, 상기 식각 소스는 NF₃, NH₃, HF, 및 H₂ 중 적어도 둘 이상을 포함할 수 있다. 이 경우, 식각 소스는 NF₃ 및 NH₃, NF₂ 및 H₂, 또는 NH₃ 및 HF의 조합일 수 있다. 리모트 플라즈마 방식의 경우, 상기 식각 소스 및 상기 그 외의 소스가 함께 플라즈마화되어 상기 공정 챔버(1) 내로 공급되거나, 상기 식각 소스는 플라즈마화되고 상기 그 외의 소스는 플라즈마화되지 않은 가스 상태로 상기 공정 챔버(1) 내에 공급될 수 있다.

[0036] 상기 제 2 패턴들(130)의 제거 공정은 100℃ 이상에서 식각 소스를 펄스 방식으로 공급하는 것을 포함한다(S2). 즉, 상기 제거 공정은 식각 소스의 공급이 제 1 유량인 제 1 기간 및 상기 제 1 유량보다 적은 제 2 유량인 제 2 기간이 복수 회 반복되는 펄스 타입으로 진행될 수 있다. 일 실시예에 따르면, 상기 제 2 기간은 식각 소스의 공급이 중단되는 오프 상태이고, 그 결과 상기 제거 공정 동안 상기 식각 소스의 공급의 온/오프가 반복될 수 있다. 상기 식각 소스의 공급 방식은 이후, 도 11 내지 도 16을 참조하여 보다 상세히 설명된다.

[0037] 상기 제거 공정 동안 상기 공정 챔버(1) 내의 온도는 100℃ 이상의 고온으로 유지될 수 있으며, 식각 소스의 펄스 타입 공급이 종료될 때까지 냉각 단계가 개입되지 않는다. 일 예로, 상기 공정 챔버(1) 내의 온도는 100℃ 이상이고 200℃ 이하일 수 있다. 상기 공정 챔버(1)의 온도는 상기 공정 챔버(1) 내에 배치된 히터(41)에 의하여 유지될 수 있다. 일 예로, 상기 히터(41)는 코일 및 이에 연결된 RF 전원을 포함할 수 있다. 다른 실시예에서, 상기 히터(41)는 UV 램프일 수 있다.

[0038] 도 4는 상기 식각 소스가 제 1 유량으로 공급되는 제 1 기간 동안 식각 부산물(151)의 형성을 보여준다. 일 예로, 본 발명의 실시예에 따른 건식 클리닝 공정의 식각 소스가 HF 및 NH₃를 포함하는 경우, 식각 소스와 상기 제 2 패턴들(130) 사이에 다음과 같은 화학 반응이 진행될 수 있다.

[0039] [화학식 1]

- [0040] $SiO_2 + 6HF + 2NH_3 \leftrightarrow (NH_4)_2SiF_6 + 2H_2O$
- [0041] 즉, 상기 제 2 패턴들(130)의 실리콘 산화물은 식각 소스들과 반응하여 $(NH_4)_2SiF_6$, 즉, 암모늄 실리콘 플루오라이드(ammonium silicon fluoride) 계열의 식각 부산물(151, ST1)을 형성할 수 있다. 상기 식각 부산물의 조성은 이에 한정되지 않으며, 식각 대상물 및 식각 소스의 조성에 따라 변경될 수 있다. 상기 식각 부산물(151)은 상기 제 2 패턴들(130)이 제거되어 형성된 리세스 영역 내에, 즉, 상기 제 1 패턴들(120)의 측벽 및 일부가 제거된 상기 제 2 패턴들(130)의 상면에 부착되며, 건식 클리닝 공정이 진행될수록 그 두께가 증가될 수 있다.
- [0042] 상기 식각 부산물(151, ST1)의 두께는 상기 제 2 패턴들(130)의 제거에 따른 식각 부산물의 신규 생성량과 상기 공정 챔버(1)의 높은 온도에 기인한 식각 부산물의 승화(sublimation)량에 의하여 결정될 수 있다. 식각 부산물의 승화는 다음과 같은 화학식에 의하여 설명될 수 있다.
- [0043] [화학식 2]
- [0044] $(NH_4)_2SiF_6 \leftrightarrow SiF_6 + 2NH_3 + 2HF$
- [0045] 상기 제 1 기간 동안, 상기 식각 소스의 높은 유량에 기인하여 식각 부산물의 신규 생성량이 승화량보다 크며, 그 결과 건식 클리닝 공정이 진행될수록 상기 식각 부산물(151, ST1)의 두께가 증가될 수 있다.
- [0046] 도 5는 상기 식각 소스가 제 2 유량으로 공급되는 제 2 기간 동안 식각 부산물(151, ST2)의 변화를 보여준다. 상술한 바와 같이 상기 제 2 유량은 상기 제 1 유량보다 적은 유량일 수 있으며, 일 실시예에 있어서 상기 제 2 유량은 상기 식각 소스가 중단되는 오프 상태일 수 있다. 상기 제 2 기간 동안, 상기 식각 소스는 소량만 공급되거나 공급이 중단되고, 그 결과, 식각 부산물의 신규 생성이 중단되거나 소량만 신규 생성될 수 있다. 그 결과, 상기 식각 부산물(151, ST2)의 두께는 감소될 수 있다.
- [0047] 도 6은 이와 같은 상기 식각 부산물(151)의 두께 변화를 보여준다. 상기 제 1 기간 및 상기 제 2 기간이 반복됨에 따라, 상기 식각 부산물(151)의 두께는 두꺼운 상태(ST1)와 얇은 상태(ST2)가 계속적으로 반복될 수 있다. 도 7은 본 발명의 일 실시예에 따른 펄스 방식이 아닌 상기 제 2 기간이 없이 진행될 경우의 비교례이다. 상기 식각 부산물(151)은 과도하게 두꺼워지며, 특히, 상기 제 1 패턴들(120)의 상부 측벽에 식각 부산물(151)이 과도하게 형성된다. 결과적으로, 상기 리세스 영역의 상부가 식각 부산물(151)에 의하여 막히거나 과도하게 좁아지게 되고 상기 제 2 패턴들(130)로의 공정 가스 공급이 줄어들거나 중단되어 상기 제 2 패턴들(130)의 제거가 불완전하게 진행될 수 있다.
- [0048] 본 발명의 일 실시예에 따르면, 공정 가스가 펄스 방식으로 공급되어 식각 부산물의 과도한 형성 없이 식각 대상을 효과적으로 제거할 수 있다. 또한, 식각 부산물의 과도한 형성이 억제되므로 패턴 밀도의 차이에 따른 로딩(loading) 현상이 개선될 수 있다.
- [0049] 도 1 및 도 2를 다시 참조하여, 식각 부산물의 추가 제거 공정의 진행 여부가 결정될 수 있다(S3). 상기 식각 부산물의 추가 제거 공정은 상술한 펄스 방식의 식각 소스 공급이 종료된 후에 식각 부산물의 잔류량이 임계치 이상인 경우에 한정되어 수행되며, 생략될 수 있다. 상기 추가 제거 공정이 불필요한 경우, 상기 기판(WF)은 냉각되고(S5) 상기 공정 챔버(1)에서 언로딩될 수 있다(S6). 일 예로, 상기 냉각 공정은, 상기 지지판(11) 내부에 형성된 도관을 통하여 열 전달 가스를 상기 기판(WF)의 후면에 공급하는 것을 포함할 수 있다. 상기 추가 제거 공정이 필요한 경우, 상기 기판(WF)은 상기 히터(41)에 의하여 가열 될 수 있다(S4). 일 예로, 상기 기판(WF)은 상기 구동 부재(10)에 의하여 상기 히터(41)에 인접하게 이동될 수 있으며, 상기 히터(41)에 의하여 상기 기판(WF) 상의 식각 부산물이 추가적으로 승화될 수 있다. 다른 실시예에 있어서, 상기 식각 부산물의 추가 제거 공정은 별개의 공정 챔버에서 진행될 수 있다. 상기 식각 부산물의 추가 제거 공정 이후, 상기 기판(WF)은 냉각되고(S5) 상기 공정 챔버(1)에서 언로딩될 수 있다(S6).
- [0050] 도 8 내지 도 10은 본 발명의 일 실시예에 따른 건식 클리닝 방법으로 콘택홀을 세정하는 공정을 설명하기 위한 도면들로, 도 2의 기판(WF)의 일부의 단면도들이다.
- [0051] 도 2 및 도 8을 참조하면, 콘택홀들(CT)이 형성된 절연막(230)이 제공된 기판(200)이 제공된다. 상기 기판(200)과 상기 절연막(230) 사이에 베이스막(210)이 제공될 수 있다. 상기 베이스막(210)은 상기 기판(200) 및 상기 절연막(230)과 다른 물질을 포함하는 중간 층일 수 있다. 이와는 달리, 상기 베이스막(210)은 제공되지 않을 수 있다. 상기 절연막(230)은 산화물을 포함하는 절연막일 수 있다. 일 예로, 상기 절연막(230)은 실리콘 산화막일 수 있다. 상기 콘택홀들(CT)은 반도체 구조 내부의 구성 요소들 간의 전기적 연결을 위한 콘택, 배선을 위한 구

조일 수 있으나 이에 한정되지 않는다. 상기 콘택홀들(CT)의 형성은 건식 식각으로 진행될 수 있으며, 상기 식각 공정의 결과 상기 콘택홀(CT) 내부 및 상기 절연막(230) 상에 식각 부산물(251)이 형성될 수 있다. 상기 식각 부산물(251)은 암모늄 실리콘 플로라이드 계열의 부산물일 수 있다.

[0052] 도 9는 본 발명의 일 실시예에 따른 건식 클리닝 공정으로 상기 식각 부산물(251)을 제거하는 것을 설명하기 위한 개념도이다. 도 9에 도시된 바와 같이, 상기 식각 부산물(251)은 식각 소스가 펄스 형태로 공급되는 동안 두꺼운 상태(ST1)와 얇은 상태(ST2)로 두께가 반복될 수 있다. 그 결과, 상기 콘택홀들(CT)이 막히거나 과도하게 좁아지지 않고 상기 콘택홀들(CT) 하부에 위치한 식각 부산물(251)까지 완전히 제거될 수 있다. 상기 건식 클리닝 공정 동안, 상기 절연막(230)의 일부도 상기 식각 부산물(251)과 함께 제거되고, 그 결과 상기 콘택홀들(CT)의 폭이 넓어질 수 있다. 이 경우, 상기 콘택홀들(CT)의 상부와 하부에 상기 식각 소스가 균등하게 공급될 수 있어, 상기 콘택홀들(CT)의 최종 형상은 하부 폭과 상부 폭의 비율이 실질적으로 동일할 수 있다. 즉, 하부 폭과 상부 폭의 비율은 1에 가까울 수 있다.

[0053] 도 10은 본 발명의 일 실시예에 따른 펄스 방식이 아닌 상기 제 2 기간이 없이 진행될 경우의 비교례이다. 이 경우, 상기 식각 부산물(251)은 과도하게 두꺼워지며, 특히, 상기 절연막(230)의 상부 측벽에 식각 부산물(251)이 과도하게 형성된다. 결과적으로, 상기 콘택홀들(CT)의 상부가 식각 부산물(251)에 의하여 막히거나 과도하게 좁아지게 되고 상기 콘택홀들(CT) 하부의 공정 가스 공급이 줄어들거나 중단될 수 있다. 이 경우, 상기 절연막(230)의 상부는 식각 소스가 쉽게 확산되어 상대적으로 많이 식각되나, 상기 절연막(230)의 하부는 식각 소스가 도달하기 어려워 상대적으로 적게 식각될 수 있다. 그 결과, 최종적인 절연막(231)의 프로파일은 상부 폭이 하부 폭보다 큰 형상이 될 수 있다. 즉, 상기 최종적인 절연막(231)의 측벽은 경사를 가지게 된다.

[0054] 본 발명의 일 실시예에 따르면, 식각 소스가 펄스 방식으로 공급되어 식각 부산물의 과도한 형상이 억제되어 콘택홀의 세정 공정이 효과적으로 진행될 수 있다.

[0055] 도 11 내지 도 16은 본 발명의 실시예들에 따른 공정 가스의 공급 방식을 설명하기 위한 타이밍도이다. 이하에서, 펄스의 반복 회수는 도시된 바에 제한되지 않는다.

[0056] 도 11 내지 도 16을 참조하면, 식각 소스(etch source)가 펄스 형태로 제공될 수 있다. 즉, 상기 식각 소스는 식각 소스의 공급이 제 1 유량인 제 1 기간 및 상기 제 1 유량보다 적은 제 2 유량인 제 2 기간이 복수 회 반복되며 공급될 수 있다. 상기 식각 소스의 유량이 상대적으로 많은 제 1 기간에 대응되는 펄스 폭(도 11의 W, 이후 도면들도 동일함)은 상기 식각 소스의 유량이 상대적으로 적은 제 2 기간에 대응되는 펄스 간격(도 11의 V, 이후 도면들도 동일함)보다 상대적으로 짧을 수 있다. 일 예로, 상기 제 2 기간, 즉 상기 펄스 간격(V)은 상기 1 기간, 즉 상기 펄스 폭(W) 보다 3배 내지 15배 길 수 있다. 일 예로, 상기 펄스 폭(W)은 약 1초 내지 약 20초이고, 상기 펄스 간격(V)은 약 5초 내지 약 60초일 수 있다. 상기 제 1 유량은 약 20 내지 약 1000 SCCM일 수 있다. 상기 제 2 유량은 도 11내지 도 15에 도시된 바와 같이 실질적으로 0(zero)이거나, 도 16에 도시된 바와 같이, 실질적으로 0(zero)이 아닌 값을 가질 수 있다. 도 16의 경우, 상기 제 2 유량은 약 0.01 내지 약 50 SCCM일 수 있다.

[0057] 공정 챔버 내의 압력(Pressure)은 상기 식각 소스의 양과 그 외의 소스, 일 예로 불활성 가스의 양의 합일 수 있다. 상기 공정 챔버 내의 압력은 도 11에 도시된 바와 같이, 공정 진행 동안 실질적으로 동일하게 유지될 수 있다. 일 예로, 상기 공정 챔버 압력은 공정 진행 동안 약 1 내지 약 100 Torr로 유지될 수 있다. 이 경우, 상기 식각 소스가 상대적으로 많이 공급되는 상기 제 1 기간 동안, 불활성 가스의 양이 감소될 수 있다.

[0058] 이와는 달리, 상기 공정 챔버 압력은 도 12 내지 도 16에 도시된 바와 같이 펄스 형태로 유지될 수 있다. 즉, 상기 공정 가스의 압력은 제 1 압력으로 유지되는 제 3 기간 및 상기 제 1 압력보다 낮은 제 2 압력으로 유지되는 제 4 기간이 반복될 수 있다. 상기 제 1 압력은 약 1 내지 약 100 Torr일 수 있다. 일 예로, 상기 제 2 압력은 도 13 및 도 15에 도시된 바와 같이 실질적으로 0(zero)일 수 있다. 이 경우, 상기 공정 챔버 압력을 낮추기 위하여 도 2의 배기 부재(31)를 통하여 공정 챔버 내의 공정 가스가 퍼지(purge)될 수 있다. 다른 실시예에서, 상기 제 2 압력은 도 12, 도 14 및 도 16에 도시된 바와 같이 실질적으로 0(zero)이 아닌 값을 가질 수 있다. 도 12, 도 14 및 도 16의 경우 상기 제 2 압력은 약 0.01Torr 내지 약 1 Torr일 수 있다. 이 경우, 상기 공정 챔버의 퍼지는 진행되지 않을 수 있다.

[0059] 도 12, 도 13 및 도 16에 도시된 바와 같이, 상기 공정 챔버 압력의 타이밍은 상기 식각 소스의 타이밍과 일치할 수 있다. 즉, 상기 제 3 기간의 시작점 및 종료점은 상기 제 1 기간의 시작점 및 종료점과 동일하고, 상기 제 4 기간의 시작점 및 종료점은 상기 제 2 기간의 시작점 및 종료점과 동일할 수 있다. 다른 실시예에 있어서,

도 14 및 도 15에 도시된 바와 같이, 상기 공정 챔버 압력의 타이밍은 상기 식각 소스의 타이밍보다 지연될 수 있다. 즉, 상기 제 3 기간의 시작점 및 종료점은 상기 제 1 기간의 시작점 및 종료점보다 늦고, 상기 제 4 기간의 시작점 및 종료점은 상기 제 2 기간의 시작점 및 종료점보다 늦을 수 있다. 이 경우, 지연 시간(D)은 약 1초 내지 약 10초일 수 있다.

[0060] 도 17은 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 공정 흐름도이다.

[0061] 도 2 및 도 17을 참조하면, 기판(WF)이 공정 챔버(1)에 로딩될 수 있다(S11). 상기 공정 챔버(1)에 로딩된 기판(WF)에 공정 가스가 공급된다(S12). 상기 공정 가스는 식각 소스 및 식각 소스 이외의 소스를 포함할 수 있다. 상기 식각 소스에 의하여 상기 기판(WF) 상의 절연막의 제거 공정이 진행될 수 있다. 상기 제거 공정 동안, 상기 공정 챔버(1)는 100℃ 이하로 유지될 수 있다. 즉, 본 단계에서는 식각만 진행되며 식각 부산물의 승화는 실질적으로 이루어지지 않을 수 있다. 상기 절연막의 제거 공정은 약 10초 내지 약 5분 동안 진행될 수 있다.

[0062] 상기 기판(WF)이 가열되어 식각 부산물의 승화가 진행될 수 있다(S13). 일 예로, 상기 기판(WF)은 상기 공정 챔버(1) 내에 배치된 히터(41)에 의하여 가열될 수 있다. 일 예로, 상기 기판(WF)은 상기 구동 부재(10)에 의하여 상기 히터(41)에 인접하게 이동될 수 있으며, 상기 히터(41)에 의하여 상기 기판(WF) 상의 식각 부산물이 승화될 수 있다. 다른 실시예에 있어서, 상기 가열 공정은 별개의 공정 챔버에서 진행될 수 있다.

[0063] 상기 가열 공정이 종료된 후, 상기 기판(WF)이 냉각될 수 있다(S14). 일 예로, 상기 냉각 공정은, 상기 지지판(11) 내부에 형성된 도관을 통하여 열 전달 가스를 상기 기판(WF)의 후면에 공급하는 것을 포함할 수 있다.

[0064] 상기 공정 가스의 공급, 가열 냉각 공정은 하나의 사이클을 구성할 수 있으며, 이와 같은 사이클이 복수 회 반복될 수 있다. 상기 사이클의 반복 회수가 사전 결정된 횟수(N)에 도달했는지 여부가 결정될 수 있다(S15). 즉, 상기 사이클이 사전 결정된 횟수(N)에 도달하지 않은 경우, 상기 사이클이 다시 반복되며, 상기 사이클이 사전 결정된 횟수(N)에 도달한 경우, 상기 기판(WF)은 상기 공정 챔버(1)에서 언로딩될 수 있다(S16)

[0065] 도 18 및 도 19는 본 발명의 일 실시예에 따른 건식 클리닝 공정에 의하여 핀(Fin) 구조를 형성하는 방법을 설명하기 위한 단면도들이다.

[0066] 도 18을 참조하면, 기판(300)을 패터닝하여 활성 패턴들(AP)을 정의하는 소자 분리 트렌치들(TR)이 형성될 수 있다. 상기 기판(300)은 실리콘, 게르마늄, 실리콘-게르마늄 등을 포함하는 반도체 기판이거나 화합물 반도체 기판일 수 있다. 상기 소자 분리 트렌치들(TR)을 형성하는 것은, 상기 기판(300) 상에 마스크 패턴들을 형성한 후, 이를 식각 마스크로 사용하여 상기 기판(300)을 이방성 식각하는 것을 포함할 수 있다. 상기 소자 분리 트렌치들(TR) 각각은 적어도 5의 종횡비를 갖도록 형성될 수 있다.

[0067] 상기 소자 분리 트렌치들(TR)을 채우는 소자 분리막(330)이 형성될 수 있다. 상기 소자 분리막(330)을 형성하는 것은, 상기 소자 분리 트렌치들(TR)을 채우는 절연막을 형성한 후, 상기 마스크 패턴의 상면이 노출될 때까지 이를 평탄화하는 것을 포함할 수 있다. 이에 따라, 상기 소자 분리막(330)은 상기 소자 분리 트렌치들(TR) 내에 국소적으로 형성될 수 있다. 상기 소자 분리막(330)은 산화물을 포함하는 절연막일 수 있다. 일 예로, 상기 소자 분리막(330)은 실리콘 산화막일 수 있다.

[0068] 도 19를 참조하면, 상기 소자 분리막(330)의 상부가 제거되어 소자 분리 패턴들(331)이 되고, 상기 활성 패턴들(AP)의 상부 영역들(이하, 활성 핀들(AF))이 노출될 수 있다. 상기 활성 핀들(AF)을 노출시키는 것은, 도 1 내지 도 17을 참조하여 설명된 본 발명의 실시예들에 따른 건식 클리닝 공정을 통하여 수행될 수 있다. 그 결과, 식각 부산물들이 효과적으로 제거되고 상기 소자 분리 패턴들(331)이 실질적으로 동일한 높이를 가지도록 균일하게 형성될 수 있다.

[0069] 이후, 상기 활성 핀들(AF) 상에 게이트 절연막(350) 및 게이트 전극(360)이 차례로 형성될 수 있다.

[0070] 도 20은 본 발명의 일 실시예에 따른 건식 클리닝 공정을 사용하여 형성된 에어 갭(air gap)을 포함하는 디램(DRAM)의 평면도이다. 도 21a 및 도 21b는 각각 도 20의 A-A'선 및 B-B'선에 따른 단면도들이다.

[0071] 기판(600) 내에 소자 분리막들(601)이 형성되어 활성 영역들(AR1)이 정의될 수 있다. 상기 기판(600)은, 일 예로, 실리콘, 게르마늄, 실리콘-게르마늄 등의 반도체 기판일 수 있다. 상기 활성 영역들(AR1)들은 수평적으로 분리된 바들(bars)의 형태를 가지며, x방향 및 y방향 모두에 대하여 비수직(non-perpendicular) 제 3 방향(s 방향)으로 연장될 수 있다.

- [0072] 상기 활성 영역들(AR1)의 상부에 제 1 및 제 2 불순물 영역들(621, 622)이 제공될 수 있다. 상기 불순물 영역들(621, 622)은 상기 기판(600)과 다른 도전형의 불순물 이온들로 도핑된 영역일 수 있다. 하나의 활성 영역(AR1)에서, 제 1 불순물 영역(621)은 한 쌍의 제 2 불순물 영역들(622) 사이에 제공되고, 상기 제 1 불순물 영역(621)과 상기 제 2 불순물 영역들(622)은 트렌치들(602)에 의하여 분리될 수 있다.
- [0073] 상기 기판(600) 내에 매립된 게이트 구조체들이 제공될 수 있다. 상기 게이트 구조체들은 워드라인들(WL)일 수 있다. 상기 워드라인들(WL)은 상기 트렌치들(602) 내에 제공되고, y 방향을 따라 연장될 수 있다. 상기 워드라인들(WL)은 상기 트렌치들(602) 내에 차례로 형성된 게이트 전극들(605) 및 게이트 캐핑 패턴들(607)을 포함할 수 있다.
- [0074] 상기 기판(100) 상에 x 방향으로 연장되는 도전 라인들이 제공될 수 있다. 상기 도전라인들은 차례로 형성된 제 1 도전 패턴(642), 배리어 패턴(652), 제 2 도전 패턴(662), 및 캐핑 패턴(672)을 포함하는 반도체 소자의 비트라인들(BL)일 수 있다. 상기 제 1 도전 패턴(642)은 폴리실리콘을 포함할 수 있다. 상기 배리어 패턴(652)은 금속 실리사이드층 및/또는 상기 금속 실리사이드층 상의 금속 질화물층을 포함할 수 있다. 상기 캐핑 패턴(672)은 실리콘 산화물, 실리콘 질화물 또는 실리콘 산화질화물 중 적어도 하나를 포함할 수 있다.
- [0075] 일 실시예에 있어서, 상기 비트라인들(BL)과 상기 제 1 불순물 영역들(621) 사이에 비트라인 콘택 플러그들(632)이 제공될 수 있다. 상기 비트라인 콘택 플러그들(132)은 도핑된 반도체 물질, 도전성 금속 질화물, 금속 및 금속 반도체 화합물 중에서 적어도 하나를 포함할 수 있다. 상기 비트라인 콘택 플러그들(632)은 상기 제 1 불순물 영역들(621)에 접속될 수 있다. 상기 비트라인 콘택 플러그들(632)의 하면은 상기 소자 분리막들(601)의 상면보다 낮을 수 있다.
- [0076] 상기 제 2 불순물 영역들(622) 사이의 소자 분리막들(601) 상에 차례로 제 1 충전 패턴들(614)과 제 2 충전 패턴들(624)이 제공될 수 있고, 상기 제 2 충전 패턴들(624) 상에 상기 비트라인들(BL)이 제공될 수 있다. 상기 비트라인들(BL)은 x 방향으로 연장될 수 있다. 상기 제 1 충전 패턴들(614)은 실리콘 산화막을 포함할 수 있고, 상기 제 2 충전 패턴들(624)은 실리콘 질화막을 포함할 수 있다.
- [0077] 상기 비트라인들(BL)의 측벽 상에 스페이서 구조체들이 제공될 수 있다. 상기 스페이서 구조체들은 상기 비트라인들(BL)의 측벽 상에 차례로 형성된 제 1 스페이서(631) 및 제 3 스페이서(651)를 포함할 수 있다. 상기 제 1 스페이서(631)와 상기 제 3 스페이서(651) 사이에 에어 갭(AG)이 제공될 수 있다. 상기 에어 갭(AG)은 고상 물질이 제공되지 않은 영역으로, 실질적으로 빈 공간일 수 있다. 상기 에어 갭(AG)의 측면 및 하면은 상기 제 1 및 제 3 스페이서들(631, 651)에 의하여 정의되고, 상기 에어 갭(AG)의 상면은 도전성 캐핑 패턴(684)에 의하여 정의될 수 있다. 실리콘 산화막 또는 실리콘 질화막보다 유전 상수가 낮은 상기 에어갭(AG)은 상기 비트라인들(BL)에 영향을 미치는 기생 커패시턴스를 최소화할 수 있다. 따라서 반도체 소자의 응답 시간을 단축할 수 있다.
- [0078] 상기 비트라인들(BL)의 사이에 상기 워드라인들(WL)과 중첩되는 절연 펜스들(671)이 제공될 수 있다. 상기 절연 펜스들(671)은 상기 워드라인들(WL)을 따라 y 방향으로 배치될 수 있다. 상기 절연 펜스들(671)과 상기 스페이서 구조체들이 형성된 비트라인들(BL) 사이에 상기 제 2 불순물 영역들(622)을 노출하는 콘택홀들(CT)이 정의될 수 있고, 상기 콘택홀들(CT)을 채우도록 형성된 콘택 플러그들(BC)이 제공될 수 있다.
- [0079] 상기 콘택 플러그들(BC) 각각은 반도체 패턴(681)을 포함할 수 있다. 상기 반도체 패턴(681)의 하면은 상기 제 2 불순물 영역(622) 및 상기 소자 분리막(601)과 오버랩되어 접촉할 수 있다. 상기 반도체 패턴(681)의 측면은 상기 제 3 스페이서(651) 및 상기 절연 펜스들(671)의 측면과 접할 수 있다. 상기 반도체 패턴(681)의 상면의 높이는 상기 에어 갭(AG)의 상면 및 상기 제 3 스페이서(651)의 상면의 높이와 동일하거나 낮을 수 있다. 상기 반도체 패턴(681)은 불순물이 도핑된 폴리실리콘막을 포함할 수 있다.
- [0080] 상기 반도체 패턴(681) 상에 도전성 캐핑 패턴(684)이 제공될 수 있다. 상기 도전성 캐핑 패턴(684)은 수평 방향으로 연장되어 상기 제 1 스페이서(631)의 측면과 접촉할 수 있고, 상기 에어 갭(AG) 상면 및 상기 제 3 스페이서(651)의 상면을 덮을 수 있다. 상기 도전성 캐핑 패턴(684)은 상기 에어 갭(AG)의 상면을 정의할 수 있다. 상기 도전성 캐핑 패턴(684)은 실리콘을 포함할 수 있다.
- [0081] 상기 도전성 캐핑 패턴(684) 상에 상기 제 1 스페이서(631)의 상면을 덮는 제 4 스페이서(657)가 제공될 수 있다. 상기 제 4 스페이서(657)는 실리콘 질화막을 포함할 수 있다. 상기 도전성 캐핑 패턴(684) 상에 금속 실리사이드 패턴(683)이 제공될 수 있다. 상기 금속 실리사이드 패턴(683)의 측면은 상기 제 4 스페이서(657)의 측면과 접할 수 있다. 상기 금속 실리사이드 패턴(683)은 티타늄실리사이드, 코발트 실리사이드, 니켈

실리사이드, 텅스텐 실리사이드, 백금 실리사이드 또는 몰리브덴 실리사이드 중 적어도 하나를 포함할 수 있다.

- [0082] 상기 금속 실리사이드 패턴(683) 상에 상기 금속 함유 패턴(685)이 제공될 수 있다. 상기 금속 함유 패턴(685)은 상기 콘택홀(CT)의 외부로 연장되어 상기 비트라인(BL)의 상부를 덮을 수 있다. 상기 금속 함유 패턴(685)의 상면 중 일부는 상기 캐핑 패턴(672)의 상면보다 낮을 수 있다. 상기 금속 함유 패턴(685)은 텅스텐, 구리 또는 알루미늄을 포함할 수 있다.
- [0083] 상기 금속 함유 패턴들(685) 사이의 공간을 채우며 상기 금속 함유 패턴들(685)의 상면을 덮는 층간 절연막(687)이 제공될 수 있다. 상기 층간 절연막(687)은 실리콘 산화막 및 실리콘 질화막 중 적어도 하나를 포함할 수 있다.
- [0084] 데이터 저장부들이 층간 절연막(687) 상에 배치될 수 있다. 상기 데이터 저장부들은 커패시터들(CAP)일 수 있다. 상기 커패시터들(CAP)은 하부 전극들(BE), 상부 전극(TE), 및 상기 하부 전극들(BE)과 상기 상부 전극(TE) 사이의 절연층(DE)을 포함할 수 있다. 상기 커패시터들(CAP)은 층간 절연막(687)을 관통하는 비아 플러그들(689)을 통하여 상기 금속 함유 패턴들(685)에 전기적으로 접속될 수 있다. 상기 비아 플러그(689)는 도전성 금속 질화물(ex, 티타늄 질화물, 탄탈륨 질화물, 및/또는 텅스텐 질화물)을 포함할 수 있다. 따라서, 상기 커패시터들(CAP)은 금속 함유 패턴들(685)을 통하여 상기 제 2 불순물 영역들(622)에 전기적으로 접속될 수 있다. 즉, 상기 비트 라인들(BL) 및 상기 커패시터들(CAP)은 상기 제 1 및 제 2 불순물 영역들(621, 622)에 각각 전기적으로 접속될 수 있다.
- [0085] 도 22a 내지 도 24b는 본 발명의 일 실시예에 따른 건식 클리닝 공정을 사용하여 에어 갭(air gap) 형성하는 것을 설명하기 위한 도면들로, 도 22a, 도 23a 및 도 24a는 도 20의 A-A'선에 따른 단면도들이고, 도 22a, 도 23a, 및 도 24a는 도 20의 B-B'선에 따른 단면도들이다. 도 21a 및 도 21b를 참조하여 설명된 구성 요소 중 중복되는 부분은 생략될 수 있다.
- [0086] 도 20, 도 22a, 도 22b, 도 23a 및 도 23b를 참조하면, 반도체 패턴들(681)이 기판(600) 상에 형성된 결과물 상에 식각 공정이 수행되어 제 2 및 제 3 스페이서들(641, 651)의 일부가 제거될 수 있다. 즉, 상기 반도체 패턴(681)의 상면과 상기 제 2 및 제 3 스페이서들(641, 651)의 상면이 실질적으로 공면(coplanar)을 이루도록 식각 공정이 수행될 수 있다. 그 결과, 상기 반도체 패턴(681)의 상면보다 높은 상기 제 1 스페이서(631)의 측면이 노출될 수 있다. 상기 식각 공정에 의해 상기 제 1 스페이서(631)의 일부 및 상기 절연 웨스턴들(671)의 일부가 제거될 수 있다.
- [0087] 도 20, 도 24a 및 도 24b를 참조하여, 상기 제 2 스페이서(641)가 선택적으로 제거되어 상기 제 1 및 제 3 스페이서들(631, 651) 사이에 에어 갭(AG)이 형성될 수 있다. 상기 에어 갭(AG)의 측면 및 하면은 상기 제 1 및 제 3 스페이서들(631, 651)에 의해 정의될 수 있다. 상기 제 2 스페이서(641)의 제거 공정은 도 1 내지 도 17을 참조하여 설명된 본 발명의 실시예들에 따른 건식 클리닝 공정을 통하여 수행될 수 있다. 그 결과, 식각 부산물들이 효과적으로 제거되어 상기 에어 갭(AG)이 균일하게 형성될 수 있다.
- [0088] 이후, 상기 콘택 플러그들(BC) 및 상기 커패시터들(CAP)이 차례로 형성될 수 있다.
- [0089] 도 25는 본 발명의 개념에 의한 실시예들에 따라 형성된 반도체 소자를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.
- [0090] 도 25를 참조하면, 본 발명의 실시예들에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 상기 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 상기 버스(1150)를 통하여 서로 결합될 수 있다. 상기 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다. 기억 장치(1130, memory device)는 본 발명의 실시예들에 따른 반도체 소자를 포함할 수 있다.
- [0091] 상기 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세스, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 상기 기억 장치(1130)는 데이터 및/또는 명령어 등을 저장할 수 있다. 상기 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 상기 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(1140)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 도시하지 않았지만, 상기 전자 시스템(1100)은 상기 컨트롤러(1110)의 동작을 향상시키기 위한 동작 기억 소자로서, 고속의 디램 소자 및/또는 에스램 소자 등을

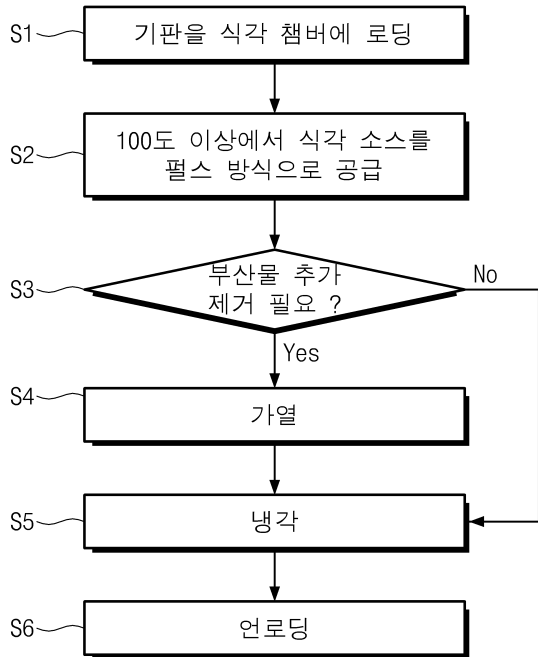
더 포함할 수도 있다.

- [0092] 상기 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0093] 도 26은 본 발명의 개념에 의한 실시 예들에 따라 형성된 반도체 소자를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.
- [0094] 도 26을 참조하면, 상기 메모리 카드(1200)는 기억 장치(1210)를 포함한다. 상기 기억 장치(1210)는 전술한 실시예들에 개시된 반도체 소자들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1210)는 다른 형태의 반도체 메모리 장치(ex, 디램 장치 및/또는 에스램 장치 등)를 더 포함할 수 있다. 상기 메모리 카드(1200)는 호스트(Host)와 상기 기억 장치(1210) 간의 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함할 수 있다. 상기 기억장치(1210) 및/또는 상기 컨트롤러(1220)는 본 발명의 실시예들에 따른 반도체 소자를 포함할 수 있다.
- [0095] 상기 메모리 컨트롤러(1220)는 메모리 카드의 전반적인 동작을 제어하는 프로세싱 유닛(1222)을 포함할 수 있다. 또한, 상기 메모리 컨트롤러(1220)는 상기 프로세싱 유닛(1222)의 동작 메모리로써 사용되는 에스램(1221, SRAM)을 포함할 수 있다. 이에 더하여, 상기 메모리 컨트롤러(1220)는 호스트 인터페이스(1223), 메모리 인터페이스(1225)를 더 포함할 수 있다. 상기 호스트 인터페이스(1223)는 메모리 카드(1200)와 호스트(Host)간의 데이터 교환 프로토콜을 구비할 수 있다. 상기 메모리 인터페이스(1225)는 상기 메모리 컨트롤러(1220)와 상기 기억 장치(1210)를 접속시킬 수 있다. 더 나아가서, 상기 메모리 컨트롤러(1220)는 에러 정정 블록(1224, Ecc)를 더 포함할 수 있다. 상기 에러 정정 블록(1224)은 상기 기억 장치(1210)로부터 독출된 데이터의 에러를 검출 및 정정할 수 있다. 도시하지 않았지만, 상기 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 롬 장치(ROM device)를 더 포함할 수도 있다. 상기 메모리 카드(1200)는 휴대용 데이터 저장 카드로 사용될 수 있다. 이와는 달리, 상기 메모리 카드(1200)는 컴퓨터시스템의 하드디스크를 대체할 수 있는 고상 디스크(SSD, Solid State Disk)로도 구현될 수 있다.
- [0096] 도 27은 본 발명의 개념에 의한 실시예들에 따라 형성된 반도체 소자를 장착한 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.
- [0097] 도 27을 참조하면, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 본 발명의 개념에 의한 실시 예들에 따른 플래시 메모리 시스템(1310)이 장착된다. 본 발명의 개념에 의한 실시 예들에 따른 정보 처리 시스템(1300)은 플래시 메모리 시스템(1310)과 각각 시스템 버스(1360)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저 인터페이스(1350)를 포함한다. 플래시 메모리 시스템(1310)은 앞서 언급된 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 플래시 메모리 시스템(1310)이 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 플래시 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 플래시 메모리 시스템(1310)은 에러 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 도시되지 않았지만, 본 발명의 개념에 의한 실시 예들에 따른 정보 처리 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0098] 또한, 본 발명의 개념에 의한 실시 예들에 따른 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 본 발명의 개념에 의한 실시 예들에 따른 플래시 메모리 장치 또는 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.
- [0099] 이상, 첨부된 도면들을 참조하여 본 발명의 실시 예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인

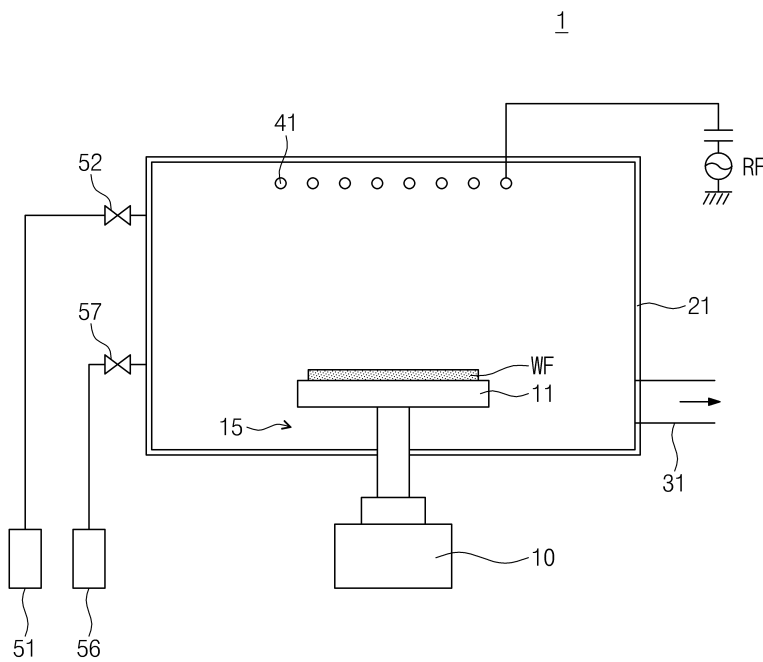
특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시 예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

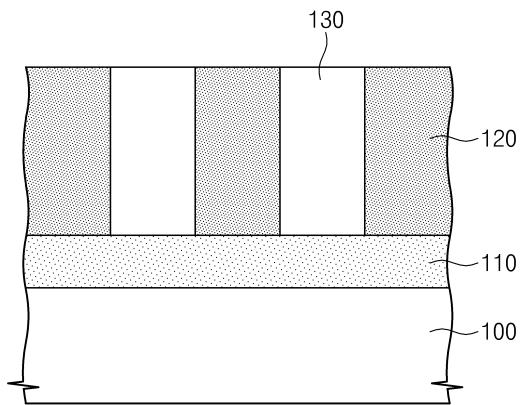
도면1



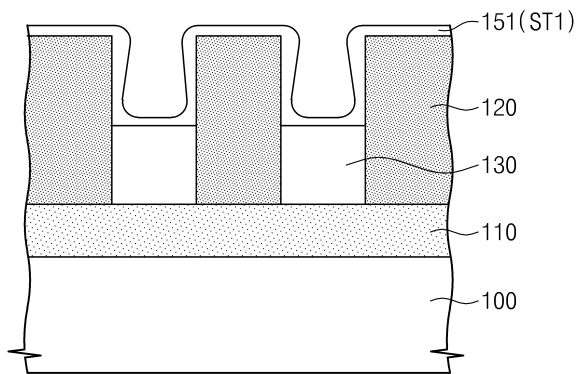
도면2



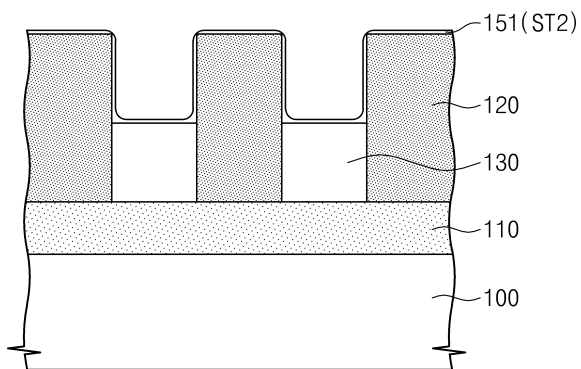
도면3



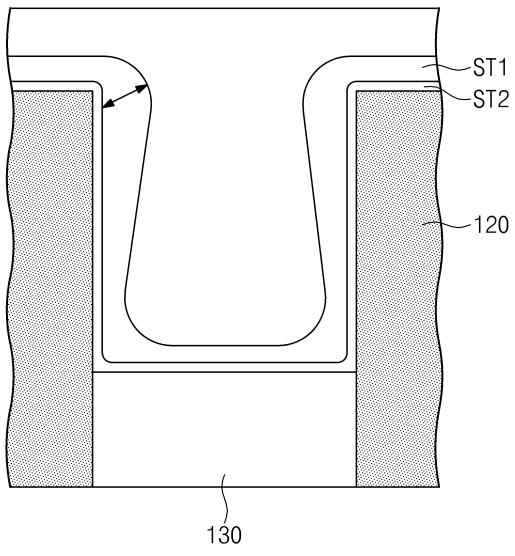
도면4



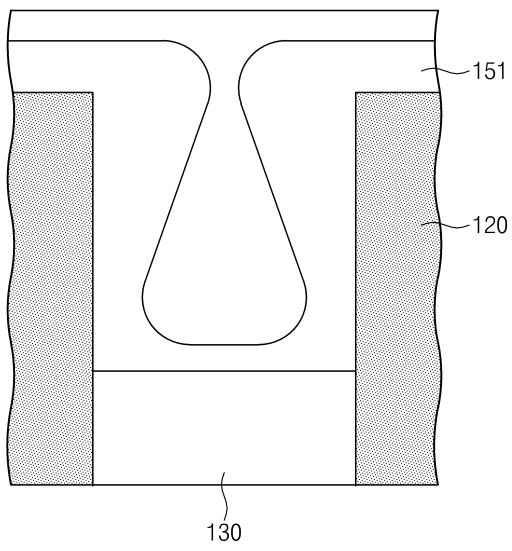
도면5



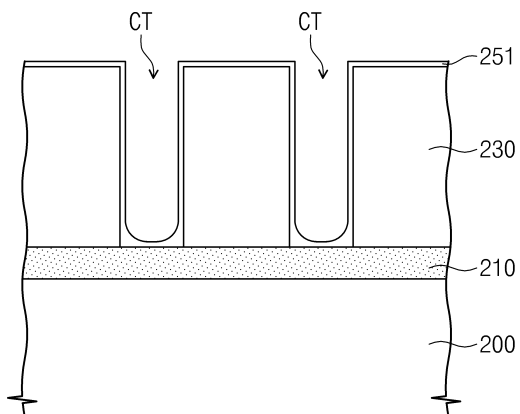
도면6



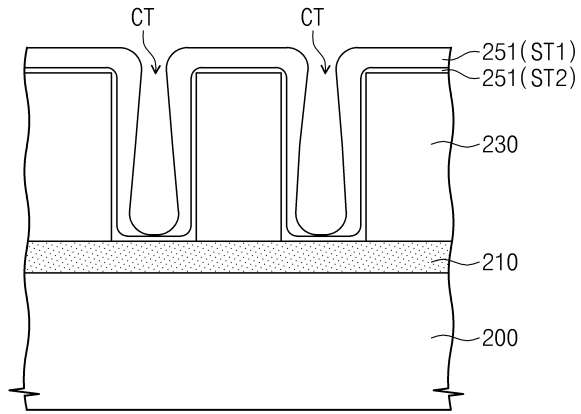
도면7



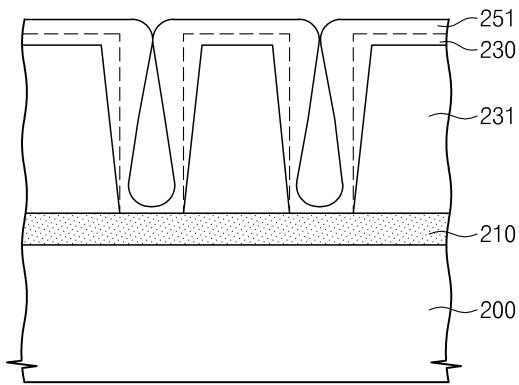
도면8



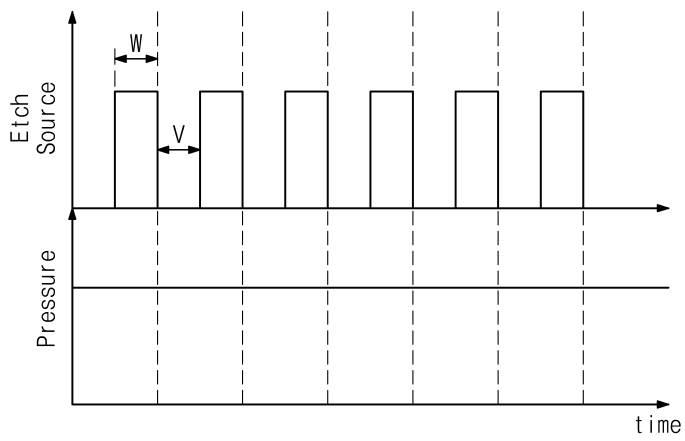
도면9



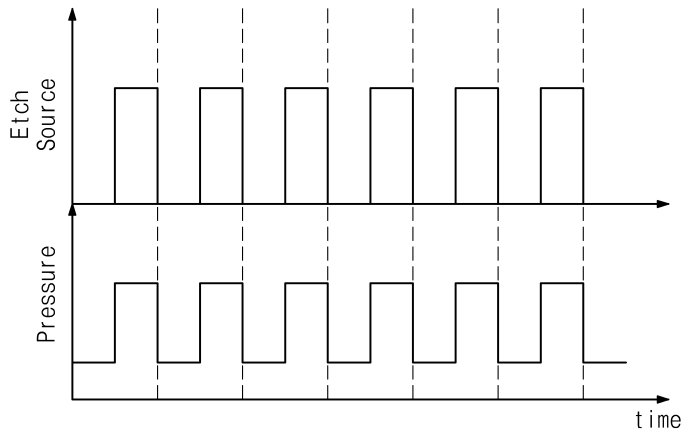
도면10



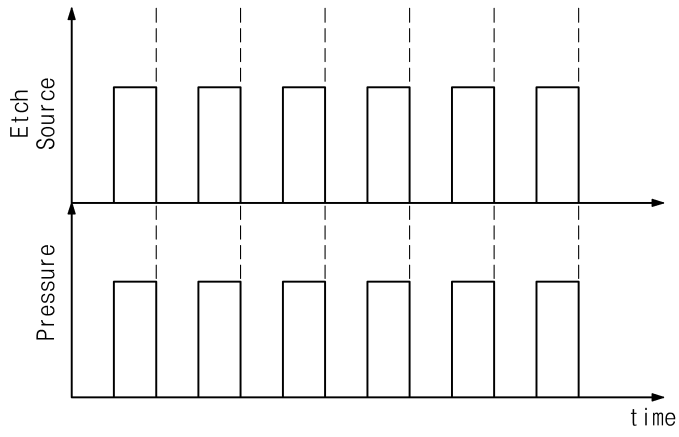
도면11



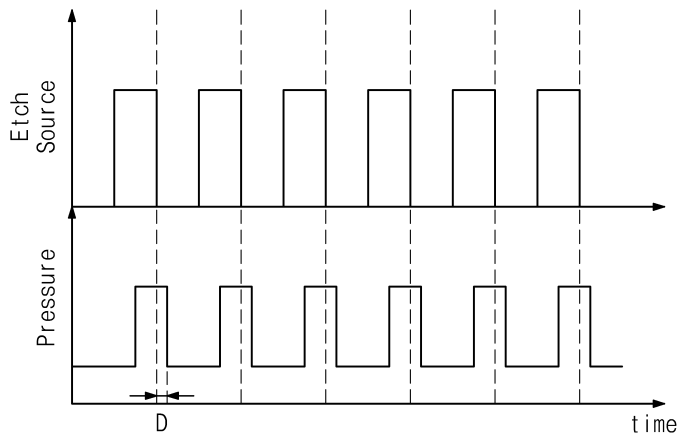
도면12



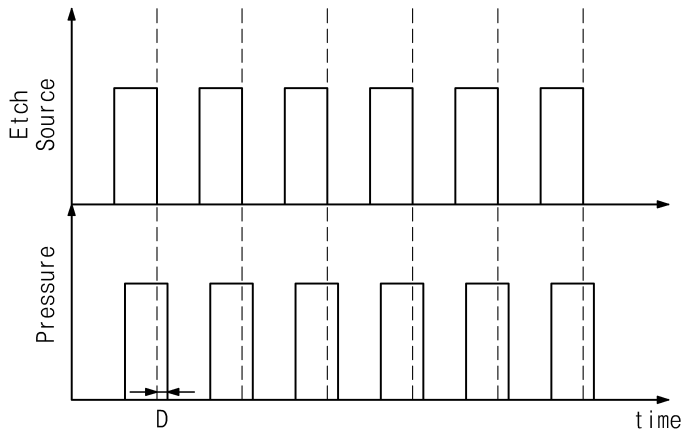
도면13



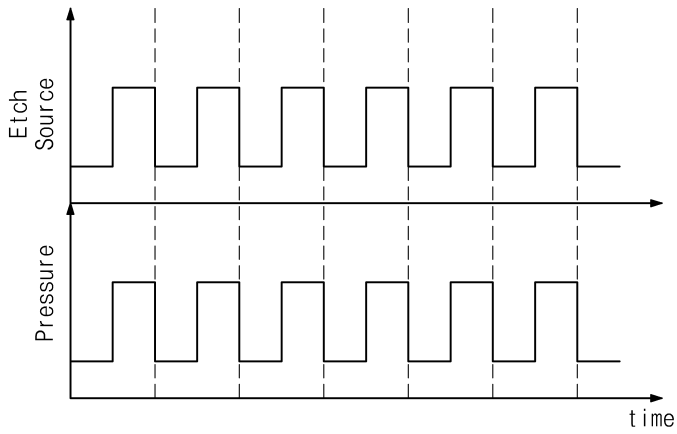
도면14



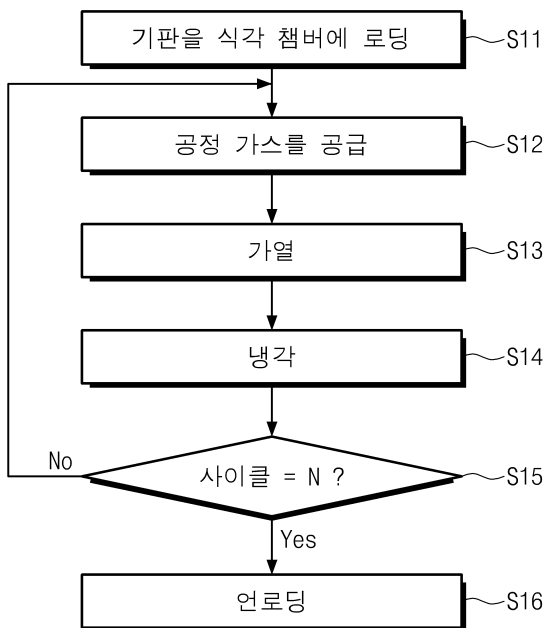
도면15



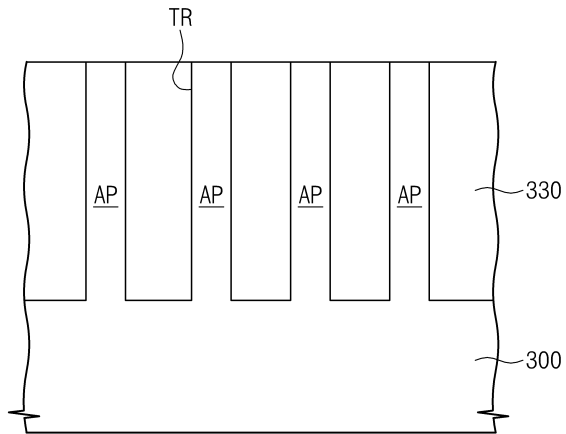
도면16



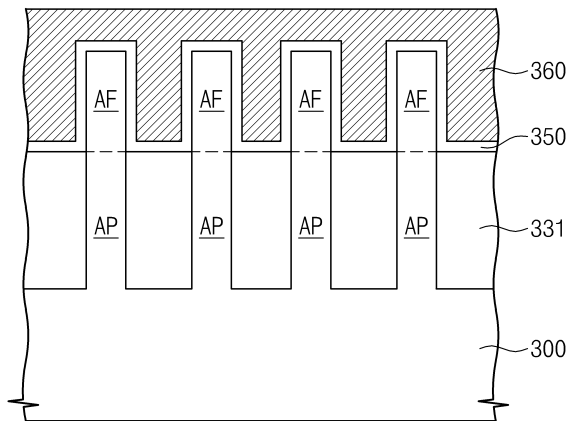
도면17



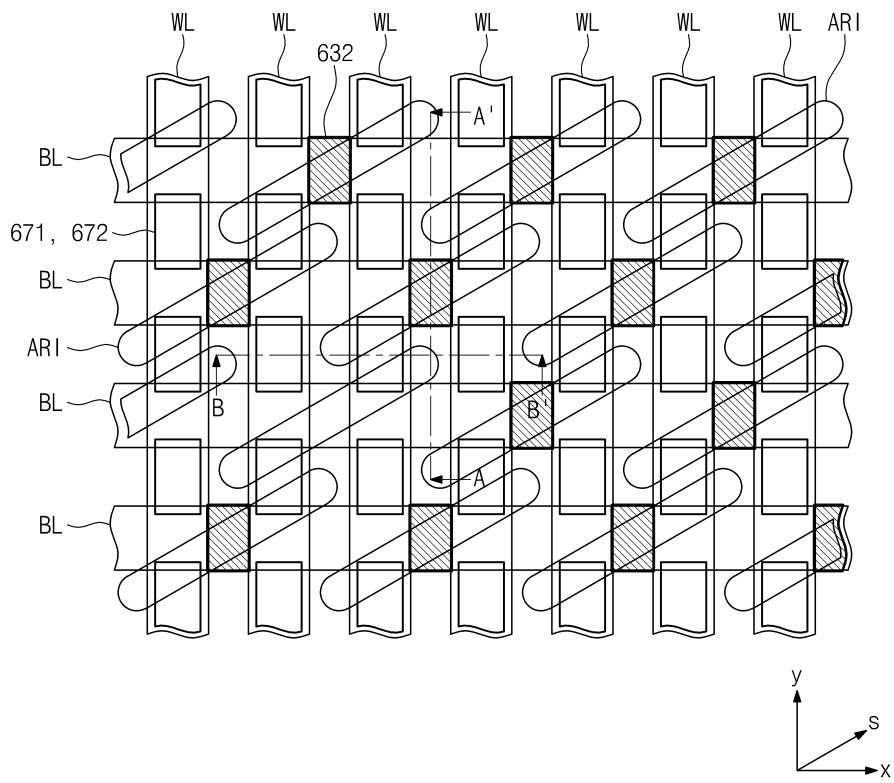
도면18



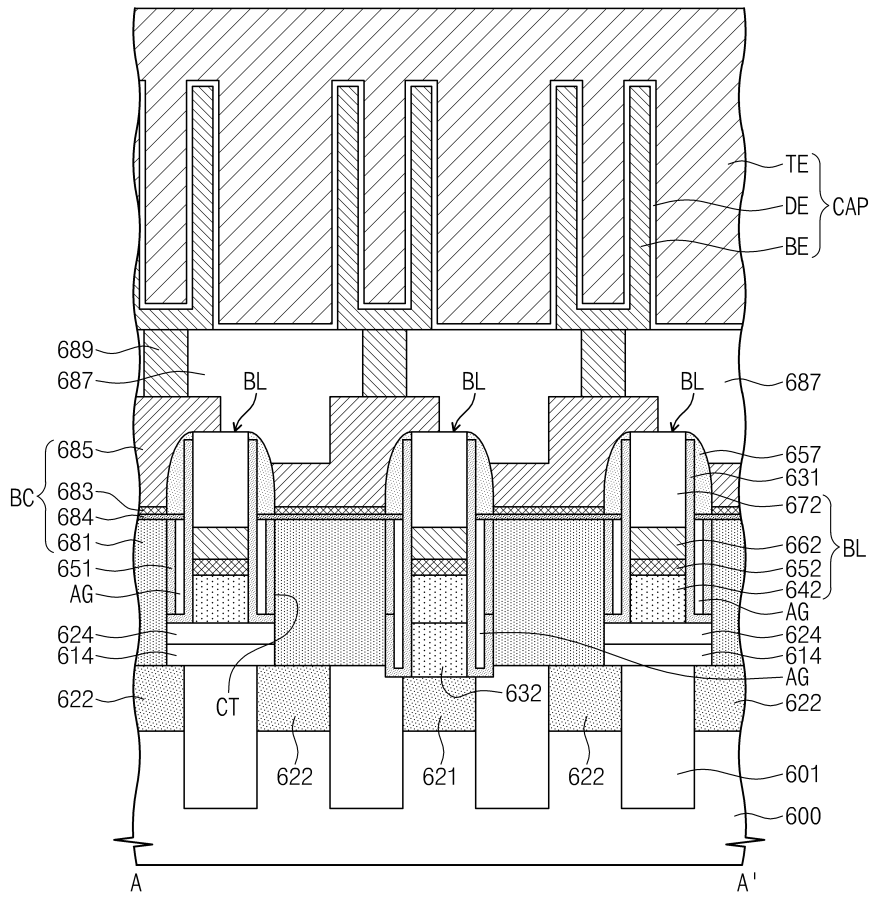
도면19



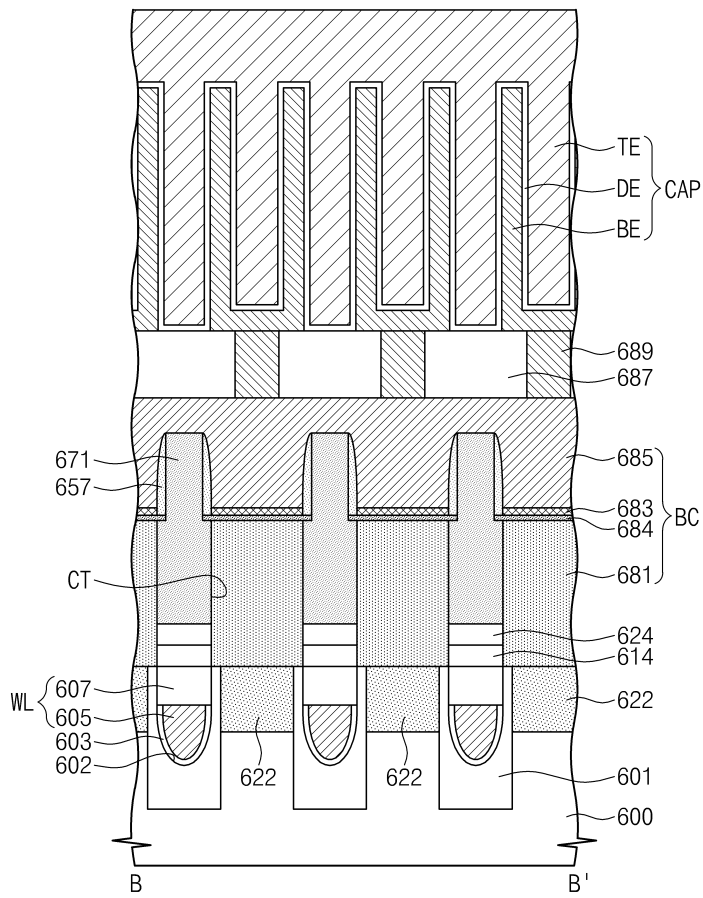
도면20



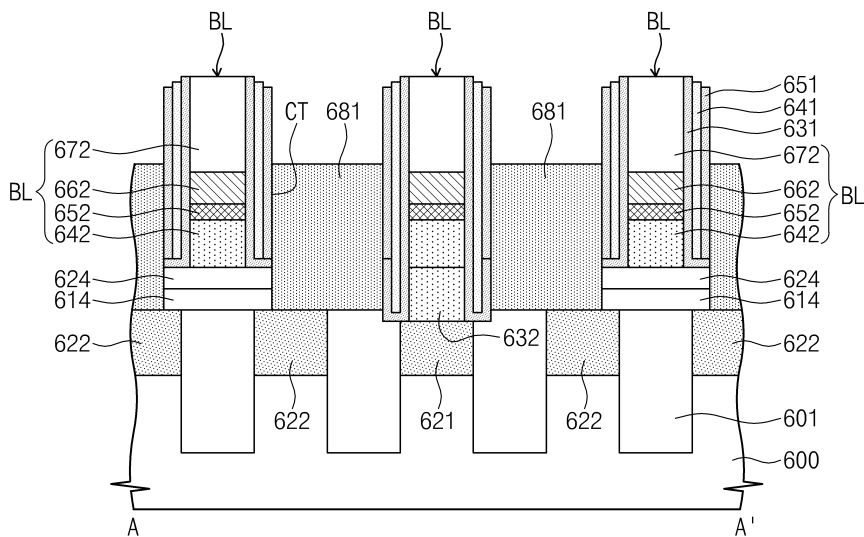
도면21a



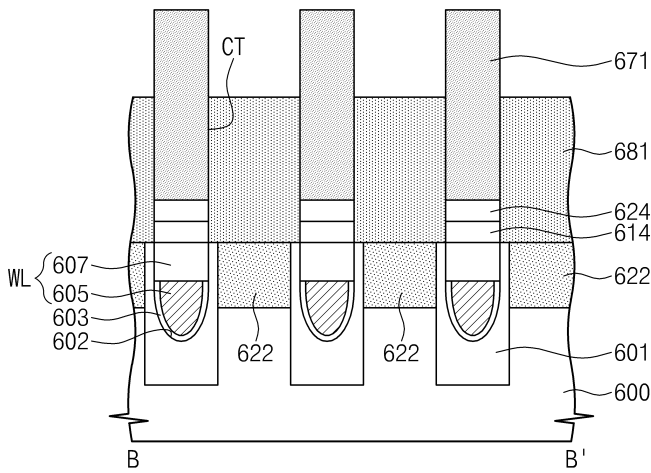
도면21b



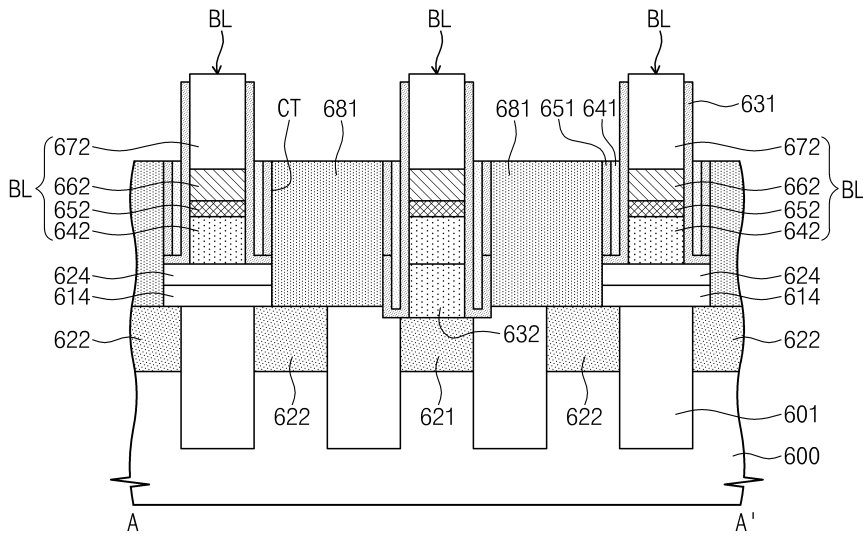
도면22a



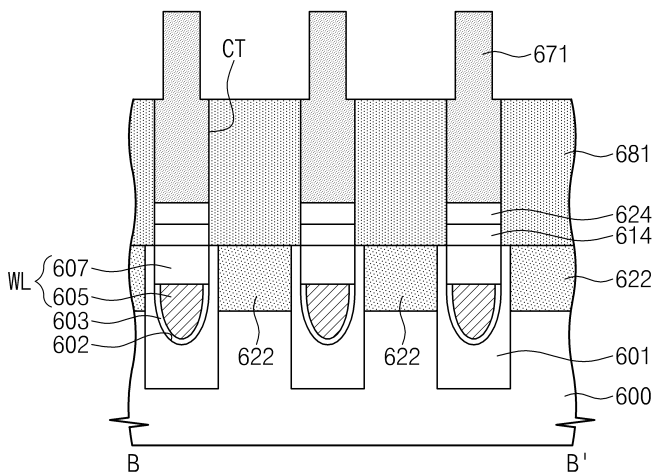
도면22b



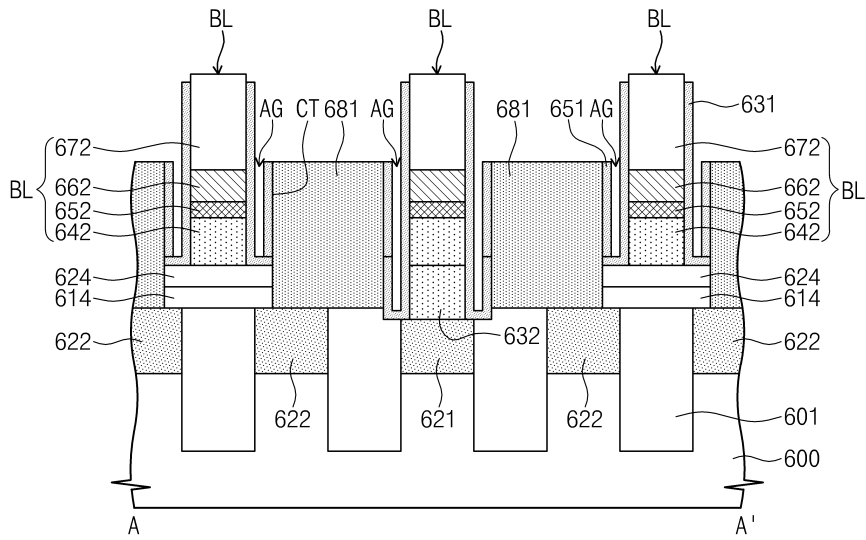
도면23a



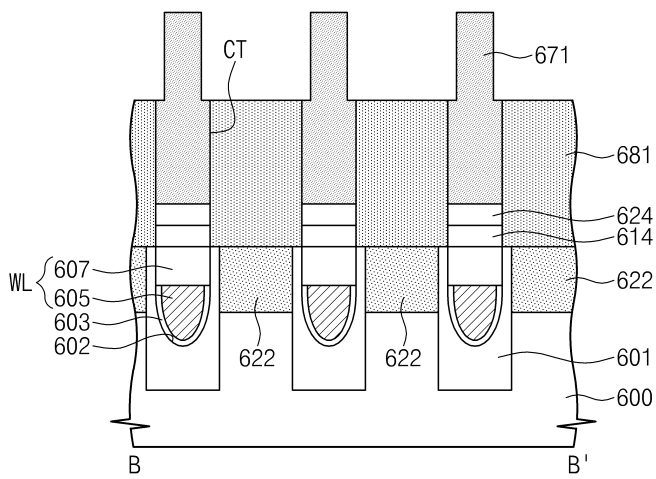
도면23b



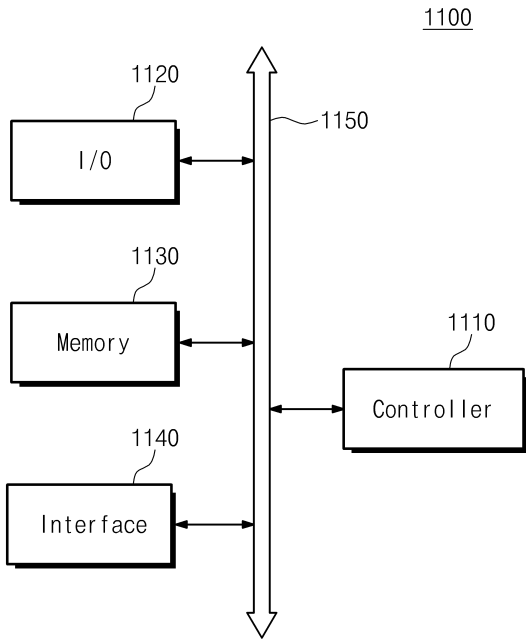
도면24a



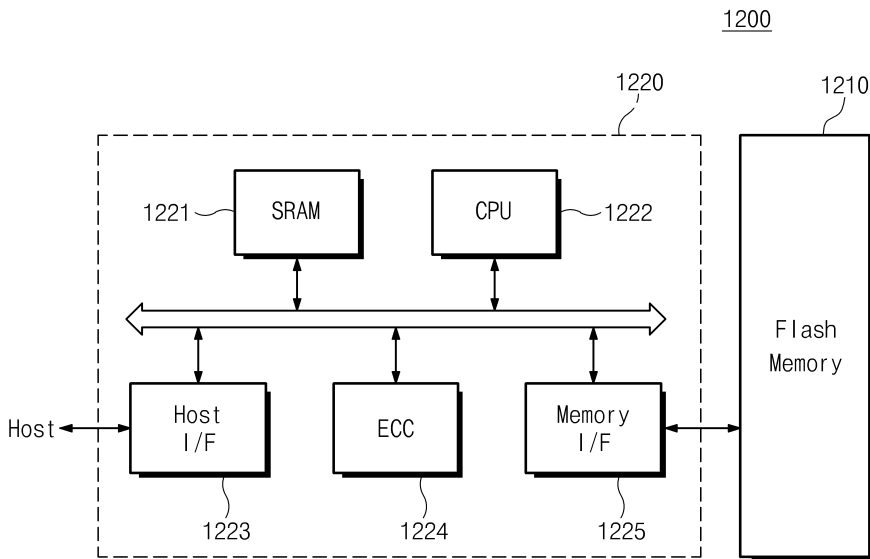
도면24b



도면25



도면26



도면27

