



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

① CH 669 289 A5

⑤ Int. Cl.⁴: H 02 P 7/62
B 66 B 1/34

Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-Liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ PATENTSCHRIFT A5

⑲ Gesuchsnummer: 7418/82

⑦ Inhaber:
Inventio AG, Hergiswil NW

⑳ Anmeldungsdatum: 20.12.1982

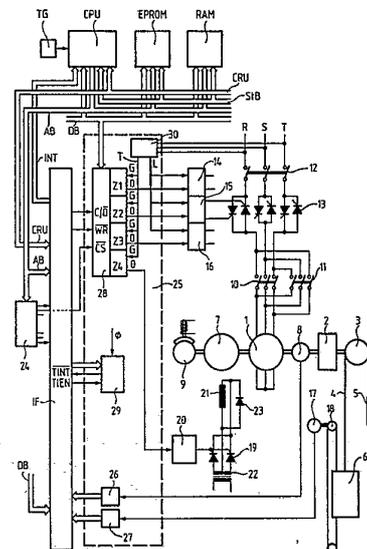
㉔ Patent erteilt: 28.02.1989

⑦ Erfinder:
Kindler, Gerhard, Meggen
Stanyard, Ray, Buchrain

④ Patentschrift
veröffentlicht: 28.02.1989

⑤ Mittels Digitalrechner betriebene Antriebsregelungseinrichtung.

⑦ Mit dieser Antriebsregelungseinrichtung können die Stellglieder unter Vermeidung von DA-Wandlern digital angesteuert und der Digitalrechner von der Ermittlung der Zündzeitpunkte von Thyristoren (13, 19) der Stellglieder entlastet werden. Zu diesem Zweck wird die Stellgröße in einen programmierbaren Mehrfachzähler (28) übertragen, dessen den einzelnen Phasen (R, S, T) eines Drehstromnetzes zugeordnete Zähler (Z1, Z2, Z3) mittels einer Synchronisationseinrichtung (30) derart steuerbar sind, dass die Thyristoren (13, 19) jeweils beim gleichen, der jeweiligen Stellgröße entsprechenden Phasenwinkel gezündet werden. Weiterhin können die Stromistwerte eines unterlagerten Stromregelkreises unter Vermeidung von Strom- und AD-Wandlern ermittelt und eingegeben werden, indem sie in Abhängigkeit von gespeicherten Konstanten der Erregerwicklung (21) und des Zählerstandes eines dieser zugeordneten Zähler (Z4) des programmierbaren Mehrfachzählers (28) berechnet werden. Die Eingabe der mittels Digitaltachometer (8, 17) ermittelten Weg- und Geschwindigkeitsistwerte erfolgt derart, dass die zugeordneten Zähler (26, 27) unmittelbar über ein Interface (IF) mit dem Datenbus (DB) verbunden sind, wobei bei jedem Eingabevorgang die Ergebnisse mehrerer Ableisungen der Zähler (26, 27) gespeichert und die jeweils gültigen Werte mittels eines Auswerteprogrammes bestimmt werden.



PATENTANSPRÜCHE

1. Mittels Digitalrechner betriebene Antriebsregelungseinrichtung mit Weg-, Geschwindigkeits- und Stromregelkreis und Stellgliedern in Form von Thyristoren (13, 19), wobei eine Datenein- und -ausgabereinrichtung (25) vorgesehen ist, die mindestens einen mit einem Digitaltachometer (17) verbundenen Wegzähler (27), einen mit einem weiteren Digitaltachometer (8) verbundenen Geschwindigkeitszähler (26) und einen Ausgabebaustein für die Übertragung von Daten an die Stellglieder aufweist, dadurch gekennzeichnet,

- dass der Wegzähler (27) und der Geschwindigkeitszähler (26) über Bustreiber an einem Datenbus (DB) des Digitalrechners angeschlossen sind,

- dass ein Intervallzeitgeber (29) vorgesehen ist, der mit einem Interrupteingang (TINT) und einem Freigabeausgang (TIEN) eines Interfaces (IF) verbunden ist, und der bei Eintreffen eines vom Digitalrechner erzeugten Freigabesignals zu arbeiten beginnt und Unterbrechungsanforderungen für die Datenein- und -ausgabe erzeugt,

wobei in einem Schreib-Lesespeicher (RAM) des Digitalrechners Speicherplätze vorgesehen sind, in welchen bei jeder Dateneingabeoperation die Ergebnisse einer bestimmten Anzahl Ablesungen des Weg- und des Geschwindigkeitszählers (27, 26) gespeichert und die gültigen Werte durch ein Auswerteprogramm ermittelt werden, dass der Ausgabebaustein ein programmierbarer Mehrfachzähler (28) ist, der über Steueranschlüsse (C/D, WR, CS) mit dem Interface (IF) und über Dateneingänge mit dem Datenbus (DB) des Digitalrechners verbunden ist, wobei Startanschlüsse (G) der Zähler (Z1-Z4) des programmierbaren Mehrfachzählers (28) mit Triggersignalausgängen (T) einer Synchronisationseinrichtung (30) in Verbindung stehen sowie Überlaufanschlüsse (O) der Zähler (Z1-Z4) und Lenksignalausgänge (L) der Synchronisationseinrichtung (30) an mit den Thyristoren (13, 19) verbundenen Treiberstufen (14, 15, 16, 20 bzw. 14, 15, 16) angeschlossen sind.

2. Antriebsregelungseinrichtung nach Patentanspruch 1, dadurch gekennzeichnet, dass die Synchronisationseinrichtung (30) je Phase eines Drehstromnetzes (RST) einen Transformator (31), einen Filter (32), eine erste und eine zweite Diode (33, 34) sowie einen Signalerzeuger (35) aufweist, dass die Anoden der Dioden (33, 34) miteinander verbunden sind und ihre Kathoden über das Filter (32) mit der Sekundärwicklung des Transformators (31) in Verbindung stehen, dass der Signalerzeuger (35) zwei Transistoren (36, 37) aufweist, deren Basen über Widerstände (38, 39) mit dem positiven Pol, und über weitere Dioden (40, 41) mit dem Nullpotential einer Spannungsquelle verbunden sind, dass die Basis des ersten Transistors (36) über einen weiteren Widerstand (42) an den Anoden der Dioden (33, 34), und die Basis des zweiten Transistors (37) über einen weiteren Widerstand (43) an der Kathode der zweiten Diode (34) angeschlossen ist, und dass der Kollektor des ersten Transistors (36) mit dem Triggersignalausgang (T), der des zweiten Transistors (37) mit dem Lenksignalausgang (L) der Synchronisationseinrichtung (30) verbunden ist.

3. Antriebsregelungseinrichtung nach Patentanspruch 1, dadurch gekennzeichnet, dass für die Eingabe des Stromistwertes eines dem Geschwindigkeitsregelkreis unterlagerten Stromregelkreises in einem Festwertspeicher (EPROM) des Digitalrechners Speicherplätze vorgesehen sind, in welchen Konstanten einer Erregerwicklung (21) des Antriebes gespeichert sind, wobei der Stromistwert der Erregerwicklung (21) in Abhängigkeit des letzten Zählerstandes eines der Erregerwicklung (21) zugeordneten Zählers (Z4) des programmierbaren Mehrfachzählers (28) berechenbar ist.

4. Antriebsregelungseinrichtung nach Patentanspruch 1, dadurch gekennzeichnet, dass der Intervallzeitgeber (29) einen Zähler (44), einen Frequenzteiler (45) und ein JK-Flip-Flop (46) aufweist, wobei die Dateneingabe des Zählers (44) mit den Da-

tenausgängen (Q₀-Q₇) eines Zwischenspeichers (47, 48) in Form zweier adressierbarer Mehrfach-D-Flip-Flops verbunden sind, welche eingangsseitig mit einem Adressenbus (AB) und dem Datenausgabeleiter (CRUOUT) eines Ein- Ausgabebuses (CRU) des Digitalrechners in Verbindung stehen und wobei ein Überlaufanschluss (TC) und ein Ladeanschluss (PE) des Zählers (44) miteinander und mit dem Taktanschluss (Clk) des JK-Flip-Flops (46) verbunden sind, dessen Ausgang (Q) mit dem Interrupteingang (TINT) und dessen Clearanschluss (Clr) mit einem Freigabeausgang (TIEN) des Interface (IF) in Verbindung stehen, und dass ein Taktanschluss (CP) des Zählers (44) am Ausgang des Frequenzteilers (45) angeschlossen ist.

BESCHREIBUNG

Die Erfindung betrifft eine mittels Digitalrechner betriebene Antriebsregelungseinrichtung, wobei einem Wegregelkreis der Antriebsregelungseinrichtung mindestens ein Geschwindigkeitsregelkreis unterlagert ist, und wobei die Antriebsregelungseinrichtung mindestens einen Wegzähler aufweist, der mit einem Digitaltachometer verbunden ist.

Bei einer bekannten, mittels Digitalrechner betriebenen Antriebsregelungseinrichtung nach der DE-PS 13 02 194 erfolgt die Datenausgabe für den Geschwindigkeits- und den Wegregelkreis über je einen ausgangseitig mit einem Regler verbundenen DA-Wandler, so dass dem Stellglied die Stellgröße in analoger Form zugeführt wird. Bei Stabilisierung derartiger Regelungseinrichtungen mittels eines dem Geschwindigkeitsregelkreis unterlagerten Stromregelkreises und Übernahme der Reglerfunktion durch den Digitalrechner, müsste gemäss der angewendeten konventionellen Technik für die Eingabe des Stromistwertes ein Stromwandler und ein AD-Wandler vorgesehen werden. Wird für den Antrieb ein mittels Thyristoren gesteuerter Drehstrommotor verwendet, so muss der Digitalrechner ausserdem die Berechnung der Zündzeitpunkte für jede Phase, in welcher Thyristoren angeordnet sind, durchführen.

Der Erfindung liegt die Aufgabe zugrunde, die Stellglieder der Regelungseinrichtung unter Vermeidung von DA-Wandlern direkt digital anzusteuern und dabei den Digitalrechner von der Ermittlung der Zündzeitpunkte für die Thyristoren der einzelnen Phasen eines Drehstromnetzes zu entlasten. Weiterhin ist es Aufgabe der Erfindung, den Stromistwert unter Vermeidung eines Strom- und eines AD-Wandlers zu ermitteln und dem Digitalrechner zuzuführen sowie die digitalen Weg- und Geschwindigkeitsistwerte ohne die üblicherweise für die Fixierung des Zählerstandes notwendigen Kopierer in den Digitalrechner einzugeben.

Diese Aufgabe wird durch die im Patentanspruch 1 gekennzeichnete Erfindung gelöst. Hierbei wird die Stellgröße in einen programmierbaren Mehrfachzähler übertragen, dessen den einzelnen Phasen des Drehstromnetzes zugeordnete Zähler mittels einer Synchronisationseinrichtung derart steuerbar sind, dass die Thyristoren jeweils beim gleichen, der jeweiligen Stellgröße entsprechenden Phasenwinkel gezündet werden. Für die Ermittlung des Stromistwertes sind in einem Festwertspeicher des Digitalrechners Konstanten einer Erregerwicklung des Antriebes gespeichert, wobei der Stromistwert in Abhängigkeit des letzten Zählerstandes eines der Erregerwicklung zugeordneten Zählers des programmierbaren Mehrfachzählers berechenbar ist. Der Weg- und der Geschwindigkeitszähler sind über Bustreiber direkt mit dem Datenbus des Digitalrechners verbunden, wobei für die Eingabe der Weg- und Geschwindigkeitsistwerte in einem Schreib-Lesespeicher des Digitalrechners Speicherplätze vorgesehen sind, in welchen bei jedem Eingabevorgang die Ergebnisse einer bestimmten Anzahl Ablesungen des Weg- und des Geschwindigkeitszählers speicherbar sind.

Die mit der Erfindung erzielten Vorteile sind insbesondere darin zu sehen, dass der Hardwareaufwand gegenüber konventionellen Datenein- ausgabetechniken beträchtlich kleiner ist und der Digitalrechner durch die vorgeschlagene Art der Datenausgabe entlastet wird. Ein weiterer Vorteil liegt darin, dass durch die mehrmalige Ablesung des Weg- und des Geschwindigkeitszählers bei jedem Eingabevorgang, Fehler, welche bei einmaliger Ablesung während transients Vorgänge entstehen könnten, vermieden werden.

Im folgenden wird die Erfindung an Hand eines auf der Zeichnung dargestellten Ausführungsbeispiels näher erläutert. Es zeigen:

Fig. 1 eine schematische Darstellung der erfindungsgemässen, mittels eines Digitalrechners betriebenen Antriebsregelungseinrichtung,

Fig. 2 ein Schaltschema einer Synchronisationseinrichtung der Antriebsregelungseinrichtung gemäss Fig. 1,

Fig. 3 ein Diagramm des Verlaufes der Speisespannung U_w , der gleichgerichteten Spannung U_G , der Spannung an einem Triggersignalausgang T und der Spannung an einem Lenksignalausgang L der Synchronisationseinrichtung gemäss Fig. 2 und

Fig. 4 ein der Antriebsregelungseinrichtung gemäss Fig. 1 zugeordneter Intervallzeitgeber für die Erzeugung von Unterbrechungsanforderungen.

In der Fig. 1 ist mit 1 der Hubmotor eines als Anwendungsbeispiel gewählten Aufzuges bezeichnet, welcher über ein Getriebe 2 und eine Treibscheibe 3 eine an einem Förderseil 4 aufgehängte, über ein Gegengewicht 5 ausbalancierte Aufzugskabine 6 antreibt. Der Hubmotor 1, beispielsweise ein Asynchronomotor, ist mit einer Wirbelstrombremse 7, einem ersten Digitaltachometer 8 und der Bremsstrommel 9 einer elektromechanischen Haltebremse gekuppelt und über Kontakte 10, 11 eines Fahrtrichtungsschützes und Kontakte 12 eines Hauptschützes an einem Drehstromnetz RST angeschlossen. Zwischen den Kontakten 10, 11 des Fahrtrichtungsschützes und den Kontakten 12 des Hauptschützes sind in jeder Phase antiparallel geschaltete Thyristoren 13 angeordnet. Die Steuerelektroden der Thyristoren 13 sind mit den Ausgängen von Treiberstufen 14, 15, 16 verbunden. Die Thyristoren 13 und die Treiberstufen 14, 15, 16 bilden das Stellglied des Hubmotors 1. Mit 17 ist ein zweites Digitaltachometer bezeichnet, welches von der Aufzugskabine 6 vorzugsweise über einen Geschwindigkeitsbegrenzer 18 angetrieben wird. Die Digitaltachometer 8, 17 sind einem Geschwindigkeitsregelkreis bzw. einem Wegregelkreis, sowohl des Hubmotors 1 als auch der Wirbelstrombremse 7, zugeordnet.

Ein Stellglied der Wirbelstrombremse 7 besteht aus zwei Thyristoren 19 und einer weiteren Treiberstufe 20, deren Ausgang mit den Steuerelektroden der Thyristoren 19 verbunden ist. Die Thyristoren 19, eine Erregerwicklung 21 der Wirbelstrombremse 7 und die Sekundärwicklung eines Speisetransformators 22 sind in Mittelpunktschaltung miteinander verknüpft, so dass beim Anlegen einer Wechselspannung an die Primärwicklung des Speisetransformators 22 an der Erregerwicklung 21 eine pulsierende Gleichspannung auftritt. Mit 23 ist eine parallel zur Erregerwicklung 21 geschaltete Diode bezeichnet, die bei gesperrten Thyristoren 19 einen Stromfluss durch die Erregerwicklung 21 ermöglicht. Dem Drehzahlregelkreis der Wirbelstrombremse 7 ist ein Stromregelkreis unterlagert, wobei der Erregerstromwert, wie nachstehend an Hand der Funktionsbeschreibung erläutert, ermittelt wird.

Ein als Regler arbeitender Digitalrechner, vorzugsweise in Form eines Mikrocomputers, bestehend aus einem Mikroprozessor CPU, einem Festwertspeicher EPROM, einem Schreibspeicher RAM, einem Taktgenerator TG und einem Interface IF. Der Mikroprozessor CPU ist über einen Adressenbus AB, einen Datenbus DB und einen Steuerbus StB mit den Speichern EPROM, RAM verbunden und über einen seriellen Ein-Aus-

gabebus CRU, den Adressen- und Datenbus AB, DB sowie eine Interruptverbindung INT am Interface IF angeschlossen. Im Festwertspeicher EPROM sind Speicherplätze vorgesehen, in welchen der funktionelle Zusammenhang zwischen den Weg-, Geschwindigkeits- und Stromregelabweichungen und den Eingangsgrössen der Stellglieder unter Berücksichtigung der Reglercharakteristik in tabellarischer Form erfasst ist. Der Digitalrechner übt ausserdem die Funktion eines Sollwertgebers aus, wobei durch numerische Integration von im Festwertspeicher EPROM gespeicherten zulässigen Ruckwerten und Beschleunigungsgrenzwerten Wegsollwerte gebildet werden.

Das Interface IF weist einen Unterbrechungsprioritäts-Baustein auf, welcher gleichzeitig für die parallele Daten-Ein-Ausgabe geeignet ist. Er besitzt an seiner Schnittstelle zur Peripherie Interrupteingänge und einzeln adressierbare Daten-Ein-Ausgabeports. Die Interruptverbindung INT zum Mikroprozessor CPU besteht aus einem Leiter für die Unterbrechungsanforderung und vier Leitern für den Interruptcode. Bei auftretender Unterbrechungsanforderungen definiert eine interne Prioritätslogik die Priorität der von externen Bausteinen gesendeten Interruptsignalen und bildet die zur höchsten Priorität gehörige Adresse sowie den Interrupt für den Mikroprozessor CPU. Das Interface IF weist ausserdem adressierbare Mehrfach-D-Flip-Flops (addressable latches) für die Datenausgabe und Bustreiber für die Dateneingabe auf.

Mit 24 ist ein Dekodierer bezeichnet, der eingangseitig mit dem Adressenbus AB und ausgangseitig mit den jeweils zu identifizierenden Bausteinen des Interface IF und der Peripherie verbunden ist.

Eine Datenein- und -ausgabereinrichtung 25 besteht aus einem Geschwindigkeitszähler 26, einem Wegzähler 27, einem programmierbaren Mehrfachzähler 28 und einem nachstehend an Hand der Fig. 4 näher beschriebenen, Unterbrechungsanforderungen für den Mikroprozessor CPU erzeugenden Intervallzeitgeber 29 und einer an Hand der Fig. 2 näher beschriebenen Synchronisationseinrichtung 30. Der Geschwindigkeitszähler 26 und der Wegzähler 27 sind eingangseitig an den Digitaltachometern 8, 17 angeschlossen und ausgangseitig über Bustreiber des Interface IF mit dem Datenbus DB verbunden, wobei den Zähler 26, 27 von den Digitaltachometern 8, 17 geschwindigkeits- bzw. wegproportionale Impulsfolgen zugeführt werden. Der programmierbare Mehrfachzähler 28 ist über einen Schreib-Leseanschluss \overline{WR} und einen Daten-Freigabeanschluss C/\overline{D} mit dem Interface IF verbunden, sowie über einen Bausteinauswahl-Anschluss \overline{CS} am Dekodierer 24 und über Daten-Eingabereports am Datenbus DB angeschlossen. Über Startanschlüsse G stehen Zähler Z1-Z4 des programmierbaren Mehrfachzählers 28 mit Triggersignalausgängen T der Synchronisationseinrichtung 30 in Verbindung. Die Überlaufanschlüsse O der Zähler Z1-Z4 sind mit den Treiberstufen 14, 15, 16, 20 verbunden, deren Ausgänge mit den Steuerelektroden der Thyristoren 13, 19 in Verbindung stehen. Die Synchronisationseinrichtung 30 ist am Drehstromnetz RST angeschlossen und über Lenksignalausgänge L mit den Treiberstufen 14, 15, 16 des Hubmotor-Stellgliedes verbunden.

Die Synchronisationseinrichtung 30 gemäss Fig. 2 besteht je Phase des Drehstromnetzes RST aus einem Transformator 31, einem aus Widerständen und Kondensatoren gebildeten Filter 32, zwei Dioden 33, 34 und einem Signalerzeuger 35. Die Anoden der Dioden 33, 34 sind miteinander verbunden, während ihre Kathoden über das Filter 32 mit den Anschlüssen der Sekundärwicklung des Transformators 31 in Verbindung stehen. Der Signalerzeuger 35 weist zwei Transistoren 36, 37 auf, deren Basen über Widerstände 38, 39 mit dem positiven Pol, und über Dioden 40, 41 mit dem Nullpotential einer Spannungsquelle verbunden sind. Die Basis des ersten Transistors 36 ist ausserdem über einen weiteren Widerstand 42 mit den Anoden der Dioden 33, 34 verbunden, die des zweiten Transistors 37 über

einen weiteren Widerstand 43 an der Kathode der Diode 34 angeschlossen. Der Kollektor des ersten Transistors 36 ist mit dem Triggersignalausgang T, der des zweiten Transistors 37 mit dem Lenksignalausgang L des Signalerzeugers 35 verbunden. Ein Triggersignal $T=0$ wird jeweils immer dann erzeugt, wenn die an den Anoden der Dioden 33, 34 auftretende negative Gleichspannung U_G auf Null gestiegen ist (Zeitpunkte I, II, III, Fig. 3). Zu diesen Zeitpunkten sperrt die Diode 40 und der erste Transistor 36 wird leitend. Während der negativen Halbwelle der sekundärseitigen Speisespannung U_w ist das Lenksignal $L=1$, da dann die Diode 41 leitet und der zweite Transistor 37 sperrt (Zeitintervall I-II, Fig. 3). Während der positiven Halbwelle sperrt die Diode 41 und der zweite Transistor 37 ist leitend, so dass das Lenksignal $L=0$ ist (Zeitintervall II-III, Fig. 3).

Der Intervallzeitgeber 29 gemäss Fig. 4 besteht aus einem 16 Bit-Zähler 44, einem Frequenzteiler 45 und einem JK-Flip-Flop 46. Die Dateneingänge des beispielsweise aus vier Bit-Zählern gebildeten 16 Bit-Zählers 44 sind mit den Datenausgängen Q_0-Q_7 eines Zwischenspeichers 47, 48 in Form zweier adressierbarer Mehrfach-D-Flip-Flops (addressable latches) des Interface IF verbunden. Der Zwischenspeicher 47, 48 ist eingangsseitig am Adressenbus AB, am Datenausgabeeiter CRUOUT des Ein-Ausgabebuses CRU und über Freigabeanschlüsse \bar{E}_1, \bar{E}_2 am Dekodierer 24 (Fig. 1) angeschlossen. Der Ausgang des Frequenzteilers 45 ist mit einem Taktanschluss CP des 16 Bit-Zählers 44 verbunden, wobei die dem 16 Bit-Zähler 44 zugeführte Taktfrequenz ϕ' beispielsweise die Hälfte der dem Eingang des Frequenzteilers 45 zugeführten Taktfrequenz ϕ des Traktgenerators TG beträgt. Ein Überlaufanschluss \bar{TC} und ein Ladeanschluss \bar{PE} des 16 Bit-Zählers 44 sind miteinander und mit dem Taktanschluss Clk des JK-Flip-Flops 46 verbunden, dessen Eingänge J, \bar{K} die logischen Zustände «1» aufweisen, und dessen Ausgang \bar{Q} mit einem Interrupteingang \bar{TINT} des Interface IF in Verbindung steht. Ein Clearanschluss Clr des JK-Flip-Flop 46 ist mit einem Freigabeausgang TIEN des Interface IF verbunden.

Die vorstehend beschriebene Datenein- und -ausgabeeinrichtung arbeitet wie folgt:

Bei Vorliegen eines Fahrbefehls und fahrbereiter Aufzugskabine 6 erzeugt der Mikroprozessor CPU ein Freigabesignal $TIEN=1$ und der 16 Bit-Zähler 44 des Intervallzeitgebers 29 beginnt mit dem Auftreten des Taktsignals ϕ' zu zählen (Fig. 4). Bei Erreichen des Überlaufes erzeugt der 16 Bit-Zähler 44 ein Signal, so dass sein Überlaufanschluss \bar{TC} und sein Ladeanschluss \bar{PE} sowie der Taktanschluss Clk des JK-Flip-Flops 46 niedrig gesetzt werden, wobei einerseits eine an den Datenausgängen Q_0-Q_7 des Zwischenspeichers 47, 48 vorhandene Binärzahl in den 16 Bit-Zähler 44 geladen wird und andererseits, da das Freigabesignal TIEN am Clearanschluss «1» ist, am Ausgang \bar{Q} des JK-Flip-Flops 46 eine Unterbrechungsanforderung $TINT=0$ auftritt. Mit der nächsten ansteigenden Flanke des Taktsignals ϕ' des 16 Bit-Zählers 44 beginnt dieser erneut zu zählen, wobei sein Überlaufanschluss \bar{TC} und sein Ladeanschluss \bar{PE} sowie der Taktanschluss Clk des JK-Flip-Flops 46 auf hohes Potential gesetzt werden, ohne dass die Unterbrechungsanforderung $\bar{TINT}=0$ gelöscht wird.

Die Unterbrechungsanforderung \bar{TINT} wird dem Unterbrechungsprioritäts-Baustein des Interface IF zugeleitet, in wel-

chem die der Priorität entsprechende Adresse und die Unterbrechungsanforderung für den Mikroprozessor CPU gebildet wird. Nach Empfang der über die Interruptverbindung INT (Fig. 1) geleiteten Unterbrechungsanforderung \bar{TINT} unterbricht der Mikroprozessor CPU das laufende Programm um das durch die Adresse gekennzeichnete Interruptprogramm auszuführen. Im Rahmen dieses Programmes wird der im Wegzähler 27 enthaltene Wegistwert gelesen, der Geschwindigkeitsollwert ermittelt, der im Geschwindigkeitszähler 26 enthaltene Geschwindigkeitswert gelesen und die Geschwindigkeitsregelabweichung gebildet. In Abhängigkeit von dieser wird die zugeordnete Eingangsgrösse des betreffenden Stellgliedes aus dem Festwertspeicher EPROM abgerufen, wobei das Vorzeichen der Geschwindigkeitsregelabweichung entscheidet, welcher Regelpfad aktiviert wird. Um Fehler, welche durch Ablesen während transients Vorgänge entstehen könnten zu vermeiden, werden der Geschwindigkeits- und der Wegzähler 26, 27 während eines jeden Dateneingabevorganges mehrmals abgelesen. Nach der Speicherung der abgelesenen Daten werden durch ein Auswerteprogramm die gültigen Istwerte ermittelt. Der für die Bildung der Stromregelabweichung zu ermittelnde Erregerstromwert wird unter Berücksichtigung von im Festwertspeicher EPROM gespeicherten Konstanten der Erregerwicklung 21 in Abhängigkeit des letzten Wertes der Eingangsgrösse des Stellgliedes der Wirbelstrombremse 7 berechnet. Im Laufe des Interruptprogrammes wird in den Zwischenspeicher 47, 48 (Fig. 4) des Intervallzeitgebers 29 eine Binärzahl eingeschrieben, deren Komplement jeweils das Zeitintervall zwischen zwei Unterbrechungsanforderungen \bar{TINT} bestimmt.

Die jeweils derart ermittelte Eingangsgrösse des betreffenden Stellgliedes wird nun in einer Schreiboperation in den programmierbaren Mehrfachzähler 28 übertragen. Hierbei werden vom Mikroprozessor CPU die Anschlüsse C/D, CS und WR auf niedriges Potential gesetzt und die auf dem Datenbus befindliche Eingangsgrösse eingeschrieben (Fig. 1). Eine in einer vorhergehenden Operation programmierte interne Adressierlogik bestimmt dabei, dass bei der Regelung des Hubmotors 1 in die Zähler Z1-Z3 und bei der Regelung der Wirbelstrombremse 7 in den Zähler Z4 eingeschrieben wird. Beim Eintreffen des Triggersignals T der Synchronisationseinrichtung 30 am Startanschluss G des betreffenden Zählers Z1-Z4 wird ein Zählvorgang ausgelöst, der bei Erreichen des Überlaufes mit dem Auftreten eines Impulses am Überlaufanschluss 0 beendet ist. Dieser Impuls wird in der betreffenden Treiberstufe 14, 15, 16, 20 verstärkt und dem zugehörigen Thyristor 13, 19 zugeführt, wobei die Dauer des Zählvorganges bis zum Überlauf den Zeitpunkt bestimmt und das Lenksignal L der Synchronisationseinrichtung 30 den Zündimpuls der positiven oder negativen Halbwelle der anliegenden Spannung zuordnet.

Mit der Beendigung der Schreiboperation wird das Interruptprogramm abgeschlossen, wobei das Freigabesignal TIEN kurzzeitig auf niederes Potential geht und die Unterbrechungsanforderung \bar{TINT} gelöscht wird. Der Mikrocomputer kann nun mit der Ausführung des unterbrochenen Programmes fortfahren, bis nach einem durch den Intervallzeitgeber 29 bestimmten Zeitintervall, ähnlich wie anfänglich beschrieben, die nächste Unterbrechungsanforderung \bar{TINT} erzeugt wird und das gleiche Interruptprogramm erneut abläuft.

Fig.2

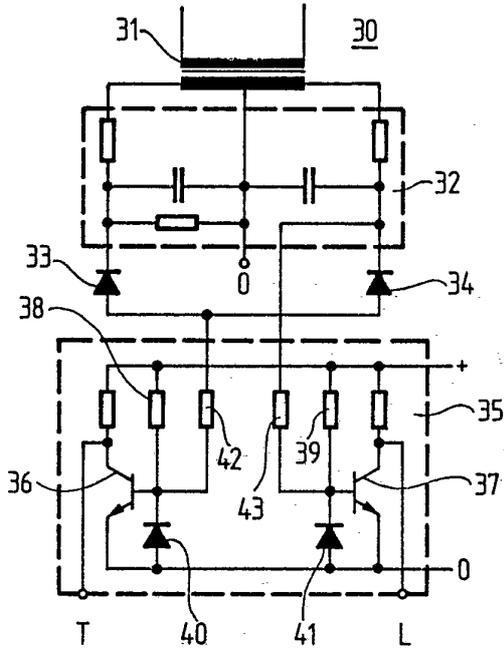


Fig.3

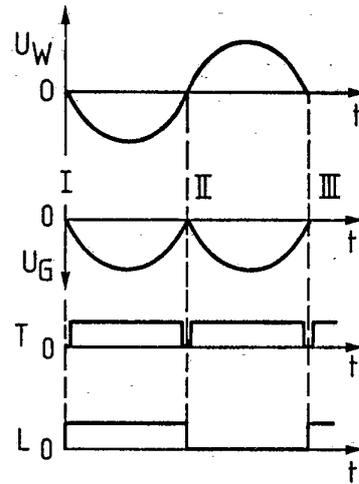


Fig.4

