



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년03월12일  
(11) 등록번호 10-1242274  
(24) 등록일자 2013년03월05일

(51) 국제특허분류(Int. Cl.)  
H01L 21/205 (2006.01)  
(21) 출원번호 10-2009-0032026  
(22) 출원일자 2009년04월14일  
심사청구일자 2010년12월01일  
(65) 공개번호 10-2009-0110786  
(43) 공개일자 2009년10월22일  
(30) 우선권주장  
JP-P-2008-109613 2008년04월18일 일본(JP)  
(56) 선행기술조사문헌  
KR1020070100391 A\*  
US20080085610 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
도쿄엘렉트론가부시키가이샤  
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1고  
(72) 발명자  
가도나가 겐타로오  
일본 야마나시켄 니라사끼시 호사까쵸 미쯔자와  
650 도쿄 엘렉트론 도오호꾸 가부시키가이샤 내  
도네가와 야마토  
일본 야마나시켄 니라사끼시 호사까쵸 미쯔자와  
650 도쿄 엘렉트론 도오호꾸 가부시키가이샤 내  
(뒷면에 계속)  
(74) 대리인  
성재동, 장수길

전체 청구항 수 : 총 18 항

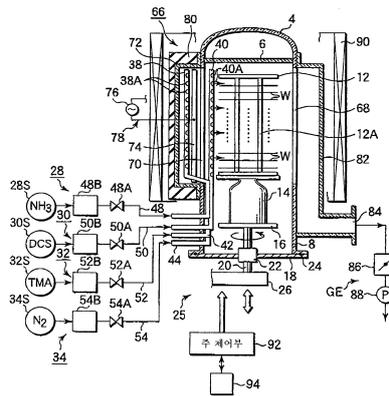
심사관 : 김상택

(54) 발명의 명칭 반도체 처리용 성막 방법, 컴퓨터로 판독 가능한 매체 및 반도체 처리용 성막 장치

**(57) 요약**

반도체 처리용 성막 방법은, 실리콘 소스 가스와 금속 소스 가스가 선택적으로 공급 가능한 처리 용기의 처리 영역 내에서, 피처리 기관 상에 금속 도포된 실리콘 함유 절연막을 형성하는 성막 처리를 행한다. 성막 처리는 상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 실리콘 소스 가스를 화학적으로 반응시켜 제1 절연 박층을 형성하는 공정과, 다음에 상기 실리콘 소스 가스의 공급의 차단을 유지하는 동시에, 상기 금속 소스 가스를 화학적으로 반응시켜 제1 금속 박층을 형성하는 공정과, 다음에 상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 실리콘 소스 가스를 화학적으로 반응시켜 제2 절연 박층을 형성하는 공정을 구비한다.

**대표도 - 도1**



2

(72) 발명자

**주 파오화**

일본 야마나시켄 니라사끼시 호사까쵸 미쯔자와  
650 도쿄 엘렉트론 도오호꾸 가부시키가이샤 내

**하세베 가즈히데**

일본 야마나시켄 니라사끼시 호사까쵸 미쯔자와  
650 도쿄 엘렉트론 도오호꾸 가부시키가이샤 내

**시바타 테즈야**

일본 야마나시켄 니라사끼시 호사까쵸 미쯔자와  
650 도쿄 엘렉트론 도오호꾸 가부시키가이샤 내

**특허청구의 범위**

**청구항 1**

실리콘 소스 가스와 금속 소스 가스가 선택적으로 공급 가능한 처리 용기의 처리 영역 내에서, 피처리 기판 상에 금속 도프된 실리콘 함유 절연막을 형성하는 성막 처리를 행하는 반도체 처리용 성막 방법이며,

상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 실리콘 소스 가스를 화학적으로 반응시켜 제1 절연 박층을 형성하는 공정과,

다음에, 상기 실리콘 소스 가스의 공급의 차단을 유지하는 동시에, 상기 금속 소스 가스를 화학적으로 반응시켜 제1 금속 박층을 형성하는 공정과,

다음에, 상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 실리콘 소스 가스를 화학적으로 반응시켜 제2 절연 박층을 형성하는 공정을 구비하고,

상기 제1 절연 박층, 상기 제1 금속 박층, 상기 제2 절연 박층을 이 순서로 적층하며,

상기 처리 영역은 NH<sub>3</sub> 가스가 선택적으로 공급되도록 구성되며,

상기 제1 절연 박층을 형성하는 공정과 상기 제2 절연 박층을 형성하는 공정 각각은, 상기 NH<sub>3</sub> 가스를 실리콘 소스와 화학적으로 반응시키고,

상기 제1 금속 박층을 형성하는 공정은, NH<sub>3</sub> 가스를 금속 소스 가스와 화학적으로 반응시키는, 반도체 처리용 성막 방법.

**청구항 2**

제1항에 있어서, 상기 제1 금속 박층은 0.1 내지 1.0 nm의 두께를 갖는, 반도체 처리용 성막 방법.

**청구항 3**

제1항에 있어서, 상기 금속 도프된 실리콘 함유 절연막의 최하층은 상기 제1 절연 박층인, 반도체 처리용 성막 방법.

**청구항 4**

제1항에 있어서, 상기 금속 도프된 실리콘 함유 절연막의 최상층은 상기 제2 절연 박층인, 반도체 처리용 성막 방법.

**청구항 5**

제1항에 있어서, 상기 제2 절연 박층을 형성하는 공정에 이어서,

상기 실리콘 소스 가스의 공급의 차단을 유지하는 동시에, 상기 금속 소스 가스를 화학적으로 반응시켜 제2 금속 박층을 형성하는 공정과,

다음에, 상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 실리콘 소스 가스를 화학적으로 반응시켜 제3 절연 박층을 형성하는 공정을 더 구비하고,

상기 제1 절연 박층, 상기 제1 금속 박층, 상기 제2 절연 박층, 상기 제2 금속 박층, 상기 제3 절연 박층을 이 순서로 적층하는, 반도체 처리용 성막 방법.

**청구항 6**

제5항에 있어서, 상기 제1 및 제2 금속 박층의 각각은 0.1 내지 0.6nm의 두께를 갖고, 상기 제2 절연 박층은 0.2 내지 3.0nm의 두께를 갖는, 반도체 처리용 성막 방법.

**청구항 7**

삭제

**청구항 8**

제1항에 있어서, 상기 제1 금속 박층을 형성하는 공정은,

상기 처리 영역에 대한 상기 금속 소스 가스의 공급을 행하는 한편, 상기 NH<sub>3</sub> 가스의 공급의 차단을 유지하는 제 1 공급 서브 공정과,

상기 처리 영역에 대한 상기 NH<sub>3</sub> 가스의 공급을 행하는 한편, 상기 금속 소스 가스의 공급의 차단을 유지하는 제 2 공급 서브 공정을 교대로 복수회 반복하는, 반도체 처리용 성막 방법.

**청구항 9**

제8항에 있어서, 상기 제2 공급 서브 공정은 플라즈마 여기 기구에 의해 상기 NH<sub>3</sub> 가스를 여기한 상태로 상기 처리 영역에 공급하는 여기 기간을 구비하는, 반도체 처리용 성막 방법.

**청구항 10**

제1항에 있어서, 상기 제1 절연 박층을 형성하는 공정과 상기 제1 금속 박층을 형성하는 공정 사이, 및 상기 제 1 금속 박층을 형성하는 공정과 상기 제2 절연 박층을 형성하는 공정 사이의 각각에, 상기 실리콘 소스 가스 및 상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 처리 영역 내의 잔류 가스를 배제하는 제1 및 제2 개재 공정을 더 구비하는, 반도체 처리용 성막 방법.

**청구항 11**

제10항에 있어서, 상기 제2 개재 공정의 설정 온도를 매개 변수로 하여, 상기 제1 금속 박층의 두께를 변경하여 상기 금속 도프된 실리콘 함유 절연막의 금속 농도를 제어하는, 반도체 처리용 성막 방법.

**청구항 12**

제10항에 있어서, 상기 제2 개재 공정의 길이를 매개 변수로 하여, 상기 제1 금속 박층의 두께를 변경하여 상기 금속 도프된 실리콘 함유 절연막의 금속 농도를 제어하는, 반도체 처리용 성막 방법.

**청구항 13**

제1항에 있어서, 상기 처리 영역은 상기 제1 및 제2 절연 박층의 재료의 일부를 제공하는 반응 가스를 선택적으로 공급 가능하고,

상기 제1 절연 박층을 형성하는 공정 및 상기 제2 절연 박층을 형성하는 공정의 각각은 상기 반응 가스를 상기 실리콘 소스 가스와 화학적으로 반응시키는, 반도체 처리용 성막 방법.

**청구항 14**

제13항에 있어서, 상기 제1 절연 박층을 형성하는 공정 및 상기 제2 절연 박층을 형성하는 공정의 각각은,

상기 처리 영역에 대한 상기 실리콘 소스 가스의 공급을 행하는 한편, 상기 반응 가스의 공급의 차단을 유지하는 제1 공급 서브 공정과,

상기 처리 영역에 대한 상기 반응 가스의 공급을 행하는 한편, 상기 실리콘 소스 가스의 공급의 차단을 유지하는 제2 공급 서브 공정을 교대로 복수회 반복하는, 반도체 처리용 성막 방법.

**청구항 15**

제13항에 있어서, 상기 제2 공급 서브 공정은, 플라즈마 여기 기구에 의해 상기 반응 가스를 여기한 상태로 상기 처리 영역에 공급하는 여기 기간을 구비하는, 반도체 처리용 성막 방법.

**청구항 16**

제1항에 있어서, 상기 실리콘 소스 가스는, DCS(디클로로실란), 테트라에톡시실란(TEOS), 테트라메틸실란(TMS), HCD(헥사클로로디실란), 모노실란[SiH<sub>4</sub>], 디실란[Si<sub>2</sub>H<sub>6</sub>], HMDS(헥사메틸디실라잔), TCS(트리클로로실란), DSA(디시릴아민), TSA(트리시릴아민), BTBAS(비스타살부틸아미노실란), 3DMAS(트리스디메틸아미노실란), 4DMAS(테트라

키스디메틸아미노실란), TEMASiH(트리스에틸메틸아미노실란), TEMASi(테트라키스에틸메틸아미노실란), Si(MMP)<sub>4</sub>(테트라키스메톡시메틸프로폭시실란)로 이루어지는 군으로부터 선택되는 1 이상의 가스를 포함하는, 반도체 처리용 성막 방법.

**청구항 17**

제1항에 있어서, 상기 금속 소스 가스는, TMA(트리메틸알루미늄), Cu(hfac)TMVS(헥사플루오로아세틸아세토나토-트리메틸비닐시릴구리), Cu(EDMDD)<sub>2</sub>, TBTDET(타사리부틸이미드-트리-디에틸아미드탄탈), PET(펜타에톡시탄탈), TiCl<sub>4</sub>(사염화티탄), AlCl<sub>3</sub>(삼염화알루미늄), TEH(테트라키스에톡시하프늄), Zr(OtBt)<sub>4</sub>, HTTB(하프늄테트라타사리부톡시드), TDMAH(테트라키스디메틸아미노하프늄), TDEAH(테트라키스디에틸아미노하프늄), TEMAH(테트라키스에틸메틸아미노하프늄), Hf(MMP)<sub>4</sub>(테트라키스메톡시메틸프로폭시하프늄), ZTTB(지르코늄테트라타사리부톡시드), TDMAZ(테트라키스디메틸아미노지르코늄), TDEAZ(테트라키스디에틸아미노지르코늄), TEMAZ(테트라키스에틸메틸아미노지르코늄), Zr(MMP)<sub>4</sub>(테트라키스메톡시메틸프로폭시지르코늄), TEA(테트라에틸알루미늄), Al(MMP)<sub>3</sub>(트리스메톡시메틸프로폭시알루미늄)으로 이루어지는 군으로부터 선택되는 1 이상의 가스를 포함하는, 반도체 처리용 성막 방법.

**청구항 18**

삭제

**청구항 19**

제1항에 기재된 방법을 행하기 위해 프로세서 상에서 실행하는 프로그램 지령을 포함하는 컴퓨터로 판독 가능한 매체이며,

실리콘 소스 가스와 금속 소스 가스가 선택적으로 공급 가능한 처리 용기의 처리 영역을 갖는 반도체 처리용 성막 장치에 사용되고,

상기 프로그램 지령은, 상기 프로세서에 의해 실행될 때, 상기 성막 장치에 상기 처리 영역 내에서 피처리 기판 상에 금속 도프된 실리콘 함유 절연막을 형성하기 위해 제1항에 기재된 방법을 실행하는, 컴퓨터로 판독 가능한 매체.

**청구항 20**

반도체 처리용 성막 장치이며,

피처리 기판을 수납하는 처리 영역을 갖는 처리 용기와,

상기 처리 영역 내에서 상기 피처리 기판을 지지하는 지지 부재와,

상기 처리 영역 내의 상기 피처리 기판을 가열하는 히터와,

상기 처리 영역 내를 배기하는 배기계와,

상기 처리 영역에 실리콘 소스 가스를 공급하는 공급계와,

상기 처리 영역에 금속 소스 가스를 공급하는 공급계와,

상기 장치의 동작을 제어하는 제어부를 구비하고,

상기 제어부는, 상기 처리 영역 내에서, 상기 피처리 기판 상에 금속 도프된 실리콘 함유 절연막을 형성하는 성막 처리를 행하도록 미리 설정되고, 상기 성막 처리는,

상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 실리콘 소스 가스를 화학적으로 반응시켜 제1 절연 박층을 형성하는 공정과,

다음에, 상기 실리콘 소스 가스의 공급의 차단을 유지하는 동시에, 상기 금속 소스 가스를 화학적으로 반응시켜 제1 금속 박층을 형성하는 공정과,

다음에, 상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 실리콘 소스 가스를 화학적으로 반응시켜

제2 절연 박층을 형성하는 공정을 구비하고,

상기 제1 절연 박층, 상기 제1 금속 박층, 상기 제2 절연 박층을 이 순서로 적층하는, 반도체 처리용 성막 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은, 반도체 웨이퍼 등의 피처리 기판 상에 금속 도프된 실리콘 함유 절연막을 형성하는 반도체 처리용 성막 방법 및 장치에 관한 것이다. 여기서, 반도체 처리라 함은, 웨이퍼나 LCD(Liquid Crystal Display)와 같은 FPD(Flat Panel Display)용 글래스 기판 등의 피처리 기판 상에 반도체층, 절연층, 도전층 등을 소정의 패턴으로 형성함으로써, 상기 피처리 기판 상에 반도체 디바이스나, 반도체 디바이스에 접속되는 배선, 전극 등을 포함하는 구조물을 제조하기 위해 실시되는 다양한 처리를 의미한다.

**배경기술**

[0002] 반도체 집적 회로를 구성하는 반도체 디바이스의 제조에 있어서는, 피처리 기판, 예를 들어 반도체 웨이퍼에 성막, 에칭, 산화, 확산, 개질, 어닐, 자연 산화막의 제거 등의 각종 처리가 실시된다. US 제2006/0286817 A1호는, 종형의 [소위 बै치(batch)식] 열처리 장치에 있어서의 이러한 종류의 반도체 처리 방법을 개시한다. 이 방법에서는, 우선 반도체 웨이퍼가 웨이퍼 카세트로부터 종형의 웨이퍼 보트 상으로 이동 적재되어, 다단으로 지지된다. 웨이퍼 카세트에는, 예를 들어 25매의 웨이퍼를 수용할 수 있고, 웨이퍼 보트에는 30 내지 150매의 웨이퍼를 적재할 수 있다. 다음에, 웨이퍼 보트가 처리 용기의 하방으로부터 그 내부로 로드되는 동시에, 처리 용기가 기밀하게 폐쇄된다. 다음에, 처리 가스의 유량, 처리 압력, 처리 온도 등의 각종 처리 조건이 제어된 상태에서, 소정의 열처리가 행해진다.

[0003] 이러한 종류의 반도체 집적 회로의 일종으로서 불휘발성 메모리 소자가 있다. 불휘발성 메모리 소자로서는, 플로팅 게이트를 갖는 플로팅 게이트형 메모리 소자나 전하 트랩층을 갖는 SONOS형 메모리 소자 등이 알려져 있다 (일본 특허 출원 공개 제2006-229233호 공보 등). 기입 동작이나 소거 동작이 비교적 양호하므로, 전하 트랩층을 갖는 SONOS형 메모리 소자가 주목받고 있다. 이 SONOS형 메모리 소자는, 예를 들어 실리콘 기판인 반도체 기판과 폴리실리콘 등으로 이루어지는 게이트 전극 사이에, 실리콘산화막과, 실리콘질화막으로 이루어지는 전하 트랩층과, 실리콘산화막을 개재시킨 구조로 되어 있다.

[0004] 상기 전하 트랩층은, 실리콘질화막(SiN막) 중에 알루미늄 등의 금속을 도프시킨 금속 도프막으로 이루어져 있다. 상술한 바와 같이 금속 도프를 행함으로써, 이 메모리 소자의 기입 동작, 소거 동작, 리텐션 특성 등을 향상시킨다.

[0005] 예를 들어, 상기한 바와 같은 금속 도프막의 형성 방법으로서, SiN막을 형성하는 성막용 각 가스와 상기 금속 이 포함된 가스를 동시에 처리 용기 내에 도입하여 CVD(Chemical Vapor Deposition)법에 의해 형성하는 방법이 있다. 또한, 성막용 각 가스를 각각 교대로 간헐적으로 반복 공급하여 원자 레벨, 혹은 분자 레벨의 매우 얇은 박막을 복수층 적층함으로써 소정의 두께를 갖는 막을 형성하는 방법 등이 알려져 있다(일본 특허 출원 공개 평 6-045256호 공보, 일본 특허 출원 공개 평11-087341호 공보). 이와 같은 성막 방법은, 일반적으로는 ALD(Atomic Layer Deposition) 혹은 MLD(Molecular Layer Deposition)라 칭해지고, 이에 의해, 웨이퍼를 그만 큼의 고온에 노출시키지 않아도 목적으로 하는 처리를 행하는 것이 가능해진다.

[0006] 그런데, 상술한 바와 같은 금속 도프막에 있어서, 막 중의 금속의 농도 및 막 두께 방향의 농도 분포는, 이 금속 도프막의 특성에 매우 큰 영향을 준다. 그러나, 상술한 바와 같은 종래의 금속 도프막의 형성 방법에서는, 금속 농도가 비교적 고농도로 되는 경향이 있어, 이 금속 농도를 비교적 저농도로 제어성 좋게 설정하는 것이 곤란하였다. 이로 인해, 금속 도프막의 전기적 특성을 충분히 향상시킬 수 없다. 특히, 최근에 있어서는, 반도체 집적 회로가 더욱 고집적화 및 고 미세화의 요구가 강해지고 있고, 상기한 문제점의 해결이 특히 희망되고 있다.

**발명의 내용**

**해결 하고자하는 과제**

[0007] 본 발명은, 금속 도프된 실리콘 함유 절연막을 형성시킬 때에, 금속 농도를 비교적 저농도로 제어성 좋게 설정하는 것이 가능한 반도체 처리용 성막 방법 및 장치를 제공하는 것을 목적으로 한다.

**과제 해결수단**

[0008] 본 발명의 제1 시점은, 실리콘 소스 가스와 금속 소스 가스가 선택적으로 공급 가능한 처리 용기의 처리 영역 내에서, 피처리 기판 상에 금속 도프된 실리콘 함유 절연막을 형성하는 성막 처리를 행하는 반도체 처리용 성막 방법이며, 상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 실리콘 소스 가스를 화학적으로 반응시켜 제1 절연 박층을 형성하는 공정과, 다음에, 상기 실리콘 소스 가스의 공급의 차단을 유지하는 동시에, 상기 금속 소스 가스를 화학적으로 반응시켜 제1 금속 박층을 형성하는 공정과, 다음에, 상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 실리콘 소스 가스를 화학적으로 반응시켜 제2 절연 박층을 형성하는 공정을 구비하고, 상기 제1 절연 박층, 상기 제1 금속 박층, 상기 제2 절연 박층을 이 순서로 적층한다.

[0009] 본 발명의 제2 시점은, 제1 시점의 방법을 행하기 위해 프로세서 상에서 실행하는 프로그램 지령을 포함하는 컴퓨터로 판독 가능한 매체이며, 실리콘 소스 가스와 금속 소스 가스가 선택적으로 공급 가능한 처리 용기의 처리 영역을 갖는 반도체 처리용 성막 장치에 사용되고, 상기 프로그램 지령은, 상기 프로세서에 의해 실행될 때, 상기 성막 장치에 상기 처리 영역 내에서 피처리 기판 상에 금속 도프된 실리콘 함유 절연막을 형성하기 위해, 제1 시점의 방법을 실행한다.

[0010] 본 발명의 제3 시점은, 반도체 처리용 성막 장치이며, 피처리 기판을 수납하는 처리 영역을 갖는 처리 용기와, 상기 처리 영역 내에서 상기 피처리 기판을 지지하는 지지 부재와, 상기 처리 영역 내의 상기 피처리 기판을 가열하는 히터와, 상기 처리 영역 내를 배기하는 배기계와, 상기 처리 영역에 실리콘 소스 가스를 공급하는 공급계와, 상기 처리 영역에 금속 소스 가스를 공급하는 공급계와, 상기 장치의 동작을 제어하는 제어부를 구비하고, 상기 제어부는, 상기 처리 영역 내에서, 상기 피처리 기판 상에 금속 도프된 실리콘 함유 절연막을 형성하는 성막 처리를 행하도록 미리 설정되고, 상기 성막 처리는, 상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 실리콘 소스 가스를 화학적으로 반응시켜 제1 절연 박층을 형성하는 공정과, 다음에, 상기 실리콘 소스 가스의 공급의 차단을 유지하는 동시에, 상기 금속 소스 가스를 화학적으로 반응시켜 제1 금속 박층을 형성하는 공정과, 다음에, 상기 금속 소스 가스의 공급의 차단을 유지하는 동시에, 상기 실리콘 소스 가스를 화학적으로 반응시켜 제2 절연 박층을 형성하는 공정을 구비하고, 상기 제1 절연 박층, 상기 제1 금속 박층, 상기 제2 절연 박층을 이 순서로 적층한다.

[0011] 본 발명의 추가 목적 및 이점들은 다음의 상세한 설명에 개시될 것이며, 일부는 상세한 설명으로부터 명백할 것이고 또는 본 발명의 실시예에 의해 학습될 수도 있다. 본 발명의 목적 및 이점들은 특별히 이후에 개시되는 수단들 및 조합들에 의해 인식되고 얻어질 수도 있다.

[0012] 본 명세서에 합체되고 일부로 구성되는 첨부 도면들은 본 발명의 실시예들을 나타내고 있고, 상기한 일반적인 설명과 함께 하기되는 실시예들의 상세한 설명은 본 발명의 원리들을 설명하는 것으로 제공된다.

**효과**

[0013] 본 발명에 따르면, 금속 도프된 실리콘 함유 절연막을 형성시킬 때에, 금속 농도를 비교적 저농도로 제어성 좋게 설정하는 것이 가능한 반도체 처리용 성막 방법 및 장치를 제공할 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0014] 이하에, 본 발명의 실시 형태에 대해 도면을 참조하여 설명한다. 또한, 이하의 설명에 있어서, 대략 동일 기능 및 구성을 갖는 구성 요소에 대해서는, 동일 부호를 부여하고, 중복 설명은 필요한 경우에만 행한다.

[0015] 도 1은 본 발명의 실시 형태에 관한 성막 장치(중형 CVD 장치)를 도시하는 단면도이다. 도 2는 도 1에 도시한 장치의 일부를 도시하는 횡단 평면도이다. 이 성막 장치(2)는 실리콘 소스 가스인 디클로로실란(DCS) 가스를 포함하는 제1 처리 가스와, 질화 가스 또는 환원 가스인 암모니아(NH<sub>3</sub>) 가스를 포함하는 제2 처리 가스와, 금속 소스 가스인 TMA(트리메틸알루미늄 : 유기 금속 화합물) 가스를 포함하는 제3 처리 가스를 선택적으로 공급 가능한 처리 영역을 구비한다. 성막 장치(2)는 이와 같은 처리 영역 내에서 피처리 기판 상에 금속 도프된 실리콘 함유 절연막의 예로서 알루미늄 도프 실리콘질화막(SiAlN막)을 형성하도록 구성된다.

- [0016] 성막 장치(2)는 간격을 두고 적층된 복수의 반도체 웨이퍼(피처리 기관)를 수납하여 처리하는 처리 영역(5)을 내부에 규정하고, 하단부가 개방된 천장이 있는 원통체 형상의 처리 용기(4)를 갖는다. 처리 용기(4)의 전체는 예를 들어 석영에 의해 형성된다. 처리 용기(4) 내의 천장에는 석영체의 천장판(6)이 배치되어 밀봉되고, 처리 용기(4)의 하단부 개구에는 플랜지부(8)가 배치된다. 또한, 처리 용기(4)의 하단부에 스테인레스 스틸제의 매니폴드를 연결할 수도 있다.
- [0017] 처리 용기(4)의 하단부 개구를 통해, 석영체의 웨이퍼 보트(12)가 승강되고, 이에 의해 처리 용기(4)에 대해 웨이퍼 보트(12)가 로드/언로드된다. 웨이퍼 보트(12)에는, 피처리 기관으로서, 다수매의 반도체 웨이퍼(W)가 다단으로 적재된다. 본 실시 형태의 경우에 있어서, 웨이퍼 보트(12)의 지지 기둥(12A)에는, 예를 들어 50 내지 100매 정도의 직경이 300mm의 웨이퍼(W)가 대략 등피치로 다단으로 지지 가능해진다.
- [0018] 웨이퍼 보트(12)는 석영체의 보온통(14)을 통해 테이블(16) 상에 적재된다. 테이블(16)은 처리 용기(4)의 하단부 개구를 개폐하는 예를 들어 스테인레스스틸제의 덮개체(18)를 관통하는 회전축(20) 상에 지지된다.
- [0019] 회전축(20)의 관통부에는, 예를 들어 자성 유체 시일(22)이 개재 설치되어, 회전축(20)을 기밀하게 시일하면서 회전 가능하게 지지한다. 덮개체(18)의 주변부와 처리 용기(4)의 하단부에는, 예를 들어 O링 등으로 이루어지는 시일 부재(24)가 개재 설치되어, 용기 내의 시일성을 유지한다.
- [0020] 회전축(20)은, 예를 들어 보트 엘리베이터 등의 승강 기구(25)에 지지된 아암(26)의 선단부에 설치된다. 승강 기구(25)에 의해, 웨이퍼 보트(12) 및 덮개체(18) 등이 일체적으로 승강된다. 또한, 테이블(16)을 덮개체(18) 측에 고정하여 설치하고, 웨이퍼 보트(12)를 회전시키지 않고 웨이퍼(W)의 처리를 행하도록 해도 좋다.
- [0021] 처리 용기(4)의 하부에는, 처리 용기(4) 내의 처리 영역(5)에 소정의 처리 가스를 공급하기 위한 가스 공급부가 접속된다. 가스 공급부는, 제2 처리 가스 공급계(28), 제1 처리 가스 공급계(30), 제3 처리 가스 공급계(32) 및 퍼지 가스 공급계(34)를 포함한다. 제1 처리 가스 공급계(30)는 실리콘 소스 가스로서 DCS(디클로로실란) 가스를 포함하는 제1 처리 가스를 공급한다. 제2 처리 가스 공급계(28)는 질화 가스 또는 환원 가스로서 암모니아(NH<sub>3</sub>) 가스를 포함하는 제2 처리 가스를 공급한다. 제3 처리 가스 공급계(32)는, 금속 소스 가스로서 TMA 가스를 포함하는 제3 처리 가스를 공급한다. 퍼지 가스 공급계(34)는 퍼지 가스로서 불활성 가스, 예를 들어 N<sub>2</sub> 가스를 공급한다. 제1 내지 제3 처리 가스에는, 필요에 따라서 적당한 양의 캐리어 가스가 혼합되지만, 이하에서는, 설명을 용이하게 하기 위해 캐리어 가스에 대해서는 언급하지 않는다.
- [0022] 구체적으로는, 제2, 제1 및 제3 처리 가스 공급계(28, 30, 32), 및 퍼지 가스 공급계(34)는, 처리 용기(4)의 플랜지부(8) 내에 반경 방향으로 연장되는 가스 유로에 접속된 가스 분산 노즐(38, 40, 42, 44)을 각각 갖는다. 각 가스 분산 노즐(38, 40, 42, 44)은 수평 방향으로부터 수직 방향으로 굴곡되어 상방향으로 연장되는 석영판으로 이루어진다. 또한, 도 1에서는, 구조의 이해를 용이하게 하기 위해, 노즐(38, 40, 42, 44)은 처리 용기(4)의 하부 측벽을 관통한 상태로 도시된다. 각 가스 분산 노즐(38 내지 44)에는, 그 길이 방향(상하 방향)을 따라 또한 웨이퍼 보트(12) 상의 웨이퍼(W)의 전체에 걸치도록 복수의 가스 분사 구멍(38A, 40A, 42A, 44A)이 소정 간격을 두고 형성된다. 가스 분사 구멍(38A, 40A, 42A, 44A)은 웨이퍼 보트(12) 상의 복수의 웨이퍼(W)에 대해 평행한 가스류를 형성하도록, 수평 방향으로 대략 균일하게 대응의 처리 가스를 각각 공급한다.
- [0023] 노즐(38, 40, 42, 44)은 가스 공급 라인(가스 통로)(48, 50, 52, 54)을 통해, NH<sub>3</sub> 가스, DCS 가스, TMA 가스, 및 N<sub>2</sub> 가스의 가스원(28S, 30S, 32S, 34S)에 각각 접속된다. 가스 공급 라인(48, 50, 52, 54) 상에는, 개폐 밸브(48A, 50A, 52A, 54A)와 매스 플로우 컨트롤러와 같은 유량 제어기(48B, 50B, 52B, 54B)가 배치된다. 이에 의해, NH<sub>3</sub> 가스, DCS 가스, TMA 가스, 및 N<sub>2</sub> 가스가 각각 유량 제어하면서 공급 가능해진다.
- [0024] 처리 용기(4)의 측벽의 일부에는, 그 높이 방향을 따라 가스 여기부(66)가 배치된다. 가스 여기부(66)에 대항하는 처리 용기(4)의 반대측에는, 이 내부 분위기를 진공 배기하기 위해 처리 용기(4)의 측벽을, 예를 들어 상하 방향으로 깎아냄으로써 형성한 가늘고 긴 배기구(68)가 배치된다.
- [0025] 구체적으로는, 가스 여기부(66)는 처리 용기(4)의 측벽을 상하 방향을 따라 소정의 폭으로 깎아냄으로써 형성한 상하로 가늘고 긴 개구(70)를 갖는다. 개구(70)는 처리 용기(4)의 외벽에 기밀하게 용접 접합된 석영체의 커버(72)에 의해 덮여진다. 커버(72)는 처리 용기(4)의 외측으로 돌출되도록 단면 오목부 형상을 이루고, 또한 상하로 가늘고 긴 형상을 갖는다.
- [0026] 이 구성에 의해, 처리 용기(4)의 측벽으로부터 돌출되고 또한 일측이 처리 용기(4) 내로 개방되는 가스 여기부

(66)가 형성된다. 즉, 가스 여기부(66)의 내부 공간은 처리 용기(4) 내의 처리 영역(5)에 연통한다. 개구(70)는 웨이퍼 보트(12)에 보유 지지되는 모든 웨이퍼(W)를 높이 방향에 있어서 커버할 수 있도록 상하 방향으로 충분히 길게 형성된다.

[0027] 커버(72)의 양 측벽의 외측면에는, 그 길이 방향(상하 방향)을 따라 서로 대향하도록 하여 가늘고 긴 한 쌍의 전극(74)이 배치된다. 전극(74)에는 플라즈마 발생용 고주파 전원(76)이 급전 라인(78)을 통해 접속된다. 전극(74)에 예를 들어 13.56MHz의 고주파 전압을 인가함으로써, 한 쌍의 전극(74) 사이에 플라즈마를 여기하기 위한 고주파 전계가 형성된다. 또한, 고주파 전압의 주파수는 13.56MHz에 한정되지 않고, 다른 주파수, 예를 들어 400kHz 등을 사용해도 좋다.

[0028] 제2 처리 가스의 가스 분산 노즐(38)은, 웨이퍼 보트(12) 상의 최하 레벨의 웨이퍼(W)보다도 하부의 위치에서, 처리 용기(4)의 반경 방향 외측으로 굴곡된다. 그 후, 가스 분산 노즐(38)은 가스 여기부(66) 내의 가장 안쪽 [처리 용기(4)의 중심으로부터 가장 이격된 부분]의 위치에서 수직으로 기립하는 가스 분산 노즐(38)은, 도 2에도 도시한 바와 같이 한쌍의 대향하는 전극(74) 사이에 끼인 영역(고주파 전계가 가장 강한 위치), 즉 주된 플라즈마가 실제로 발생하는 플라즈마 발생 영역(PS)보다도 외측으로 이격된 위치에 설치된다. 가스 분산 노즐(38)의 가스 분사 구멍(38A)으로부터 분사된 NH<sub>3</sub> 가스를 포함하는 제2 처리 가스는, 플라즈마 발생 영역(PS)을 향해 분사되고, 여기서 여기(분해 혹은 활성화)되고, 그 상태에서 웨이퍼 보트(12) 상의 웨이퍼(W)에 공급된다.

[0029] 커버(72)의 외측에는, 이를 덮도록 하여 예를 들어 석영으로 이루어지는 절연 보호 커버(80)가 설치된다. 절연 보호 커버(30)의 내측이며 전극(74)과 대향하는 부분에는, 냉매 통로로 이루어지는 냉각 기구(도시하지 않음)가 배치된다. 냉매 통로에, 냉매로서 예를 들어 냉각된 질소 가스를 흐르게 함으로써 전극(74)이 냉각된다. 또한, 절연 보호 커버(80)의 외측에는, 이를 덮어 고주파의 누설을 방지하기 위해 실드(도시하지 않음)가 배치된다.

[0030] 가스 여기부(66)의 개구(70)의 외측 근방, 즉 개구(70)의 외측[처리 용기(4) 내]의 한쪽측에 제1 및 제3 처리 가스의 가스 분산 노즐(40, 42)이 수직으로 기립되어 배치되고, 타방측에 퍼지 가스의 가스 분산 노즐(44)이 수직으로 기립되어 배치된다. 가스 분산 노즐(40, 42, 44)에 형성된 가스 분사 구멍(40A, 42A, 44A)으로부터 처리 용기(4)의 중심 방향을 향해 DCS 가스를 포함하는 제1 처리 가스, TMA 가스를 포함하는 제3 처리 가스, 및 N<sub>2</sub> 가스로 이루어지는 퍼지 가스가 각각 분사된다.

[0031] 한편, 가스 여기부(66)에 대향시켜 마련한 배기구(68)에는, 이를 덮도록 하여 석영으로 이루어지는 단면 역ㄷ자 형상으로 성형된 배기구 커버 부재(82)가 용접에 의해 설치된다. 배기구 커버 부재(82)는 처리 용기(4)의 측벽을 따라 하방으로 연장되고 또한 수평 방향으로 굴곡되고, 여기에 가스 출구(84)가 형성된다. 가스 출구(84)에는, 압력 조정 밸브(86)나 진공 펌프(88)를 갖는 진공 배기계(GE)가 접속된다.

[0032] 처리 용기(4)를 포위하도록, 처리 용기(4) 내의 분위기 및 웨이퍼(W)를 가열하는 히터(90)가 배치된다. 처리 용기(4) 내의 배기구(68)의 근방에는 히터(90)를 제어하기 위한 열전대(도시하지 않음)가 배치된다.

[0033] 또한 성막 장치(2)는 장치 전체의 동작을 제어하는 컴퓨터 등으로 이루어지는 주 제어부(92)를 구비한다. 주 제어부(92)는 이에 부수되는 기억부(94)에 미리 기억된, 성막 처리의 처리 레시피, 예를 들어 형성되는 막의 막 두께나 조성에 따라서 후술하는 성막 처리를 행한다. 이 기억부(94)에는 또한, 처리 가스 유량 등의 처리 조건과 막의 막 두께나 조성의 관계가 미리 제어 데이터로서 기억된다. 따라서, 주 제어부(92)는, 이들의 기억된 처리 레시피나 제어 데이터를 기초로 하여 승강 기구(25), 가스 공급계(28, 30, 32, 34), 배기계(GE), 가스 여기부(66), 히터(90) 등을 제어할 수 있다.

[0034] 다음에, 도 1에 도시하는 장치를 사용하여 행해지는 성막 방법에 대해 설명한다. 이 성막 방법에서는, 반도체 웨이퍼(W) 상에 금속 도프된 실리콘 함유 절연막의 예로서 알루미늄 도프 실리콘질화막(SiAlN막)을 형성한다. 이로 인해, 웨이퍼(W)를 수납한 처리 영역(5) 내에 실리콘 소스 가스인 디클로로실란(DCS) 가스를 포함하는 제1 처리 가스와, 질화 가스 또는 환원 가스인 암모니아(NH<sub>3</sub>) 가스를 포함하는 제2 처리 가스와, 금속 소스 가스인 TMA 가스를 포함하는 제3 처리 가스를 선택적으로 공급한다. 구체적으로는, 이하의 조작에 의해 성막 처리를 진행한다.

[0035] 우선, 다수매, 예를 들어 50 내지 100매의 300mm 사이즈의 웨이퍼(W)를 유지한 상온의 웨이퍼 보트(12)를, 소정 온도로 설정된 처리 용기(4) 내에 로드하고, 처리 용기(4)를 밀폐한다. 다음에, 처리 용기(4) 내를 진공화하여 소정의 처리 압력으로 유지하는 동시에, 웨이퍼 온도를 상승시켜 성막용 처리 온도로 안정될 때까지 대기한다.

다음에, 웨이퍼 보트(12)를 회전시키면서, 제1 내지 제3 처리 가스 및 퍼지 가스를, 후술하는 타이밍에서, 각각 유량 제어하면서 가스 분산 노즐(40, 38, 42, 44)로부터 공급한다. 또한, 성막 처리 중, 처리 용기(4) 내를 연속적으로 진공 배기한다.

- [0036] 도 3은 본 발명의 실시 형태에 관한 성막 방법을 나타내는 흐름도이다. 도 3에 도시한 바와 같이, 본 실시 형태에 있어서는, 실리콘 소스 가스를 사용하여 절연 박층을 형성하는 공정과, 금속 소스 가스를 사용하여 금속 박층을 형성하는 공정을 교대로 복수회 반복하여 행함으로써, 금속 도프된 실리콘 함유 절연막을 형성한다.
- [0037] 절연 박층 형성 공정에서는 DCS 가스를 포함하는 제1 처리 가스와 NH<sub>3</sub> 가스를 포함하는 제2 처리 가스가 사용되고, 금속 박층 형성 공정에서는 TMA 가스를 포함하는 제3 처리 가스와 NH<sub>3</sub> 가스를 포함하는 제2 처리 가스가 사용된다. 절연 박층 형성 공정과 금속 박층 형성 공정 사이에는, 처리 용기(4) 내에 퍼지 가스를 공급하여 잔류하는 가스를 배제하기 위한 층간 퍼지 공정(개재 공정)을 행한다. 성막 처리의 처음과 마지막은 절연 박층 형성 공정이 행해지도록 한다.
- [0038] 도 3에서는 절연 박층 형성 공정과 금속 박층 형성 공정 사이에 층간 퍼지 공정을 끼워 공정 S1로부터 공정 Sn(n은 3 이상의 양의 정수)까지 행하는 경우를 나타낸다. 상기 n은 3 이상이며, 따라서 금속 박층은 적어도 1층 마련하도록 한다.
- [0039] 도 4는 본 발명의 실시 형태에 관한 성막 방법의 각 공정과 온도의 관계를 나타내는 도면이다. 도 4에 도시한 바와 같이, 금속 박층 형성 공정에서 사용하는 금속 소스 가스에 의해 그 가스 종류에 최적의 처리 온도가 되도록, 절연 박층 형성 공정의 처리 온도로부터 변경되는 것이 바람직하다. 이 변경을 위한 승강온의 조작은 층간 퍼지 공정 중에 행한다.
- [0040] 층간 퍼지 공정의 길이는, 처리 용기(4)의 용량에도 의하지만, 예를 들어 0.5 내지 2.0 시간 정도이다. 도 3 중의 각 절연 박층 형성 공정 S1, S3...이나 각 금속 박층 형성 공정 S2, S4...의 각 길이는 각각 개별적으로 임의로 설정할 수 있다. 각 공정의 길이를 적절하게 선택함으로써, 금속 도프막 중의 금속 농도 및 막 두께 방향에 있어서의 금속의 농도 분포를 제어할 수 있다.
- [0041] 도 5a, 도 5b는 각각 본 발명의 실시 형태에 관한 성막 방법으로 형성되는 다른 금속 도프막을 도시하는 확대 단면도이다. 도 5a는 도 3 중에 있어서의 n=3의 경우를 나타내고, 도 5b는 n=7의 경우를 나타낸다. 즉, 도 5a에 도시하는 경우에는, 반도체 웨이퍼(W)의 표면에 형성되는 금속 도프막(100)은, 도 3 중의 공정 S1에서 형성한 SiN으로 이루어지는 제1 절연 박층(102)과, 공정 S2에서 형성한 Al로 이루어지는 제1 금속 박층(104)과, 이 공정 S3에서 형성한 SiN으로 이루어지는 제2 절연 박층(106)이 이 순서로 적층됨으로써 구성된다.
- [0042] 도 5a에 도시하는 금속 도프막(100)의 경우, 제1 금속 박층(104)의 두께는 매우 얇고, 이 상하의 양측 절연 박층(102, 106)의 두께는 상당히 두껍다. 이에 의해, 금속 도프막(100)의 막 두께 방향의 중앙부에 있어서의 금속 농도가 높아지도록 설정된다. 또한, 도 5a에서는, 금속 도프막(100)의 각 층의 경계선이 명확하게 나타나지만, 실제로는 경계선은 그만큼 명확하지는 않다. 왜냐하면, 성막 공정이나 후공정으로서 행해지는 가열 처리의 온도에 의해 금속 박층(104) 중의 금속, 즉 알루미늄이 상하의 절연 박층(102, 106)을 향해 열확산되기 때문이다.
- [0043] 도 5b에 도시하는 금속 도프막(110)의 경우, 도 3 중의 공정 S1에서 형성한 SiN으로 이루어지는 제1 절연 박층(112)과, 공정 S2에서 형성한 Al로 이루어지는 제1 금속 박층(114)과, 공정 S3에서 형성한 SiN으로 이루어지는 제2 절연 박층(116)과, 공정 S4에서 형성한 Al로 이루어지는 제2 금속 박층(118)과, 공정 S5에서 형성한 SiN으로 이루어지는 제3 절연 박층(120)과, 공정 S6에서 형성한 Al로 이루어지는 제3 금속 박층(122)과, 공정 S7에서 형성한 SiN으로 이루어지는 제4 절연 박층(124)이 이 순서로 적층됨으로써 구성된다. 이 경우, 도 5a의 경우와는 달리, 금속 도프막(110)의 막 두께 방향에 있어서 금속 농도가 대략 균등해지도록 설정된다.
- [0044] 도 5b에서도, 금속 도프 막(110)의 각 층의 경계선이 명확하게 나타나지만, 실제로는 경계선은 그만큼 명확하지는 않다. 왜냐하면, 성막 공정이나 후공정으로서 행해지는 가열 처리의 온도에 의해 금속 박층(114, 118, 122) 중의 금속, 즉 알루미늄이 상하의 절연 박층(112, 116, 120, 124)을 향해 열확산되기 때문이다.
- [0045] 도 5a, 도 5b는 금속 도프막의 일례를 나타냈을 뿐으로, 각 절연 박층이나 금속 박층의 적층수는 여기에 나타낸 수에 한정되지 않는다. 또한, 도 5a, 도 5b에 있어서는, 이해를 용이하게 하기 위해, 웨이퍼(W) 상에 직접 금속 도프막이 형성되지만, 웨이퍼(W)와 금속 도프막 사이에 다른 박막이 개재해도 좋다.
- [0046] 도 6a는, 본 발명의 실시 형태에 관한 성막 방법의 절연 박층 형성 공정에 있어서의 가스 공급 및 RF(고주파)

인가의 형태를 나타내는 타이밍차트이다. 도 6a에 도시한 바와 같이, 절연 박층 형성 공정에서는 실리콘 소스 가스인 DCS 가스를 포함하는 제1 처리 가스와 질화 가스인 NH<sub>3</sub> 가스를 포함하는 제2 처리 가스를 사용하고, 제1 내지 제4 서브 공정(T1 내지 T4)을 교대로 반복한다. 제1 내지 제4 서브 공정(T1 내지 T4)으로 이루어지는 사이클을 1회 혹은 복수회 반복하여, 사이클마다 형성되는 매우 얇은 실리콘질화물의 층을 적층함으로써, 소정 두께의 절연 박층을 얻을 수 있다.

[0047] 즉, 제1 서브 공정(T1)에서는, 처리 영역(5)에 대한 제1 처리 가스(도 6a에서는 DCS라 표시)의 공급을 행하는 한편, 처리 영역(5)에 대한 제2 처리 가스(도 6a에서는 NH<sub>3</sub>이라 표시)의 공급의 차단을 유지한다. 제2 서브 공정(T2)에서는, 처리 영역(5)에 대한 제1 및 제2 처리 가스의 공급의 차단을 유지한다. 제3 서브 공정(T3)에서는, 처리 영역(5)에 대한 제2 처리 가스의 공급을 행하는 한편, 처리 영역(5)에 대한 제1 처리 가스의 공급의 차단을 유지한다. 제4 서브 공정(T4)에서는, 처리 영역(5)에 대한 제1 및 제2 처리 가스의 공급의 차단을 유지한다.

[0048] 제2 및 제4 서브 공정(T2, T4)은, 처리 용기(4) 내에 잔류하는 가스를 배제하는 퍼지 서브 공정으로서 사용된다. 여기서 퍼지라 함은, N<sub>2</sub> 가스 등의 불활성 가스를 흐르게 하면서 처리 용기(4) 내를 진공 배기하는 것, 혹은 모든 가스의 공급의 차단을 유지하여 처리 용기(4) 내를 진공 배기함으로써, 처리 용기(4) 내의 잔류 가스를 제거하는 것을 의미한다. 또한, 제2 및 제4 서브 공정(T2, T4)의 전반은 진공 배기만을 행하고, 후반은 진공 배기와 불활성 가스 공급을 함께 행하도록 해도 좋다.

[0049] 제3 서브 공정(T3)에서는, RF 전원(76)을 온(ON) 상태로 설정하여 가스 여기부(66)에서 제2 처리 가스를 플라즈마화함으로써, 제2 처리 가스를 여기한 상태에서 처리 영역(5)에 공급한다. 이에 의해, NH<sub>3</sub> 가스에 유래하는 라디칼이 생성되어, 웨이퍼(W)의 표면에 부착되는 DCS 가스의 분자 등의 반응성을 높일 수 있다.

[0050] 구체적으로는, DCS 가스를 포함하는 제1 처리 가스는 가스 분산 노즐(40)의 가스 분사 구멍(40A)으로부터, 웨이퍼 보트(12) 상의 복수의 웨이퍼(W)에 대해 평행한 가스류를 형성하도록 공급된다. 이 동안에, DCS 가스의 분자 혹은 그 분해에 의해 발생한 분해 생성물의 분자 혹은 원자가 웨이퍼 상에 흡착된다.

[0051] 한편, NH<sub>3</sub> 가스를 포함하는 제2 처리 가스는 가스 분산 노즐(38)의 가스 분사 구멍(38A)으로부터 웨이퍼 보트(12) 상의 복수의 웨이퍼(W)에 대해 평행한 가스류를 형성하도록 공급된다. 제2 처리 가스는 한 쌍의 전극(74) 사이의 플라즈마 발생 영역(PS)을 통과할 때에 여기되어 일부가 플라즈마화된다. 이때, 예를 들어 N\*, NH\*, NH<sub>2</sub>\*, NH<sub>3</sub>\* 등의 라디칼(활성종)이 생성된다(기호 「\*」는 라디칼인 것을 나타냄). NH<sub>3</sub> 가스에 유래하는 라디칼 등은, 가스 여기부(66)의 개구(70)로부터 처리 용기(4)의 중심을 향해 흘러 나와, 웨이퍼(W) 상호간에 층류 상태로 공급된다.

[0052] 상기 라디칼 등은 웨이퍼(W)의 표면에 부착되어 있는 DCS 가스의 분자와 반응(질화)하고, 이에 의해 웨이퍼(W) 상에 원자 레벨 혹은 분자 레벨의 매우 얇은 실리콘질화물 층이 형성된다. 이와는 반대로, 웨이퍼(W)의 표면에 NH<sub>3</sub> 가스에 유래하는 라디칼 등이 흡착되어 있는 장소에 DCS 가스가 흘러 온 경우에도, 같은 반응이 발생하여, 웨이퍼(W) 상에 매우 얇은 실리콘질화물 층이 형성된다. 제1 내지 제4 서브 공정(T1 내지 T4)으로 이루어지는 사이클로 형성되는 매우 얇은 실리콘질화물 층의 두께는 0.1nm 정도이다. 이 사이클을 반복함으로써, 이와 같은 매우 얇은 실리콘질화물의 층을 적층하여, 소정 두께의 절연 박층을 얻을 수 있다.

[0053] 상술한 바와 같은 성막 처리에 의해, 도 5a, 도 5b 중의 각 절연 박층(102, 106, 112, 116, 120, 124)이 형성된다. 또한, DCS 가스를 포함하는 제1 처리 가스의 공급 서브 공정(T1)은 3 내지 60sec 정도, NH<sub>3</sub> 가스를 포함하는 제2 처리 가스의 공급 서브 공정(T3)은 10 내지 120sec 정도, 퍼지 서브 공정(T2, T4)은 10 내지 60sec 정도이다.

[0054] 도 6b는 본 발명의 실시 형태에 관한 성막 방법의 금속 박층 형성 공정에 있어서의 가스 공급 및 RF(고주파) 인가의 형태를 나타내는 타이밍차트이다. 도 6b에 도시한 바와 같이, 금속 박층 형성 공정에서는, 금속 소스 가스인 TMA 가스를 포함하는 제3 처리 가스와 반응 가스인 NH<sub>3</sub> 가스를 포함하는 제2 처리 가스를 사용하고, 제1 내지 제4 서브 공정(T11 내지 T14)을 교대로 반복한다. 제1 내지 제4 서브 공정(T11 내지 T14)으로 이루어지는 사이클을 1회 혹은 복수회 반복하여, 사이클마다 형성되는 매우 얇은 금속의 층을 적층함으로써, 소정 두께의 금속 박층을 얻을 수 있다.

[0055] 즉, 제1 서브 공정(T11)에서는, 처리 영역(5)에 대한 제3 처리 가스(도 6b에서는 TMA라 표시)의 공급을 행하는

한편, 처리 영역(5)에 대한 제2 처리 가스(도 6b에서는 NH<sub>3</sub>이라 표시)의 공급의 차단을 유지한다. 제2 서브 공정(T12)에서는, 처리 영역(5)에 대한 제2 및 제3 처리 가스의 공급의 차단을 유지한다. 제3 서브 공정(T13)에서는, 처리 영역(5)에 대한 제2 처리 가스의 공급을 행하는 한편, 처리 영역(5)에 대한 제3 처리 가스의 공급의 차단을 유지한다. 제4 서브 공정(T14)에서는, 처리 영역(5)에 대한 제2 및 제3 처리 가스의 공급의 차단을 유지한다. 제2 및 제4 서브 공정(T12, T14)은 처리 용기(4) 내에 잔류하는 가스를 배제하는 퍼지 서브 공정으로서 사용된다.

[0056] 제3 서브 공정(T13)에서는, RF 전원(76)을 온 상태로 설정하여 가스 여기부(66)에서 제2 처리 가스를 플라즈마 화함으로써, 제2 처리 가스를 여기한 상태에서 처리 영역(5)에 공급한다. 이에 의해, NH<sub>3</sub> 가스에 유래하는 라디칼이 생성되어, 웨이퍼(W)의 표면에 부착하는 TMA 가스의 분자 등의 반응성을 높일 수 있다.

[0057] 구체적으로는, TMA 가스를 포함하는 제3 처리 가스는 가스 분산 노즐(42)의 가스 분사 구멍(42A)으로부터, 웨이퍼 보트(12) 상의 복수의 웨이퍼(W)에 대해 평행한 가스류를 형성하도록 공급된다. 이 사이에, TMA 가스의 분자 혹은 그 분해에 의해 발생한 분해 생성물의 분자 혹은 원자가 웨이퍼 상에 흡착된다.

[0058] 한편, NH<sub>3</sub> 가스를 포함하는 제2 처리 가스는 가스 분산 노즐(38)의 가스 분사 구멍(38A)으로부터, 웨이퍼 보트(12) 상의 복수의 웨이퍼(W)에 대해 평행한 가스류를 형성하도록 공급된다. 제2 처리 가스는, 한 쌍의 전극(74) 사이의 플라즈마 발생 영역(PS)을 통과할 때에 여기되어 일부가 플라즈마화된다. NH<sub>3</sub> 가스에 유래하는 라디칼 등은, 가스 여기부(66)의 개구(70)로부터 처리 용기(4)의 중심을 향해 흘러 나와, 웨이퍼(W) 상호간에 층류 상태로 공급된다.

[0059] 상기 라디칼은 웨이퍼(W)의 표면에 부착되어 있는 TMA 가스의 분자 등과 반응하고, 이에 의해 웨이퍼(W) 상에 원자 레벨 혹은 분자 레벨의 매우 얇은 금속의 층이 형성된다. 제1 내지 제4 서브 공정(T11 내지 T14)으로 이루어지는 사이클로 형성되는 매우 얇은 금속의 층 두께는 0.1nm 정도이다. 이 사이클을 반복함으로써, 이와 같은 매우 얇은 금속의 층을 적층하여, 소정 두께의 금속 박층을 얻을 수 있다.

[0060] 상술한 바와 같은 성막 처리에 의해, 도 5a, 도 5b 중의 각 금속 박층(104, 114, 118, 122)이 형성된다. 또한, TMA 가스를 포함하는 제3 처리 가스의 공급 서브 공정(T11)은 3 내지 60sec 정도, NH<sub>3</sub> 가스를 포함하는 제2 처리 가스의 공급 서브 공정(T13)은 10 내지 120sec 정도, 퍼지 서브 공정(T12, T14)은 10 내지 60sec 정도이다.

[0061] 도 6a, 도 6b에 나타내는 타이밍차트에 있어서, 기점과 종점은 DCS 가스를 포함하는 제1 처리 가스 혹은 TMA 가스를 포함하는 제3 처리 가스의 공급 서브 공정, NH<sub>3</sub> 가스를 포함하는 제2 처리 가스의 공급 서브 공정, 퍼지 서브 공정 중 어느 공정이라도 좋다.

[0062] 절연 박층 형성 공정에 있어서, 처리 압력은 70 내지 860Pa의 범위 내, 처리 온도는 400 내지 600℃, 바람직하게는 450 내지 550℃의 범위이다. 금속 박층 형성 공정에 있어서, 처리 압력은 4 내지 200Pa의 범위 내, 처리 온도는 150 내지 300℃, 바람직하게는 200 내지 250℃ 범위 내(도 4 참조)이다.

[0063] 도 5a 중에 있어서, 제1 절연 박층(102)의 두께는, 2.0 내지 10.0nm 정도, 예를 들어 3.9nm 정도, 제1 금속 박층(104)의 두께는 0.1 내지 1.0nm 정도, 예를 들어 0.1 내지 0.3nm 정도, 제2 절연 박층(106)의 두께는 2.0 내지 10.0nm 정도, 예를 들어 4.0nm 정도이다. 도 5b 중에 있어서, 제1과 제4 절연 박층(112, 124)의 두께는 모두 0.1 내지 1.5nm 정도, 예를 들어 0.2 내지 0.5nm 정도, 제2와 제3 절연 박층(116, 120)의 두께는 모두 0.2 내지 3.0nm 정도, 예를 들어 0.4 내지 1.0nm 정도, 제1, 제2, 제3 금속 박층(114, 118, 122)의 두께는 모두 0.1 내지 0.6nm 정도, 예를 들어 0.1 내지 0.3nm 정도이다.

[0064] 상기 실시 형태에 관한 성막 방법에 따르면, 금속 도프막(100, 110)을 형성하는 데 있어서, 실리콘 소스 가스를 사용하여 절연 박층을 형성하는 절연 박층 형성 공정과, 금속으로서 예를 들어 알루미늄을 포함하는 금속 소스 가스를 사용하여 금속 박층을 형성하는 금속 박층 형성 공정을, 금속 박층 형성 공정이 적어도 1회 포함되도록 교대로 반복하여 행한다. 이에 의해, 금속 도프된 실리콘 함유 절연막을 형성시킬 때에, 금속 농도를 비교적 저농도로 제어성 좋게 설정하는 것이 가능한 동시에, 막 두께 방향에 있어서의 금속의 농도 분포를 조정할 수 있다.

[0065] 특히, 절연 박층의 전체의 두께에 대해, 금속 박층의 전체의 두께를 작게 하면, 금속 도프막 중에 있어서의 금속의 농도를 매우 작게 할 수 있다. 이와 같은 금속 도프막은, 전술한 바와 같이 메모리 소자의 전하 트랩층 등으로서 유효하게 이용하는 것이 가능하다.

- [0066] <실험 1>
- [0067] 상기 실시 형태에 관한 성막 방법을 사용하여 도 5a에 도시하는 금속 도프막(100) 및 도 5b에 도시하는 금속 도프막(110)을 형성하고, 그들의 금속 농도를 측정하였다. 실리콘 소스 가스로서 DCS 가스를 사용하고, 금속 소스 가스로서 TMA 가스를 사용하고, 질화 가스 혹은 반응 가스로서 NH<sub>3</sub> 가스를 사용하였다. 금속 도프막 중의 Al은 SIMS(이차 이온 질량 분석법)을 사용하여 측정하였다.
- [0068] 도 5a에 도시하는 금속 도프막(100)은, 제1 및 제2 절연 박층(102, 106)을 형성하기 위해 도 6a에 나타내는 사이클을 40회 반복하고, 제1 금속 박층(104)을 형성하기 위해 도 6b에 나타내는 사이클을 6회 반복하였다. 도 5b에 도시하는 금속 도프막(110)은 제1 및 제4 절연 박층(112, 124)을 형성하기 위해 도 6a에 나타내는 사이클을 3회 반복하고, 제2 및 제3 절연 박층(116, 120)을 형성하기 위해 도 6a에 나타내는 사이클을 6회 반복하고, 또한 제1, 제2 및 제3 금속 박층(114, 118, 120)을 형성하기 위해 도 6b에 나타내는 사이클을 1회 행하였다.
- [0069] 도 7a, 도 7b는 각각 실험에 의해 얻어진 도 5a, 도 5b에 도시하는 금속 도프막 중의 알루미늄의 농도의 분포를 나타내는 그래프이다. 도 7a에 도시한 바와 같이, 금속 도프막에 금속 박층을 1층만 마련한 경우에는, Al 농도의 날카로운 피크가 막 두께 방향의 중앙부 근방에 존재하였다. 이에 대해, 도 7b에 도시한 바와 같이, 금속 도프 막에 금속 박층을 3층 분산시켜 마련한 경우에는, Al 농도는 막 두께 방향으로 대략 균일하게 확산, 혹은 분산되어 존재하였다.
- [0070] 이와 같이, 형성하는 금속 박층의 수를 조정함으로써, 금속 도프 막의 두께 방향에 있어서의 금속 농도를 조절할 수 있다. 또한, 각 금속 박층의 두께 자체를 증감시키면, 금속 농도 자체의 대소를 임의로 제어할 수 있다.
- [0071] <실험 2>
- [0072] 상기 실시 형태에 관한 성막 방법을 사용하여, 금속 도프막 중의 금속 농도의 제어성에 대해 검토하였다. 실제의 성막 장치에서는 금속 소스 가스를 소량으로 안정 공급하는 것은 상당히 곤란하고, 보다 저농도의 금속 도프량이 요구되는 경우, 이에 대응하는 것은 용이하지는 않다. 그래서, 일단 형성된 금속 박층의 일부를 승화, 혹은 휘발시킴으로써 실질적으로 저농도의 금속 도프량을 실현할 수 있다. 예를 들어, 금속 박층 형성 공정(예를 들어, 도 4의 공정 S4)에서 금속 박층을 형성한 후의 절연 박층 형성 공정(S5)에 있어서의 처리 온도를 제어함으로써 상기 금속 박층의 두께의 조정을 행할 수 있다.
- [0073] 이 실험에서는, 도 5a에 도시하는 금속 도프막(100)을 형성하고, 제2 절연 박층(106)을 형성하는 절연 박층 형성 공정에 있어서의 처리 온도(t1)를 다른 값 450℃, 550℃로 설정하였다. 금속 박층 형성 공정의 처리 온도는 250℃로 하고, 층간 퍼지 공정의 길이(TP)(도 4 참조)는 1시간으로 하였다.
- [0074] 도 8은 실험에 의해 얻어진 절연 박층 형성 공정의 온도에 대한 알루미늄의 농도의 의존성을 나타내는 그래프이다. 도 8에 있어서, Al 금속 농도는 금속 도프막의 전체 두께를 7.0nm로 설정하였을 때의 농도로 환산하고 있다. 도 8에 도시하는 바와 같이, 금속 박층 형성 공정에 있어서 실제로 형성된 두께의 금속 박층에 대응하는 이론 금속 농도는 0.859[atom%]이다. 이에 대해, 직후의 절연 박층 형성 공정에 있어서의 처리 온도(t1)를 450℃로 설정한 경우에는, 금속 농도는 0.323[atom%]으로 감소하였다. 처리 온도(t1)를 550℃로 설정한 경우에는, 금속 농도는 0.139[atom%]로 더욱 감소하였다.
- [0075] 따라서, 금속 박층 형성 공정에 의해 금속 박층을 형성한 후, 직후에 행해지는 절연 박층 형성 공정에 있어서의 처리 온도를 허용 범위 내에서 조정한다(처리 온도를 매개 변수로서 사용함). 이에 의해, 이 금속 박층을 소정량만큼 승화 혹은 휘발시킴으로써 금속 박층의 두께를 변경할 수 있고, 따라서 금속 농도를 더욱 저농도 영역으로 제어할 수 있다.
- [0076] 또한, 같은 관점에서, 층간 퍼지 공정의 길이(TP)나 설정 온도를 매개 변수로서 사용해도, 직전에 형성된 금속 박층을 소정량만큼 승화 혹은 휘발시킴으로써 금속 박층의 두께를 변경할 수 있고, 따라서 금속 농도를 더욱 저농도 영역으로 제어할 수 있다.
- [0077] <변형예>
- [0078] 상기 실시 형태에서는, 도 6a 및 도 6b에 도시한 바와 같이, 절연 박층 형성 공정 및 금속 박층 형성 공정에 있어서, 질화 가스 혹은 반응 가스인 NH<sub>3</sub> 가스를 포함하는 제2 처리 가스를 공급하는 서브 공정에서는 RF를 온으로 하여 플라즈마를 생성하고, NH<sub>3</sub> 가스를 활성화한다. 그러나, 절연 박층 형성 공정 및/또는 금속 박층 형성

공정에 있어서, NH<sub>3</sub> 가스를 플라즈마에 의해 활성화하지 않고 공급해도 좋다.

[0079] 도 6b에서는, 금속 박층 형성 공정에 있어서 반응 가스(NH<sub>3</sub>)를 포함하는 제2 처리 가스를 공급하는 서브 공정을 포함하지만, TMA 가스를 포함하는 제3 처리 가스만을 공급하여 반응 가스(NH<sub>3</sub>)를 포함하는 제2 처리 가스를 공급하지 않도록(따라서, 플라즈마도 생성되지 않도록) 해도 좋다. 이 경우에는, 금속 소스 가스로서 유기 관능기나 아미드기를 갖는 유기 금속 화합물을 사용하면, 특성에 악영향을 미치는 탄소 성분이나 수소 성분 등이 금속 박층 중에 취입될 우려가 있다. 그러나, 이 금속 박층 형성 공정의 직후에 행해지는 절연 박층 형성 공정에서 플라즈마가 생성되므로(도 6a 참조), 이 플라즈마에 의해 상기 금속 박층 중의 탄소 성분이나 수소 성분이 어느 정도 제거되게 되고, 이 결과, 특성에 악영향을 미치는 일이 거의 없다.

[0080] 상기 실시 형태에서는, 도 6a 및 도 6b에 도시한 바와 같이, 절연 박층 형성 공정 및 금속 박층 형성 공정에 있어서, ALD 혹은 MLD 방법에 따라서, 2개의 처리 가스를 교대로 공급한다. 이 대신에, 절연 박층 형성 공정 및/또는 금속 박층 형성 공정에 있어서, 통상의 CVD 방법에 따라서 2개의 처리 가스를 동시에 공급해도 좋다. 또한, 이와 같은 변형예에 있어서, 통상의 열CVD 방법에 따라서, NH<sub>3</sub> 가스를 플라즈마에 의해 활성화하지 않고 공급해도 좋다.

[0081] 상기 실시 형태에서는, 절연 박층으로서 실리콘질화막(SiN)을 형성하지만, 질화 가스 대신에 산화 가스를 사용하여 실리콘산화막(SiO<sub>2</sub>)을 형성하도록 해도 좋다.

[0082] 상기 실시 형태에서는, 제1 처리 가스 중의 실리콘 소스 가스로서 DCS 가스가 예시된다. 이 점에 관하여, 실리콘 소스 가스로서는, DCS(디클로로실란), 테트라에톡시실란(TEOS), 테트라메틸실란(TMS), HCD(헥사클로로디실란), 모노실란[SiH<sub>4</sub>], 디실란[Si<sub>2</sub>H<sub>6</sub>], HMDS(헥사메틸디실라잔), TCS(트리클로로실란), DSA(디시릴아민), TSA(트리시릴아민), BTBAS(비스타살부틸아미노실란), 3DMAS(트리스디메틸아미노실란), 4DMAS(테트라키스디메틸아미노실란), TEMASiH(트리스에틸메틸아미노실란), TEMASi(테트라키스에틸메틸아미노실란), Si(MMP)<sub>4</sub>(테트라키스메톡시메틸프로폭시실란)로 이루어지는 군으로부터 선택되는 1 이상의 가스를 사용할 수 있다.

[0083] 상기 실시 형태에서는, 제3 처리 가스 중의 금속 소스 가스로서 TMA 가스가 예시된다. 이 점에 관하여, 금속 소스 가스로서는, TMA(트리메틸알루미늄), Cu(hfac)TMVS(헥사플루오로아세틸아세토나토-트리메틸비닐시릴구리), Cu(EDMD)<sub>2</sub>, TBTDET(타샤리부틸이미드-트리-디에틸아미드탄탈), PET(펜타에톡시탄탈), TiCl<sub>4</sub>(사염화티탄), AlCl<sub>3</sub>(삼염화알루미늄), TEH(테트라키스에톡시하프늄), Zr(OtBt)<sub>4</sub>, HTTP(하프늄테트라타샤리부톡시드), TDMAH(테트라키스디메틸아미노하프늄), TDEAH(테트라키스디에틸아미노하프늄), TEMAH(테트라키스에틸메틸아미노하프늄), Hf(MMP)<sub>4</sub>(테트라키스메톡시메틸프로폭시하프늄), ZTTB(지르코늄테트라타샤리부톡시드), TDMAZ(테트라키스디메틸아미노지르코늄), TDEAZ(테트라키스디에틸아미노지르코늄), TEMAZ(테트라키스에틸메틸아미노지르코늄), Zr(MMP)<sub>4</sub>(테트라키스메톡시메틸프로폭시지르코늄), TEA(테트라에틸알루미늄), Al(MMP)<sub>3</sub>(트리스메톡시메틸프로폭시알루미늄)으로 이루어지는 군으로부터 선택되는 1 이상의 가스를 사용할 수 있다.

[0084] 실리콘질화막을 형성하기 위한 실화 가스로서는, NH<sub>3</sub> 또는 N<sub>3</sub> 가스를 사용할 수 있다. 또한, 실리콘산화막을 형성하기 위한 산화 가스로서는, O<sub>2</sub>, O<sub>3</sub>, H<sub>2</sub>O, H<sub>2</sub>O<sub>2</sub>, N<sub>2</sub>O, NO로 이루어지는 군으로부터 선택되는 하나 이상의 가스를 사용할 수 있다. 또한, 퍼지 가스로서는, N<sub>2</sub> 가스나, He, Ar 등의 희가스와 같은 불활성 가스를 사용할 수 있다.

[0085] 상기 실시 형태에서는, 성막 장치로서, 한번에 복수매의 피처리 기판을 처리하는 배치식의 성막 장치가 예시된다. 이 대신에, 본 발명은 피처리 기판을 1매씩 처리하는 매엽식의 성막 장치에도 적용할 수 있다. 또한, 피처리 기판으로서, 반도체 웨이퍼에 한정되지 않고, LCD 기판, 글래스 기판 등의 다른 기판이라도 좋다.

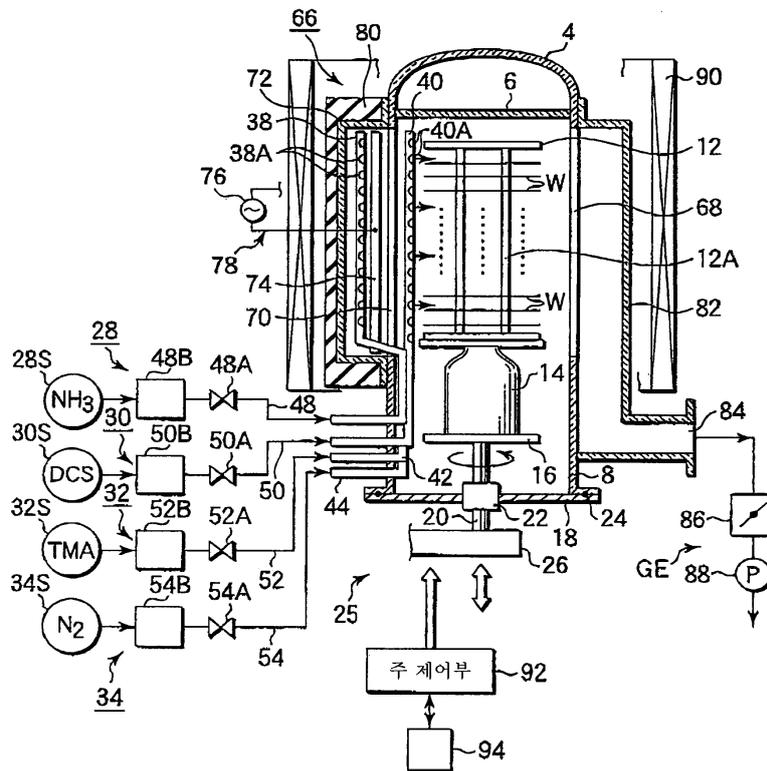
[0086] 추가적인 이점 및 변경들은 당 업계의 숙련자들에게 용이하게 발생할 것이다. 따라서, 보다 넓은 관점에서의 본 발명은 본 명세서에 도시되고 설명된 특정 설명 및 대표적인 실시예들에 한정되지 않는다. 따라서, 첨부된 청구항들 및 그와 균등한 것에 의해 정의된 바와 같은 일반적인 본 발명의 개념의 사상 또는 범주를 벗어나지 않는 한 다양한 변경들이 이루어질 수도 있다.

**도면의 간단한 설명**

- [0087] 도 1은 본 발명의 실시 형태에 관한 성막 장치(중형 CVD 장치)를 도시하는 단면도.
- [0088] 도 2는 도 1에 도시한 장치의 일부를 도시하는 횡단 평면도.
- [0089] 도 3은 본 발명의 실시 형태에 관한 성막 방법을 나타내는 흐름도.
- [0090] 도 4는 본 발명의 실시 형태에 관한 성막 방법의 각 공정과 온도의 관계를 나타내는 도면.
- [0091] 도 5a, 도 5b는 각각 본 발명의 실시 형태에 관한 성막 방법으로 형성되는 다른 금속 도프막을 도시하는 확대 단면도.
- [0092] 도 6a, 도 6b는 각각 본 발명의 실시 형태에 관한 성막 방법의 절연 박층 형성 공정 및 금속 박층 형성 공정에 있어서의 가스 공급 및 RF(고주파) 인가의 형태를 도시하는 타이밍차트.
- [0093] 도 7a, 도 7b는 각각 실험에 의해 얻어진 도 5a, 도 5b에 도시하는 금속 도프막 중 알루미늄의 농도의 분포를 나타내는 그래프.
- [0094] 도 8은 실험에 의해 얻어진 절연 박층 형성 공정의 온도에 대한 알루미늄의 농도의 의존성을 나타내는 그래프.
- [0095] <도면의 주요 부분에 대한 부호의 설명>
- [0096] 2 : 성막 장치
- [0097] 12 : 웨이퍼 보트
- [0098] 18 : 덮개체
- [0099] 20 : 회전축
- [0100] 22 : 자성 유체 시일
- [0101] 25 : 승강 기구

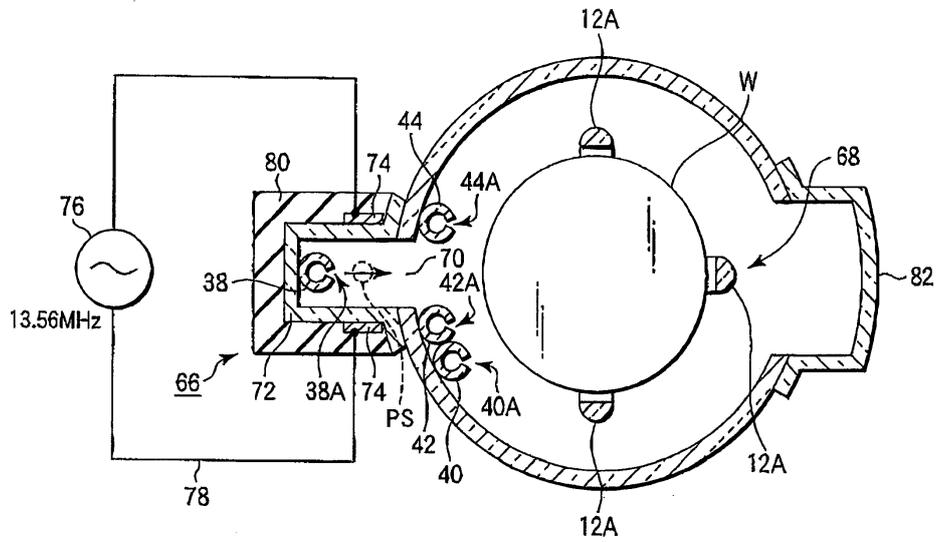
도면

도면1

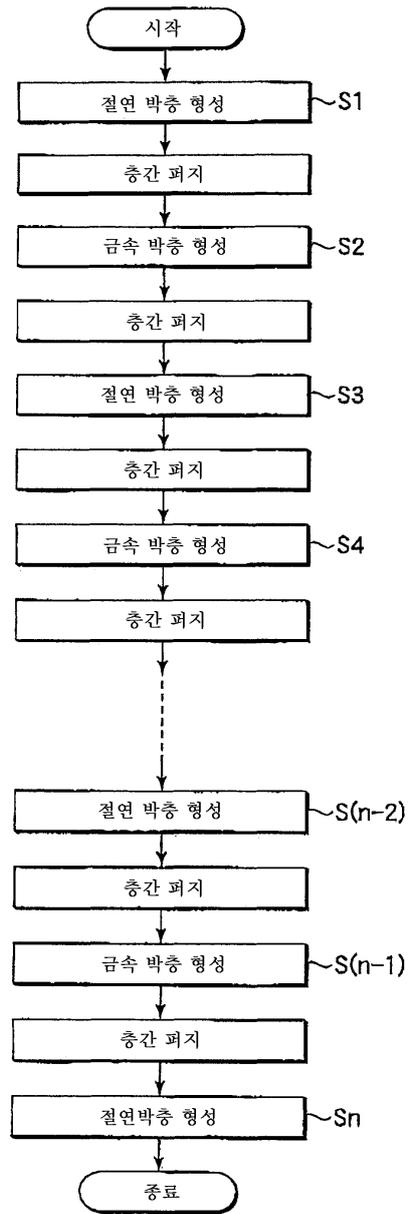


2

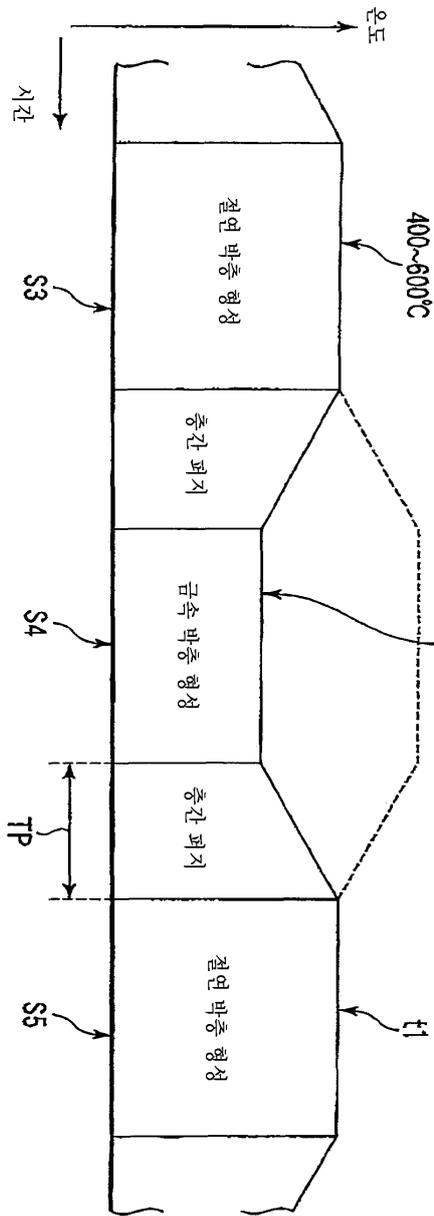
도면2



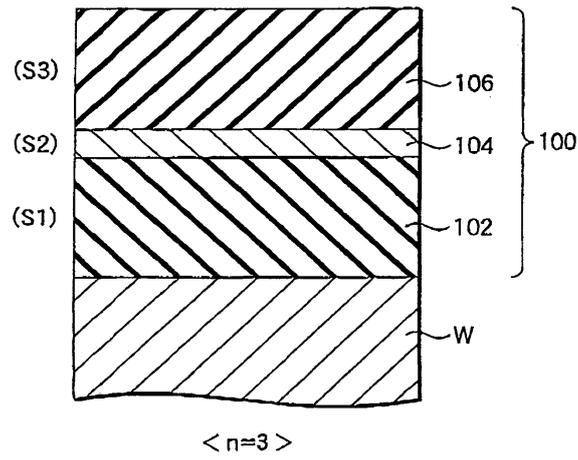
도면3



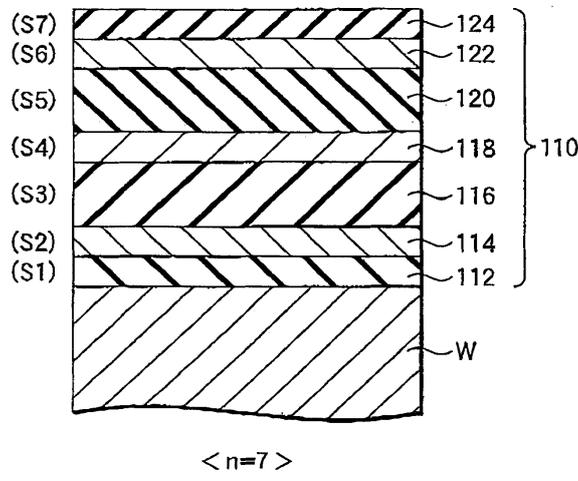
도면4



도면5a

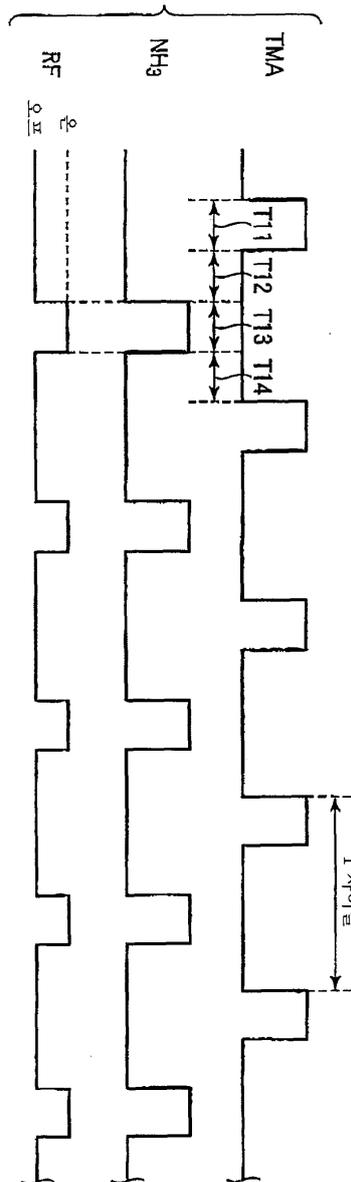


도면5b

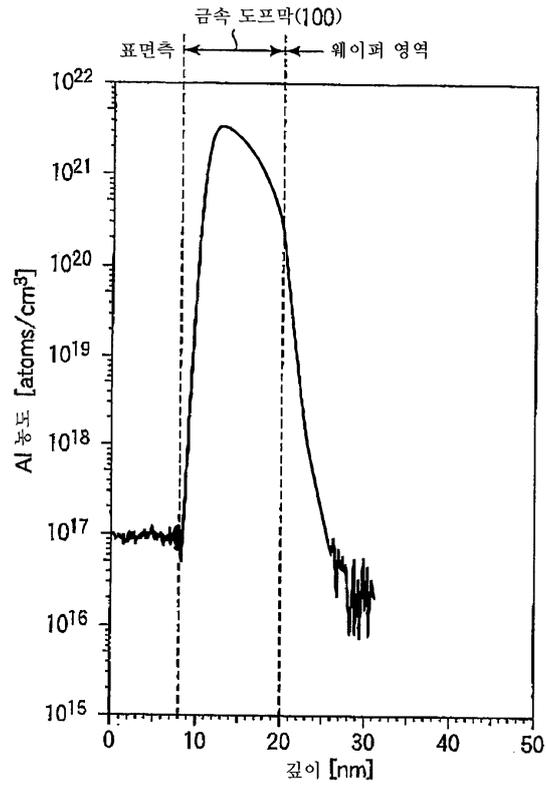




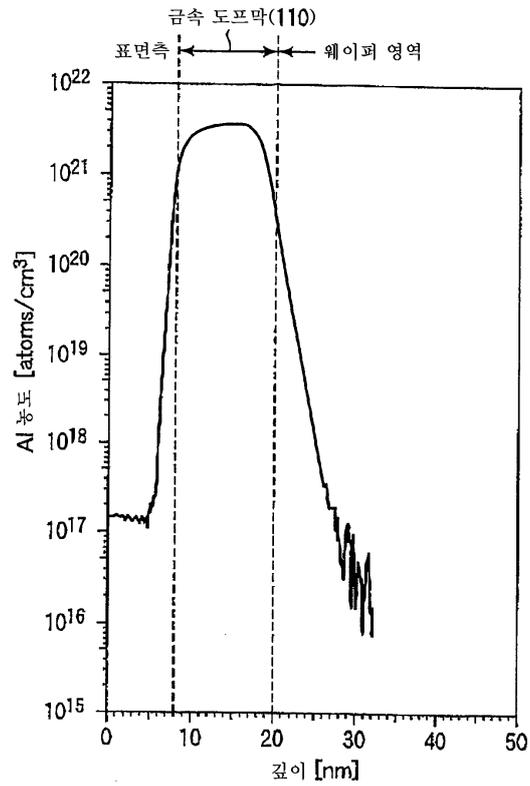
도면6b



도면7a



도면7b



도면8

