

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/08 (2006.01)



[12] 发明专利说明书

专利号 ZL 200810062062.X

[45] 授权公告日 2010年2月17日

[11] 授权公告号 CN 100590875C

[22] 申请日 2008.5.28

[21] 申请号 200810062062.X

[73] 专利权人 浙江大学

地址 310027 浙江省杭州市西湖区浙大路
38号

[72] 发明人 杜晓阳 朱科翰 董树荣 韩雁

[56] 参考文献

CN1841744A 2006.10.4

CN101097915A 2008.1.2

CN101017821A 2007.8.15

CN101017819A 2007.8.15

CN101017818A 2007.8.15

US2005/0045909A1 2005.3.3

审查员 张馨芳

[74] 专利代理机构 杭州天勤知识产权代理有限公司

代理人 胡红娟

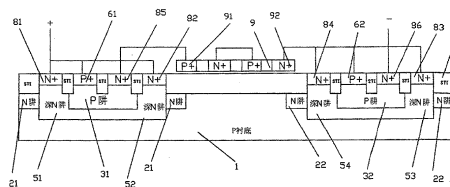
权利要求书1页 说明书4页 附图2页

[54] 发明名称

多晶硅级连二极管

[57] 摘要

本发明公开了一种多晶硅级连二极管，包括P衬底，P衬底两端分别设有N阱，每个N阱内设有两个底部连成一体的深N阱，两个深N阱之间设有P阱，每个深N阱上设有N+扩散有源区，P阱上设有一P+扩散有源区和一N+扩散有源区，所有扩散有源区均通过浅沟槽隔离层隔离，两个N阱之间的浅沟槽隔离层上覆有若干P+掺杂多晶硅和与P+掺杂多晶硅数量相同的N+掺杂多晶硅，P+掺杂多晶硅与N+掺杂多晶硅相互间隔分布并通过本征多晶硅连接。本发明多晶硅级连二极管每个P阱上的P+扩散有源区以及两侧深N阱上的N+扩散有源区相连接，即相当于上述级连二极管中寄生三极管的发射极和基极相连，使得达灵顿效应得到抑制。



1.一种多晶硅级连二极管,包括P衬底(1),其特征在于:P衬底(1)一端设有第一N阱(21)以及底部连成一体的第一深N阱(51)和第二深N阱(52),第一深N阱(51)和第二深N阱(52)之间设有第一P阱(31),侧面被第一N阱(21)包围;P衬底(1)另一端设有第二N阱(22)以及底部连成一体的第三深N阱(53)和第四深N阱(54),第三深N阱(53)和第四深N阱(54)之间设有第二P阱(32),侧面被第二N阱(22)包围;第一深N阱(51)、第二深N阱(52)、第三深N阱(53)、第四深N阱(54)上分别设有第一N+扩散有源区(81)、第二N+扩散有源区(82)、第三N+扩散有源区(83)、第四N+扩散有源区(84),由外向内,第一P阱(31)上设有第一P+扩散有源区(61)和第五N+扩散有源区(85),第二P阱(32)上设有第六N+扩散有源区(86)和第二P+扩散有源区(62),所有扩散有源区均通过浅沟槽隔离层(4)隔离,第一N阱(21)与第二N阱(22)之间的浅沟槽隔离层(4)上覆有若干P+掺杂多晶硅(91)和与P+掺杂多晶硅(91)数量相同的N+掺杂多晶硅(92),P+掺杂多晶硅(91)与N+掺杂多晶硅(92)相互间隔分布并通过本征多晶硅(9)连接。

多晶硅级连二极管

技术领域

本发明属于集成电路技术领域，尤其涉及一种多晶硅级连二极管。

背景技术

静电放电（ESD, Electron Static Discharge）是当一个集成电路的管脚浮接时，大量静电荷从外向内灌入集成电路的瞬时过程，整个过程大约耗时 100ns。在集成电路的静电放电时会产生数百甚至数千伏特的高压，将集成电路中输入级的栅氧化层击穿。随着集成电路工艺的进步，MOS 管的特征尺寸越来越小，栅氧化层的厚度也越来越薄，在这种趋势下，使用高性能的ESD防护器件来泄放静电电荷以保护栅极氧化层显得十分重要。

ESD 现象的模型主要有四种：人体放电模型(HBM)、机械放电模型(MM)、器件充电模型(CDM)以及电场感应模型(FIM)。对一般集成电路产品来说，一般要经过人体放电模型，机械放电模型以及器件充电模型的测试。为了能够承受如此高的静电放电电压，集成电路产品通常必须使用具有高性能、高耐受力的静电放电保护器件。为了达到保护芯片抵御静电打击的目的，目前已有多种静电防护器件被提出，比如二极管，栅极接地的NMOS管，其中公认效果比较好的防护器件是可控硅(SCR, Silicon Controlled Rectifier)。但是，传统可控硅ESD防护器件的触发电压很高。随着器件的特征尺寸的缩小，电路的工作电压也不断下降，为了将可控硅ESD防护器件的触发电压降低到可观的电压值内，人们提出了一种利用基于级连二极管触发的可控硅ESD防护器件。

图1为级连二极管在可控硅ESD防护器件中的三种连接方案。级连二极管可控硅ESD防护器件是利用级连二极管的低电压触发后将电流灌入可控硅器件的栅极，使得可控硅ESD防护器件快速开启。但是级连二极管可控硅ESD防护器件的难点是CMOS工艺中二极管的设计，由于达灵顿效应（Darlington Effect）易造成级连二极管的直流漏电很大。

如图2所示，一种传统的级连二极管，包括P型衬底，P型衬底上设

有4个N阱，每个阱N上设有一P+扩散有源区和一N+扩散有源区，所有扩散有源区之间都由浅沟槽隔离层(STI, Shallow Trench Isolation)隔离(M. D. Ker, Y. W. Hsiao, and W. L. Wu, "ESD-Protection Design With Extra Low-Leakage-Current Diode String for RF Circuits in SiGe BiCMOS Process," *IEEE Transactions on Device and Materials Reliability*, vol. 6, pp. 517-527, 2006.)。

该级连二极管上最靠近边缘的P+扩散有源区连接电学阳极(Anode)，最靠近边缘的N+扩散有源区接电学阴极(Cathode)，但是该级连二极管的直流漏电较大，限制了其应用范围。

发明内容

本发明提供了一种直流漏电小的多晶硅级连二极管。

一种多晶硅级连二极管，包括P衬底，P衬底一端设有第一N阱以及底部连成一体的第一深N阱和第二深N阱，第一深N阱和第二深N阱之间设有第一P阱，侧面被第一N阱包围；P衬底另一端设有第二N阱以及底部连成一体的第三深N阱和第四深N阱，第三深N阱和第四深N阱之间设有第二P阱，侧面被第二N阱包围；第一深N阱、第二深N阱、第三深N阱、第四深N阱上分别设有第一N+扩散有源区、第二N+扩散有源区、第三N+扩散有源区、第四N+扩散有源区，由外向内，第一P阱上设有第一P+扩散有源区和第五N+扩散有源区，第二P阱上设有第六N+扩散有源区和第二P+扩散有源区，所有扩散有源区均通过浅沟槽隔离层隔离，第一N阱与第二N阱之间的浅沟槽隔离层上覆有若干P+掺杂多晶硅和与P+掺杂多晶硅数量相同的N+掺杂多晶硅，P+掺杂多晶硅与N+掺杂多晶硅相互间隔分布并通过本征多晶硅连接。

上述级连二极管应用于可控硅中时，其电路连接方式如下：

每个P阱上的P+扩散有源区以及其两侧的两个深N阱上的N+扩散有源区通过导线连接，第一N阱与第二N阱之间的浅沟槽隔离层上的P+掺杂多晶硅或N+掺杂多晶硅中，除两端端部的P+掺杂多晶硅或N+掺杂多晶硅外，其余的P+掺杂多晶硅或N+掺杂多晶硅中一层P+掺杂多晶硅与一层N+掺杂多晶硅通过导线连接，第一P阱上的第一P+扩散有源区连接电学阳极，第五N+扩散有源区连接第一N阱与第二N阱之间的浅沟槽隔离

层上位于最端部的P+掺杂多晶硅，第二P阱上的第六N+扩散有源区连接电学阴极，第二P+扩散有源区连接第一N阱与第二N阱之间的浅沟槽隔离层上位于最端部的N+掺杂多晶硅。

上述结构中P阱上的P+扩散有源区和N+扩散有源区相当于二极管的阳极和阴极，P+掺杂多晶硅和N+掺杂多晶硅相当于一个二极管，可以看出，上述结构相当于由至少3个二极管串连组成的级连二极管。

本发明多晶硅级连二极管每个P阱上的P+扩散有源区以及两侧深N阱上的N+扩散有源区相连接，即相当于上述级连二极管中寄生三极管的发射极和基极相连，使得达灵顿效应得到抑制，而且电流从多晶硅二极管流过，从而大大减小了衬底电流，达到了直流漏电小和触发电压低的双重效果。

附图说明

图1为级连二极管应用于可控硅中三种连接方式的电路原理图；

图2为现有级连二极管的剖面结构示意图；

图3为本发明多晶硅级连二极管的剖面结构示意图；

图4为图3所示多晶硅级连二极管的俯视图。

具体实施方式

如图所示，一种多晶硅级连二极管，包括P衬底1，P衬底1一端设有第一N阱21以及底部连成一体的第一深N阱51和第二深N阱52，第一深N阱51和第二深N阱52之间设有第一P阱31，侧面被第一N阱21包围；P衬底1另一端设有第二N阱22以及底部连成一体的第三深N阱53和第四深N阱54，第三深N阱53和第四深N阱54之间设有第二P阱32，侧面被第二N阱22包围。

第一深N阱51、第二深N阱52、第三深N阱53、第四深N阱54上分别设有第一N+扩散有源区81、第二N+扩散有源区82、第三N+扩散有源区83、第四N+扩散有源区84，由外向内，第一P阱31上设有第一P+扩散有源区61和第五N+扩散有源区85，第二P阱32上设有第六N+扩散有源区86有源区和第二P+扩散有源区62，所有扩散有源区均通过浅沟槽隔离层4隔离。

第一 N 阱 21 与第二 N 阱 22 之间的浅沟槽隔离层 4 上覆有 2 个 P+掺杂多晶硅 91 和 2 个 N+掺杂多晶硅 92, P+掺杂多晶硅 91 与 N+掺杂多晶硅 92 相互间隔分布并通过本征多晶硅 9 连接。

上述多晶硅二极管上的 N 阱、P 阱、深 N 阱、P+扩散有源区以及 N+扩散有源区通过在 P 衬底上进行离子注入得到。

P+掺杂多晶硅 91 与 N+掺杂多晶硅 92 也是在本征多晶硅 9 上通过离子注入得到。

上述多晶硅级连二极管应用于可控硅时, 电路连接方式如下:

每个 P 阱上的 P+扩散有源区以及其两侧的两个深 N 阱上的 N+扩散有源区通过导线连接, 第一 N 阱 21 与第二 N 阱 22 之间的浅沟槽隔离层 4 上的 P+掺杂多晶硅 91 或 N+掺杂多晶硅 92 中, 除两端端部的 P+掺杂多晶硅 91 或 N+掺杂多晶硅 92 外, 其余的 P+掺杂多晶硅 91 或 N+掺杂多晶硅 92 中一层 P+掺杂多晶硅 91 与一层 N+掺杂多晶硅 92 通过导线连接。

第一 P 阱 21 上的第一 P+扩散有源区 61 连接电学阳极, 第五 N+扩散有源区 85 连接第一 N 阱 21 与第二 N 阱 22 之间的浅沟槽隔离层 4 层上位于最端部的 P+掺杂多晶硅 91, 第二 P 阱 22 上的第六 N+扩散有源区 86 连接电学阴极, 第二 P+扩散有源区 62 连接第一 N 阱 21 与第二 N 阱 22 之间的浅沟槽隔离层 4 上位于最端部的 N+掺杂多晶硅 92。

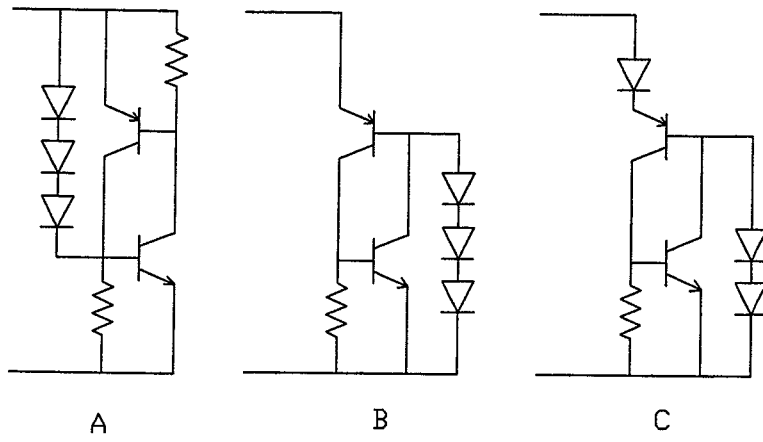


图 1

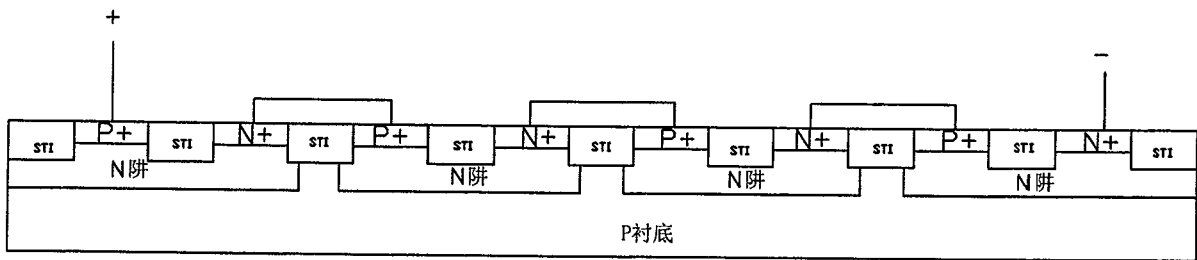


图 2

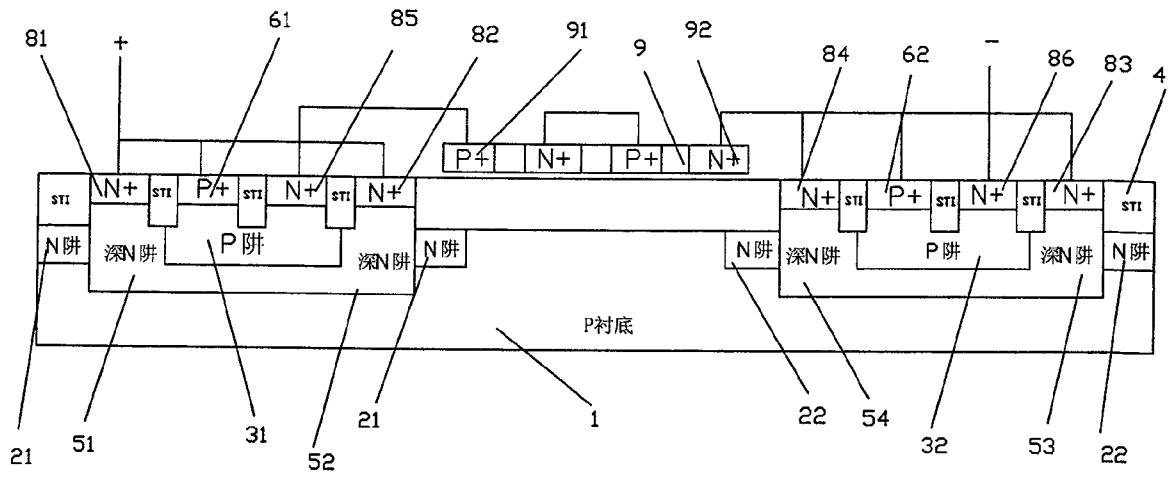


图 3

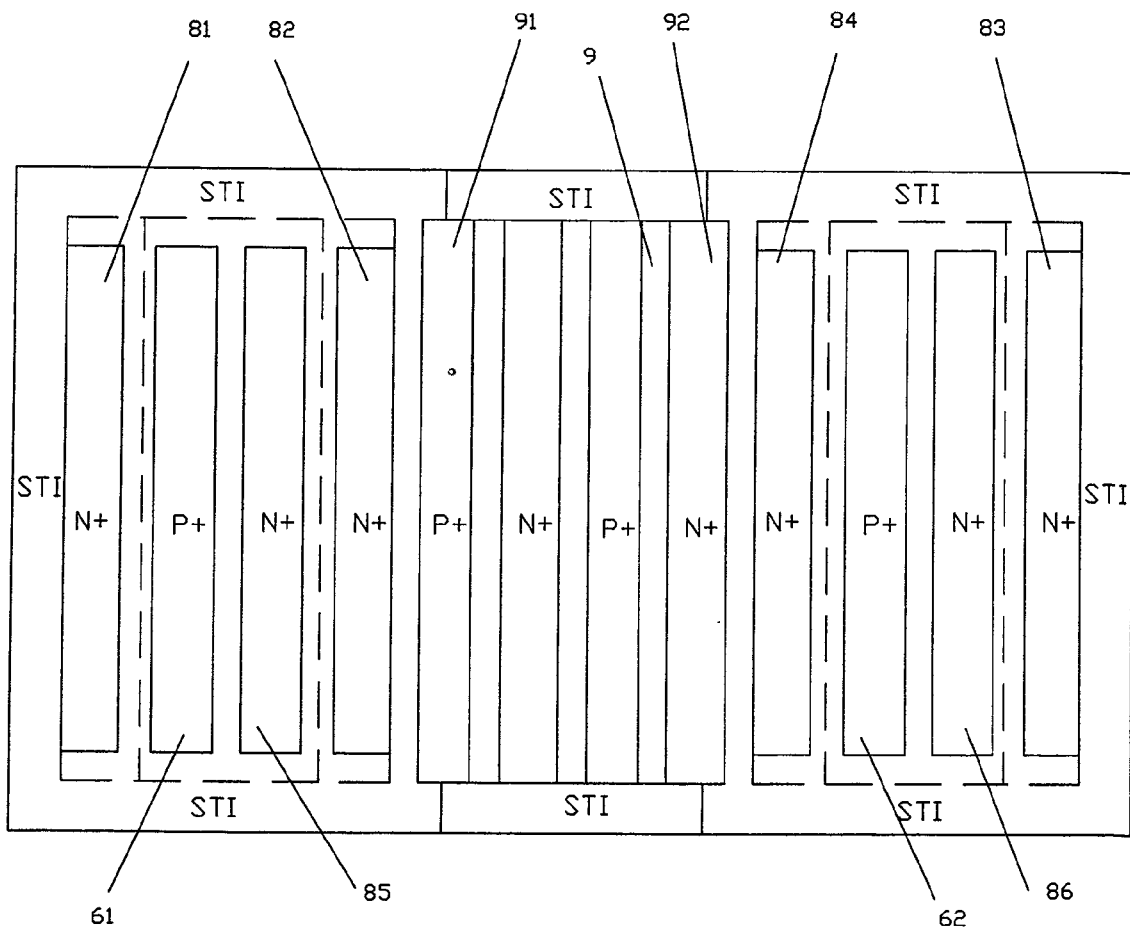


图 4