

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3582205号
(P3582205)

(45) 発行日 平成16年10月27日(2004.10.27)

(24) 登録日 平成16年8月6日(2004.8.6)

(51) Int. Cl.⁷

G02F 1/133

F I

G02F 1/133 545

請求項の数 3 (全 18 頁)

<p>(21) 出願番号 特願平8-24516 (22) 出願日 平成8年2月9日(1996.2.9) (65) 公開番号 特開平9-218386 (43) 公開日 平成9年8月19日(1997.8.19) 審査請求日 平成14年12月16日(2002.12.16)</p>	<p>(73) 特許権者 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号 (74) 代理人 100095728 弁理士 上柳 雅普 (72) 発明者 胡桃澤 孝 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 (72) 発明者 伊藤 昭彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 審査官 藤田 都志行</p>
---	---

最終頁に続く

(54) 【発明の名称】 表示装置の駆動回路および表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の走査線を有する第1の基板と、複数の信号線を有する第2基板と、前記走査線により選択される複数の表示要素と、
 を有する表示装置の駆動回路であって、
 前記複数の走査線のうちh本の走査線(hは、2以上の整数)を同時に選択して前記表示要素の駆動を行う場合に、
 走査線駆動回路は、前記選択期間を分割して複数のサブ選択期間を設け、当該サブ選択期間毎に生成される第1のタイミングパルスまたは第1のリセットパルスに応じて、前記サブ選択期間には選択信号を与え、非選択期間には非選択信号を与える走査電圧波形を印加し、
 信号線駆動回路は、前記選択期間毎に生成される第2のタイミングパルスまたは第2のリセットパルスに応じて、前記選択期間で選択される走査線に対応する表示データを読み出し、
 前記選択期間内を分割した複数のサブ選択期間どうしでは走査パターンが異なっており、前記選択期間内を分割した複数のサブ選択期間どうしでは、前記表示データを読み出すことなく各々同じ表示データに対して、前記異なる走査パターンとの不一致数を判定することにより前記信号線への印加電圧を決定することを特徴とする表示装置の駆動回路。

【請求項2】

複数の走査線を有する第1の基板と、複数の信号線を有する第2基板と、前記走査線によ

10

20

り選択される複数の表示要素と、
 を有する表示装置の駆動回路であって、
 前記複数の走査線のうち h 本の走査線 (h は、2 以上の整数) を同時に選択して前記表示要素の駆動を行う場合に、
 選択期間には選択信号を与え、非選択期間には、非選択信号を与える走査電圧波形を印加し、
 前記選択期間を分割して複数のサブ選択期間を設け、前記選択期間内を分割した複数のサブ選択期間どうしでは走査パターンが異なり、前記選択期間内を分割した複数のサブ選択期間どうしでは、各々同じ表示データに対して、前記異なる走査パターンとの不一致数を判定することにより前記信号線への印加電圧を決定する駆動と、
 前記選択期間を分割しない駆動と、
 が切り替え可能なことを特徴とする表示装置の駆動回路。

10

【請求項 3】

請求項 1 または 2 に記載の表示装置の駆動回路を備えたことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置の駆動回路および表示装置に関し、特に複数本の走査線のうち h 本 (h は 2 以上の整数) の走査線を同時に選択し表示を行う、いわゆるマルチライン駆動を行うために必要な表示装置の駆動回路および表示装置に関する。

20

【0002】

【従来の技術】

単純マトリクス型の液晶表示装置は、TFT アクティブマトリクス型液晶表示装置に比べ、基板に高価なスイッチング素子を用いる必要がなく安価であることから、携帯型 PC モニタをはじめ広く用いられている。この単純マトリクス型の液晶表示装置の駆動方法として、走査線を 1 本ずつ順次選択する線順次駆動法が知られている。しかし、高速応答の液晶などの表示素子を線順次駆動すると、1 回の表示に応じて輝度が変化する、いわゆるフレーム応答を起し、高コントラストに表示ができない。

【0003】

そこで、フレーム応答を解消し、高コントラストを得ることを目的として、マルチライン駆動方法が提案されている (例えば、1 特願平 4 - 84007 号公報、2 特開平 5 - 46127 号公報等)。

30

【0004】

まず、マルチライン駆動方法の駆動波形を説明し、次に駆動回路について説明する。

【0005】

図 14 の表示装置と図 15 の電圧波形図を用いて、このような駆動方法のうち、4 ラインの走査線を同時に選択して単純マトリクス型液晶表示装置を駆動する場合の駆動波形を説明する。

【0006】

図 14 の表示装置は、2 枚の透明基板上に、走査線 ($X_1 \sim X_n$)、信号線 ($Y_1 \sim Y_m$) を形成している。この走査線と信号線が直交する位置に液晶を保持し画素を形成する表示素子となり、さらに、走査線駆動回路、信号線駆動回路によって構成されている。

40

【0007】

この表示装置を駆動するための電圧波形は図 15 に示すものになる。

【0008】

走査線に印加される電圧波形は、あらかじめ選ばれた直交関数系により定義される走査パターンに従って、3 つ ($+V_1$ 、0、 $-V_1$) の電圧レベルが適宜選択され、4 本の走査線にそれぞれ印加される (図 15 (a))。

【0009】

また、このときの走査パターンと、選択ライン上の画素に表示するデータから決まる表示

50

パターンとを比較し、その不一致の数によって決定された電圧レベル（ $-V_3$ 、 $-V_2$ 、 0 、 $+V_2$ 、 $+V_3$ の5つの電圧レベルのうちいずれか）が、信号線駆動回路から各信号線に印加される。この電圧レベル数は、同時選択される走査線数に1を和した数となる。4ラインの走査線を同時選択しているため、5レベルの電圧を必要とする。

【0010】

この走査線と信号線に印加される電圧によって、液晶が駆動される。

【0011】

以下に信号線に印加される電圧レベルを決定する手順の説明を行う。

【0012】

走査パターンは、選択電圧が $+V_1$ の場合（+）、選択電圧が $-V_1$ の場合（-）、表示パターンは、オン表示のデータの場合（+）、オフ表示のデータの場合（-）とする。非選択期間は不一致数の考慮はしない。

【0013】

図15では、1画面を表示するのに必要な期間を1フレーム期間とし、すべての走査線を1回ずつ選択するのに必要な期間を1フィールド期間とし、走査線を1回選択するのに必要な期間を1選択期間とする。ここで、図15のH1stは最初の選択期間であり、H2ndは2番目の選択期間である。また、f1stは最初のフィールド期間であり、f2ndは2番目のフィールド期間である。また、F1stは、最初のフレーム期間である。

【0014】

図15の場合、f1stのH1stに選択される4ライン（X1からX4）の走査パターンはあらかじめ（a）のように設定されているから、表示画面の状態によらず、常に（++-+）である。ここで、全面オン表示を行う場合を考えると、（画素（X1、Y1）、画素（X2、Y1）、画素（X3、Y1）及び画素（X4、Y1））に対応する1列目の表示パターンは、（++++）である。両パターンを順番に比較すると、1番目、2番目及び4番目は極性が一致し、3番目は極性が相違する。つまり、不一致数は1である。不一致数が1の場合、5レベル（ $+V_3$ 、 $+V_2$ 、 0 、 $-V_2$ 、 $-V_3$ ）ある電圧レベルのうち $-V_2$ を選択する。こうすると、 $+V_1$ を選択している走査線X1、X2及びX4の場合には、 $-V_2$ の選択により液晶素子に印加される電圧は高くなる一方、 $-V_1$ を選択している走査線X3の場合には、 $-V_2$ の選択により液晶素子に印加される電圧は低くなる。この信号線に印加する電圧は直交変換時のベクトルの重みに相当し、4回の走査パターンに対してすべての重みを加えると真の表示パターンを再生することができるように電圧レベルを設定する。同様に、不一致数が0の場合は $-V_3$ 、不一致数が2の場合は 0 、不一致数が3の場合は $+V_2$ 、不一致数が4の場合は $+V_3$ を選択する。 V_2 と V_3 はその電圧比が（ $V_2 : V_3 = 1 : 2$ ）となるように設定する。

【0015】

同様の手順で、X1～X4の4ラインの走査線について、Y2からYmまでの信号線の列の不一致数を決定し、得られた選択電圧のデータを信号線駆動回路に転送し、最初の選択期間に上記手順によって決められた電圧を印加する。

【0016】

同様に、全ての走査線（X1～Xn）について、以上の手順を繰り返すと、f1stが終わる。

【0017】

同様にf2nd、f3rd及びf4thも、全ての走査線について、以上の手順を繰り返すと、F1stが終わり、画面全体の表示を行うことができる。

【0018】

上記手順に従い全面オンの場合の信号線（Y1）に印加する電圧波形を求めると、（b）のようになり、画素（X1、Y1）に印加される電圧波形は、（c）のようになる。走査パターンは、表1のようになる。

【0019】

表1. 4ライン同時選択の走査パターン

	a	b	c	d
1ライン	+	+	-	+
2ライン	+	-	+	+
3ライン	-	+	+	+
4ライン	+	+	+	-

表の1ライン、2ライン、3ライン、4ラインは、各々同時選択されている4本の走査線を示している。また、反転信号によって、走査パターンa b c dは、各々の+と-が反転されるが、ここでは説明を簡単にするため、反転をさせないで1フレーム表示する場合を示している。

【0020】

ここで、走査線X1からX4に各々、パターンaは、f1stのH1stで表示され、パターンbは、f2ndのH1stで表示され、パターンcは、f3rdのH1stで表示され、パターンdは、f4thのH1stで表示されている。

【0021】

次に、マルチライン駆動方法の回路例は、特開平5-46127に図16のように構成されている。

【0022】

この回路例では、RAM1611から読みだされた同時選択ライン数分並列になっている表示データは、排他的論理和及び加算器1614で、排他的論理和と加算によって、一致と不一致数を計算し、シフトレジスタ1615へデータを転送している。この転送に使用されているクロック信号1604は、パラレル入力分に分周されたクロックである。信号線の総数に対応するデータがすべてそろると、シフトレジスタ1615からラッチ1616へパラレルにデータが転送され、このデータに基づいて同時選択数+1レベルドライバ1617は、液晶パネル1621へ信号線に電圧を印加する。

【0023】

このような回路構成の場合、同時選択数+1レベルドライバ1617が、信号線へ電圧を印加するタイミング前に、信号線総数×同時選択する走査線数のすべてのデータ処理を行い、クロック信号1604によって、すべてのデータがシフトレジスタ1615へ選択期間内に入力されなければならない。

【0024】

本出願人は、さらに 1 信号線方向の表示むらを抑制し、 2 表示内容が時々刻々と変化する場合であっても、信号線方向の表示むらが激しくなることもなく、ちらつきも生じさせない。 3 走査線方向の表示むらを発生させない。ために、次のような駆動方法を提案している。

【0025】

図17に、提案した駆動方法の4ラインを同時に選択する場合の電圧波形を示す。図15との違いは、各々の選択期間(H1st、H2nd、H3rd、H4th)をさらに、2個に分割し、分割サブ選択期間(S1、S2、S3、S4、S5、S6、S7、S8)としている点である。この分割により、隣接する走査線に印加される走査信号からのスパイク状の電圧の影響をある期間(図15では1フレーム)内で打ち消すように、分割サブ選択期間内に入れ替えることができる。

【0026】

図17において、走査線X2とX3に印加される電圧波形は、期間S1と期間S2で、各々立ち下がり立ち上がりになっている。また、例えば走査線X2の電圧波形を見ても、スパイク状の波形は、立ち上がりのスパイク波形1703と立ち下がりのスパイク波形1704が1個づつとなり、1フレームの実効値電圧として合計すると、このスパイク状の波形の影響は無くなっている。

10

20

30

40

50

【 0 0 2 7 】

図 1 7 では、走査線 X 1 から X 4 には、S 1 から S 8 に順番に、表 1 のパターンで現すと、a b、c d、b a、d c の順になっている。

【 0 0 2 8 】

この分割サブ選択期間内では、同じ表示データを走査パターンを変えて表示することで、表示素子に印加する実効値電圧を短い期間で均一化している。

【 0 0 2 9 】

この均一化について 4 ライン同時選択を例にして説明する。

【 0 0 3 0 】

隣接する分割サブ選択期間（例えば、S 1 と S 2）では、互いに直交するため、表示素子への印加電圧を均一化する。例えば、期間 S 1 で、0 電位を選択する場合でも、期間 S 2 では必ず V 3 電位を選択する。また、期間 S 1 で V 2 電位を選択する場合、期間 S 2 では、V 2 電位か - V 2 電位しか選択しない。これは、同じデータを違う走査パターンによって直交させて表示するためである。

10

【 0 0 3 1 】

このため期間 S 1 と S 2 を合わせた短い期間内でも、分割しない場合には、V 3 電位だけを選択する場合があったが、V 3 電位を選択すると、0 電位と組み合わせられ、他の V 2 電位、- V 2 電位を選択している場合との表示素子に印加される実効値電圧の差が小さくなる。

【 0 0 3 2 】

このように、選択期間を分割したサブ選択期間で走査パターンを変えるマルチライン駆動すると表示画質が良くなる。以降、このサブ選択期間で走査パターンを変えるマルチライン駆動を分割サブマルチライン駆動とする。

20

【 0 0 3 3 】

【 発明が解決しようとする課題 】

しかし、従来と同じ駆動回路では、分割サブマルチライン駆動を行うと、分割されたサブ選択期間毎に、すべてのデータをクロック信号 1 6 0 4 によって、シフトレジスタ 1 6 1 5 へ入力しなければならない。このため、分割数を 2 とした場合には、2 倍の転送を行うため消費電力も 2 倍となる。このように、分割数を多くするほど多くの消費電力も大きなものとなる課題を有している。

30

【 0 0 3 4 】

【 課題を解決するための手段 】

本発明の表示装置の駆動回路は、a) 複数の走査線を有する第 1 の基板と、複数の信号線を有する第 2 基板と、前記走査線と前記信号線とにより選択される複数の表示要素と、を有する表示装置の駆動回路であって、

b) 前記複数の走査線のうち h 本の走査線（h は、2 以上の整数）を同時に選択して前記表示要素の駆動を行う駆動回路において、

c) 選択期間には選択信号（V 1、- V 1）を与え、非選択期間には、非選択信号（0 V）を与える走査電圧波形を印加し、

d) 前記選択期間で、選択される走査線に対応する表示データを読みだし、

40

e) 前記選択期間をさらに分割したサブ選択期間を設け、

f) 前記選択期間内に分割したサブ選択期間では、各々同じ表示データに対して、違う走査パターンとの不一致数を判定し、信号線への印加電圧を決定し、

g) 選択期間内を分割したサブ選択期間で走査パターンを変える駆動を行うことを特徴とする。

【 0 0 3 5 】

また、分割されたサブ選択期間を区別する信号（S L P）を入力することを特徴とする。

【 0 0 3 6 】

また、信号線駆動回路の内部で、分割したサブ選択期間に対応した走査パターンを発生する走査パターン回路を有することを特徴とする。

50

【0037】

また、分割されたサブ選択期間を区別するため、選択期間を区別する信号(LP)に、分割されたサブ選択期間に応じてタイミングを取るパルスを増加させた信号として入力することを特徴とする。

【0038】

また、信号線駆動回路と走査線駆動回路のリセットタイミングを違えることを特徴とする。

【0039】

本発明の表示装置の駆動回路は、

a) 複数の走査線を有する第1の基板と、複数の信号線を有する第2基板と、前記走査線と前記信号線とにより選択される複数の表示要素と、を有する表示装置の駆動方法であって、

b) 前記複数の走査線のうちh本の走査線(hは、2以上の整数)を同時に選択して前記表示要素の駆動を行う駆動回路において、

c) 選択期間には選択信号(V1、-V1)を与え、非選択期間には、非選択信号(0V)を与える走査電圧波形を印加し、

d) 前記選択期間をさらに分割したサブ選択期間を設け、選択期間を分割したサブ選択期間で走査パターンを変える駆動と、

e) 選択期間を分割しない駆動と、

f) を切り替えることができることを特徴とする。

【0040】

【作用】

請求項1の表示装置の駆動回路は、1 信号線方向の表示むらを抑制し、2 表示内容が時々刻々と変化する場合であっても、信号線方向の表示むらが激しくなることもなく、ちらつきも生じさせない。3 走査線方向の表示むらを発生させない。という分割サブマルチライン駆動を低消費電力で行うことができる駆動回路を提供することができる。

【0041】

請求項2の表示装置の駆動回路は、分割されたサブ選択期間を区別する信号(SLP)を入力することで、簡単に分割サブマルチライン駆動を行える表示装置の駆動回路を提供することができる。

【0042】

請求項3の表示装置の駆動回路は、信号線駆動回路の内部で、分割したサブ選択期間に対応した走査パターンを発生する走査パターン回路を有することで、分割サブマルチライン駆動に必要な走査パターンを発生することができる表示装置の駆動回路を提供できる。

【0043】

請求項4の表示装置の駆動回路は、分割されたサブ選択期間を区別するため、選択期間を区別する信号(LP)に、分割されたサブ選択期間に応じてタイミングを取るパルスを増加させた信号として入力することで、新たに入力端子を設けることなく分割サブマルチライン駆動を行える表示装置の駆動回路を提供することができる。

【0044】

請求項5の表示装置の駆動回路は、信号線駆動回路と走査線駆動回路のリセットタイミングを違えることで、信号線駆動回路内部の不一致数判定回路にラッチがある場合でも、分割サブマルチライン駆動を行うことができる。

【0045】

請求項6の表示装置の駆動回路は、表示条件によって任意に駆動方法を選択できるコストパフォーマンスの良い駆動回路を提供することができる。

【0046】

請求項7の表示装置は、画質が優れたコストパフォーマンスの良い表示装置を提供できる。

【0047】

【発明の実施の形態】

以下に、実施例に基づいて本発明による表示装置の駆動回路を具体的に説明する。

【0048】**〔実施例1〕**

本実施例は、請求項1、2及び3の表示装置の駆動回路に対応する実施例である。図1に160出力の信号線駆動回路のブロック図、図2に120出力の走査線駆動回路のブロック図、図3に、信号線駆動回路と走査線駆動回路の接続例を示す。図4は、タイミング図である。

【0049】

本実施例の表示装置の駆動回路は、選択期間では、フレームメモリから並列に読みだしたデータを変化させずに、選択期間内の分割サブ選択期間では、不一致数判定回路へ走査パターンデータのみを変化させ入力することで、低消費電力に分割サブマルチライン駆動を行うものである。分割されたサブ選択期間毎に、表示データの読みだしを新たに行わないため、入出力のために必要なクロック信号や不一致数を判定する処理の電力を削減し、低消費電力化するものである。

10

【0050】

まず信号線駆動回路から説明する。

【0051】

図1の信号線駆動回路は、タイミング回路101、データ入力回路102、行アドレスレジスタ103、チップイネーブルコントロール回路104、入力レジスタ105、書き込みレジスタ106、フレームメモリ107、不一致数判定回路108、レベルシフタ109、電圧セクタ110より構成されている。この信号線駆動回路では、フレームメモリを内蔵した構成を例に説明しているが、これに限定されるものではなく、フレームメモリを外部に持つ構成でも良い。

20

【0052】

タイミング回路101は、すべての動作タイミングをコントロールしている。データ入力制御回路102は、フレームメモリ107への入力データを入力レジスタへ順に入力するために、データの並び替えを行っているものである。行アドレスレジスタ1003は、フレームメモリの書き込みアドレスと読み出しアドレスを出力するものである。チップイネーブルコントロール回路は、この信号線駆動回路をカスケード接続するために必要なカスケード信号(CEI, CEO)を制御するものである。入力レジスタ105は、データ入力制御回路102から出力されたデータ信号(DATA)を1ライン分(160個)貯えるためのレジスタである。書き込みレジスタ106は、入力レジスタ105で貯えられたデータを4ライン(同時選択ライン数)分貯えるためのレジスタである。このレジスタで貯えられた4ライン(同時選択ライン数)分のデータは、タイミング回路101によって、同時にフレームメモリ107へ書き込まれる。つまり、フレームメモリへの読み書き動作は、同時選択ライン数を単位として行われる。

30

【0053】

フレームメモリ107から同時選択ライン数分の表示データが同時に読みだされ、不一致数判定回路108が、読みだされたデータと、走査パターンとの不一致数を判定し、5レベルのうちどの電圧レベルを選択するか選択データへと変換する。走査パターンは、タイミング回路から出力される信号PD[1..0]によって、表1に示したパターンa、b、c、dが、不一致数判定回路内部で指定される。不一致数判定回路108で変換された選択データが、レベルシフタ109で、レベルシフトされ、電圧セクタ110で5レベル(-V3、-V2、0、V2、V3)のうち1レベルの電圧が選択され信号線(Y1からY160)へ出力される。

40

【0054】

表2. PD [1..0] と走査パターンの対応

PD1	0	0	1	1
PD0	0	1	0	1
走査パターン	a	b	c	d

図3に示すように、走査パターン信号PD[1..0]は、信号線駆動回路から出力され、走査線駆動回路へ入力される。

【0055】

図2を用いて走査線駆動回路を説明する。図2から、この回路のすべての制御を行う制御回路201、走査線の選択位置をシフトさせるシフトレジスタ202、制御回路201からの走査パターン信号とシフトレジスタ202からのシフトデータ(SH1からSH30)をデコードし、3レベルの電圧(-V1、0、V1)のどれを選択するかを決めたデータとするデコーダ203、デコーダ203からの信号をレベルシフトするレベルシフタ204、3レベルの電圧から1レベルを選択して走査線へ出力する電圧セクタ205より構成されている。

10

【0056】

4ライン同時選択の場合、選択期間で、4ライン毎の信号SH1からSH30が順番にHighになり、30選択期間で一巡する。この一巡によって、信号FSは、Highをある期間出力する信号として出力される。この信号FSは、f(フィールド)期間の信号になる。

20

【0057】

本発明のポイントは、

1 フレームメモリの読みだしを同時選択ライン数分の表示データを単位とすることにより、従来例のように、不一致数の演算のためにクロック信号を使用しないこと。

【0058】

2 同時選択ライン数の読みだしデータは、選択期間中は変わらず同じであり、選択期間をさらに分割したサブ選択期間で、走査パターンのみを変化させ、出力すること。

【0059】

である。

30

【0060】

ポイント1は、信号線駆動回路のフレームメモリの読みだしタイミングが、同時選択ライン数分の表示データを、不一致数判定回路108によって、すべて並列処理することで、低消費電力化していることである。

【0061】

ポイント2について図4を用いて、さらに詳しく説明する。

【0062】

図4は、フレーム期間を区別する信号YD、選択期間を区別するための信号LP、選択期間をさらに分割したサブ選択期間を区別する信号SLP、フィールド期間を区別する信号FS、および、データ信号DATA、データを入力するためのクロック信号XSC Lを示したものである。サブ選択期間を区別するために、本実施例では、信号SLPを入力する。

40

【0063】

このタイミングについて説明する。

【0064】

信号YD、信号FS、信号LP、信号DATA、信号XSC Lは、選択期間を分割しない通常のマルチライン駆動の場合でも、同じである。入力DATAとフレームメモリ出力DATAが、信号YDよりも1選択期間早いタイミングになっているが、従来のメモリを持たない駆動回路のタイミングに合わせるために、信号YDの1選択期間前を記憶するような制御をタイミング回路101で行っている。

50

【0065】

入力タイミングとして、違うのは、信号SLPが、サブ分割された選択期間を区別するために、信号LPの間に、出力タイミングを取るためのパルスがあることである。図4では、選択期間を2分割する場合を示している。このとき、フレームメモリからの読みだしデータは、選択期間を分割したサブ選択期間では変わらないことがわかる。サブ選択期間では、走査パターン信号PD[1..0]のみが変化している。この走査パターン信号PD[1..0]を作る走査パターン回路を図5に示す。この走査パターン回路は、図1の信号線駆動回路のタイミング回路101内にある。

【0066】

この走査パターン回路は、Dフリップ・フロップ502、503によって構成される、フィールドをカウントするフィールドカウンタと、Dフリップ・フロップ505、506によって構成される、信号LPと信号SLPをカウントするカウンタによって構成されている。この各部のタイミングを図6に示す。図6より、走査パターン信号PD1とPD0によって、f1stフィールドでは、abba・、f2ndフィールドでは、cdcd・、f3rdフィールドでは、baab・、f4thフィールドでは、dccd・の順になることがわかる。

10

【0067】

また、単純マトリックス型液晶パネルの例で説明したが、本発明は、これに限定されるものではなく、MIMパネルやELパネルなどを用いた表示装置にも適用可能である。

【0068】

〔実施例2〕

本実施例は、請求項4及び5の表示装置の駆動回路に対応する実施例である。実施例1では、サブ選択期間を区別するために信号SLPを入力していた。実施例2では、信号SLPを新たに入力するのではなく、選択期間を区別する信号LPを、分割サブ選択期間に対応して、駆動回路へ入力することで、分割サブマルチライン駆動するものである。

20

【0069】

図7は、分割サブマルチライン駆動する場合のタイミングを示したものである。選択期間(H)の分割数は、2の場合を示している。通常のタイミングと比較すると、選択期間H内に、信号LPのパルスが2個あることがわかる。このため、選択期間Hを2個に分割し、分割サブマルチライン駆動が可能になる。

30

【0070】

しかし、この場合、通常のタイミングを2倍の信号LPから作らなければならない。図8に、2倍の信号LPから、通常LPを作るMCLK回路を示す。この場合、RESET信号は、YDとLPのNANDゲートから作られるものとする。このRESET信号と2倍になったLP信号を、Dフリップ・フロップ801のR端子、CLK端子へ入力し、分周たGATEをかけることで、通常タイミングのLPと同じ、信号MCLKを作り出している。

【0071】

図7で説明すると、実施例1とは違い、信号線駆動回路のフレームメモリから読み出すDATAのタイミングは、選択期間H1stよりもS期間分早くなっている。これは、信号線駆動回路の不一致数判定回路108内部に、データを一時保持するラッチがある場合には、出力タイミングよりもほぼS期間だけ早い時期にデータを確定する必要があるためである。

40

【0072】

この場合、信号線駆動回路のフレームメモリのリセットタイミングと、走査線駆動回路の走査線X1の駆動をはじめるタイミングは、S期間分だけ(LPパルス間隔)ズレルことになる。これを解決するためには、フレームを区別する信号YDを信号線駆動回路と走査線駆動回路で違える必要がある。

【0073】

しかし、同一の信号(YDとLP)を入力して、リセットタイミングを異ならせることの

50

方が、信号線駆動回路、走査線駆動回路に各々違う信号を入力するよりも経済的である。

【0074】

このため、信号線駆動回路のタイミング回路の内部にあるリセット回路と、走査線駆動回路の制御回路の内部にあるリセット回路を違える必要がある。

【0075】

図9は、信号線駆動回路のタイミング回路内にあるリセット回路であり、図10は、走査線駆動回路の制御回路内にあるリセット回路である。各々(a)に回路図、(b)にタイミング図を示している。信号Y Dは、パルス数が2倍になった信号L Pを2個含むようなHigh期間がある。

【0076】

図2の信号線駆動回路のリセット回路では、最初の信号L Pのパルスをリセットとして出力し、図3の走査線駆動回路のリセット回路では、次の信号L Pのパルスをリセットとして出力している。

【0077】

このように、信号線駆動回路のリセット回路と、走査線駆動回路のリセット回路のリセットタイミングを違えることで、分割サブマルチライン駆動が可能になる。

【0078】

以上のような簡単な回路を追加し、L P信号のパルス数を増加させるだけで簡単に分割サブマルチライン駆動を実現する駆動回路ができる。

【0079】

〔実施例3〕

本実施例は、請求項6の表示装置の駆動回路に対応する実施例である。

【0080】

実施例1及び2では、分割サブマルチライン駆動を行う信号線駆動回路と走査線駆動回路の追加、変更回路について説明した。この追加、変更回路は、非常に簡単な回路であった。

【0081】

実施例3では、通常のマルチライン駆動と、分割サブマルチライン駆動を切り替え可能な駆動回路を示す。これは、低速応答の液晶等を使った表示素子の場合、通常のマルチライン駆動を行うことで、電位切替えが少ない分、低消費電力化できる利点があるためである。また、高速応答の場合には、画質から分割サブマルチライン駆動法を採用する。このように、駆動方法を切り替え可能にすることで、駆動方法別に新規な駆動回路を作るよりも汎用性に富むため、大量生産でき低価格に製造できるメリットがある。

【0082】

駆動方法の切り替えは、L Pのパルス数を変え、表示する駆動法を設定するための端子を1個追加し、信号L S E Lによって制御する。

【0083】

この駆動方法を切り替え可能な信号線駆動回路を図11に、走査線駆動回路を図12に示す。図13に表示装置の接続例を示す。

【0084】

図11の信号線駆動回路では、タイミング回路へ信号L S E Lが追加されて、信号L S E LがLowの時、図11に示した通常のマルチライン駆動を行うための通常タイミング回路1101が選択され、信号L S E LがHighの時、分割サブ用のタイミング回路1102が選択され、図17に示した分割サブマルチライン駆動を行う。

【0085】

図12の走査線駆動回路でも同様に、制御回路に、信号L S E Lが追加されていて、信号L S E LがLowの時、図12に示した通常のマルチライン駆動を行うための通常制御回路1201が選択され、信号L S E LがHighの時、分割サブ用の制御回路1202が選択され、図17に示した分割サブマルチライン駆動を行う。

【0086】

10

20

30

40

50

図13の全体の接続例では、信号LSELが追加されている点が違うだけで、2種類の駆動方法を選択できる表示装置を提供できる。

【0087】

【図面の簡単な説明】

【図1】本発明の信号線駆動回路のブロック図。

【図2】本発明の走査線駆動回路のブロック図。

【図3】本発明の駆動回路の接続例を示す図。

【図4】本発明の駆動回路の入力タイミングを示す図。

【図5】本発明の走査パターン回路図。

【図6】本発明の走査パターン回路のタイミング図。

10

【図7】本発明の駆動回路の入力タイミングを示す図。

【図8】本発明のMCLK回路を示す図。

【図9】本発明の信号線駆動回路のリセット回路とタイミング図。

【図10】本発明の走査線駆動回路のリセット回路とタイミング図。

【図11】本発明の信号線駆動回路のブロック図。

【図12】本発明の走査線駆動回路のブロック図。

【図13】本発明の駆動回路の接続例を示す図。

【図14】表示装置の図。

【図15】マルチライン駆動の電圧波形図。

【図16】従来の駆動回路図。

20

【図17】分割サブマルチライン駆動の電圧波形図。

【符号の説明】

101 タイミング回路

102 データ制御回路

103 行アドレスレジスタ

104 チップイネーブルコントロール回路

105 入力レジスタ

106 書込みレジスタ

107 フレームメモリ

108 不一致数判定回路(デコーダ)

30

109 レベルシフタ

110 電圧セレクタ

201 制御回路

202 シフトレジスタ

203 デコーダ

204 レベルシフタ

205 電圧セレクタ

301 表示パネル

302 走査線駆動回路

303、304 信号線駆動回路

40

501 NANDゲート

502、503、505、506 DFR(Dフィリップ・フロップ)

504 ORゲート

507、508 EX_ORゲート

801 DFR(Dフィリップ・フロップ)

802 ANDゲート

803 ORゲート

804 インバータ

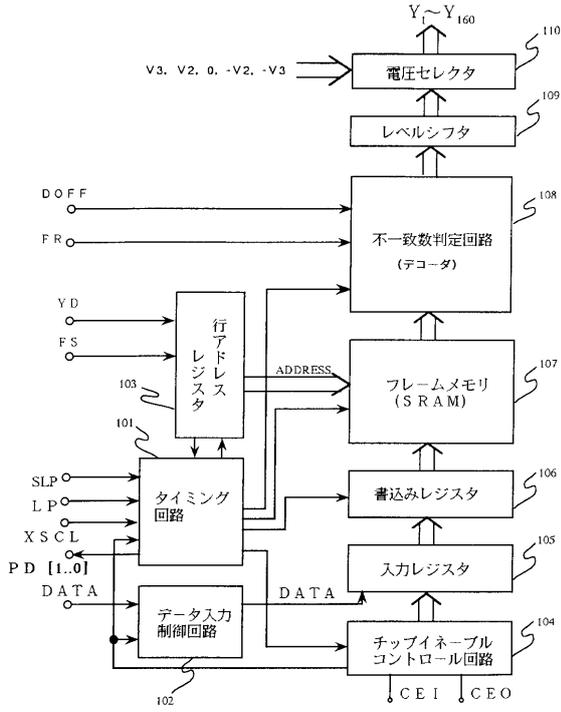
901 DFR(Dフィリップ・フロップ)

902 インバータ

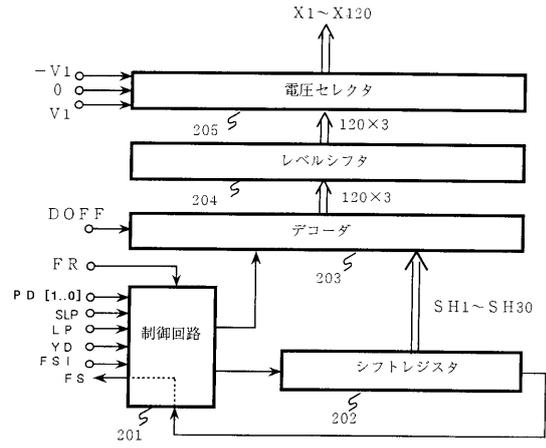
50

9 0 3	N A N Dゲート	
1 0 0 1	D F R (D フィリップ・フロップ)	
1 0 0 2	インバータ	
1 0 0 3	A N Dゲート	
1 0 0 4	N A N Dゲート	
1 1 0 1	通常タイミング回路	
1 1 0 2	分割サブ用タイミング回路	
1 1 0 3	タイミング回路	
1 1 0 4	データ制御回路	
1 1 0 5	行アドレスレジスタ	10
1 1 0 6	チップイネーブルコントロール回路	
1 1 0 7	入力レジスタ	
1 1 0 8	書込みレジスタ	
1 1 0 9	フレームメモリ	
1 1 1 0	不一致数判定回路	
1 1 1 1	レベルシフタ	
1 1 1 2	電圧セレクタ	
1 2 0 1	通常制御回路	
1 2 0 2	分割サブ用制御回路	
1 2 0 3	制御回路	20
1 2 0 4	シフトレジスタ	
1 2 0 5	デコーダ	
1 2 0 6	レベルシフタ	
1 2 0 7	電圧セレクタ	
1 3 0 1	表示パネル	
1 3 0 2	走査線駆動回路	
1 3 0 3、	1 3 0 4	信号線駆動回路

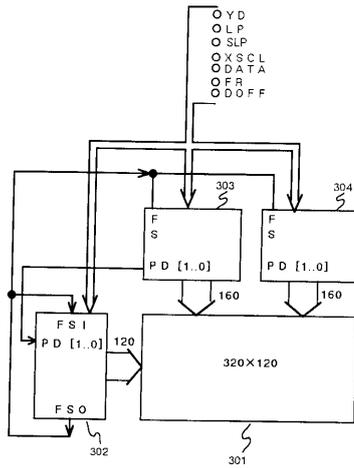
【 図 1 】



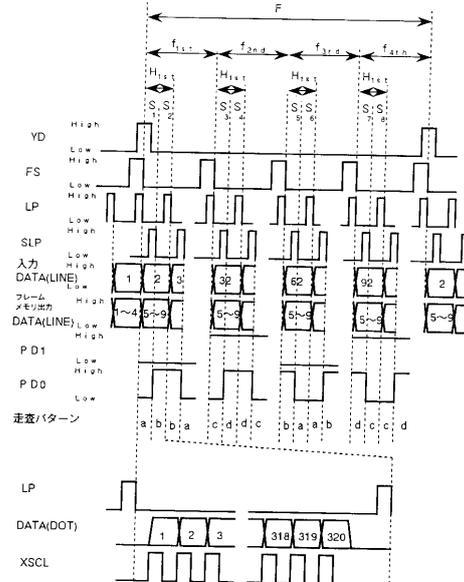
【 図 2 】



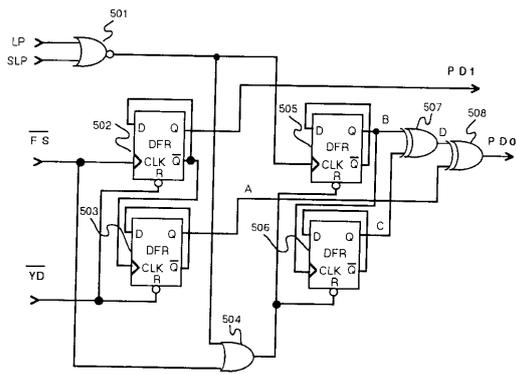
【 図 3 】



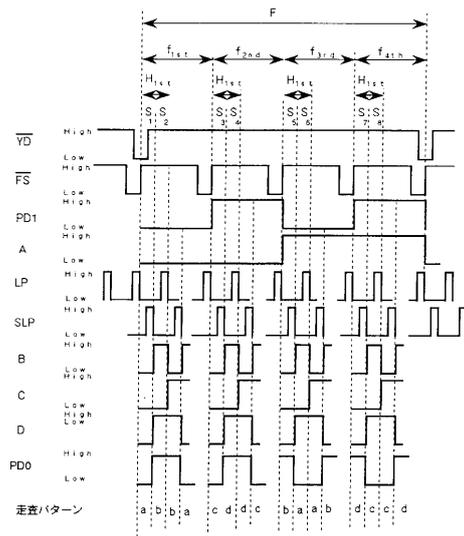
【 図 4 】



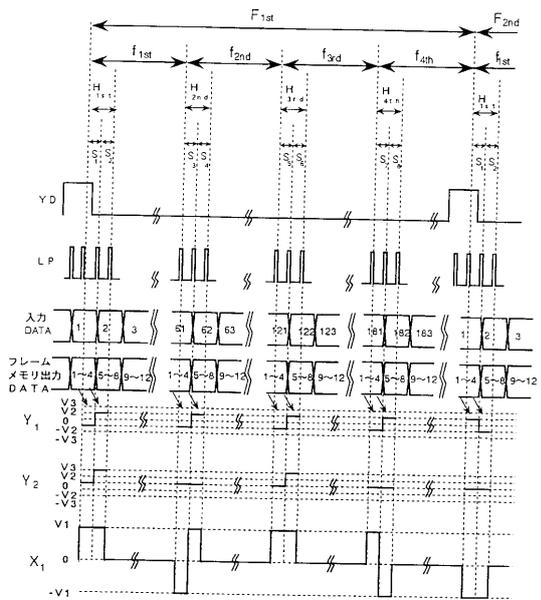
【 図 5 】



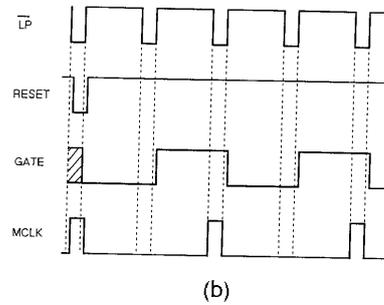
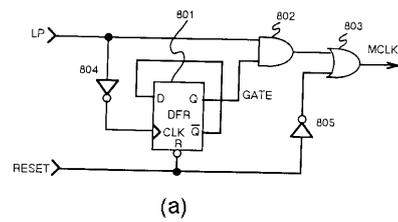
【 図 6 】



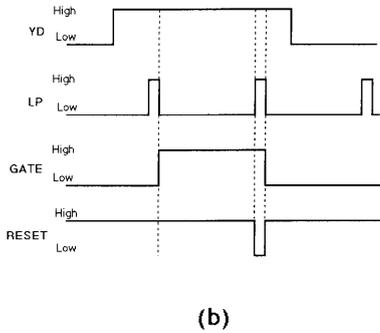
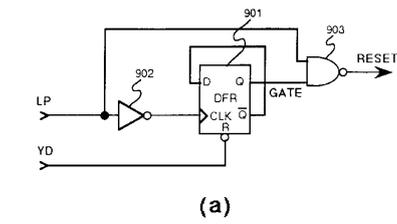
【 図 7 】



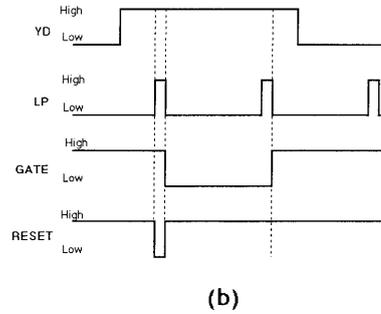
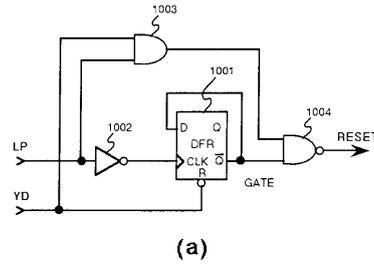
【 図 8 】



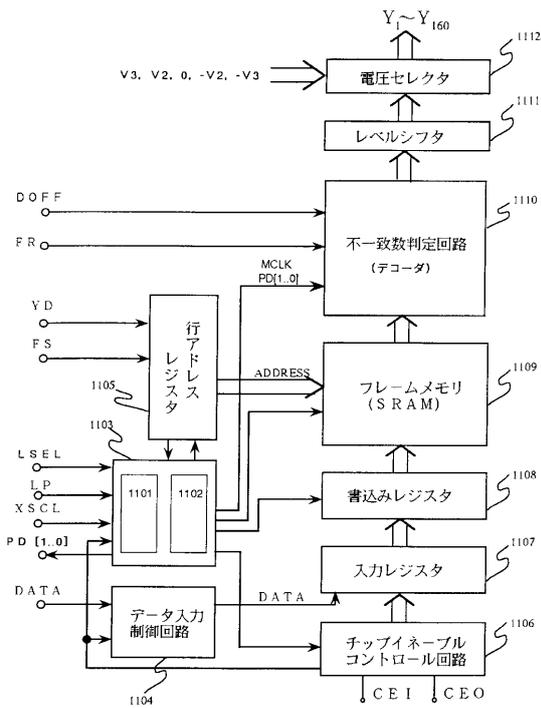
【図9】



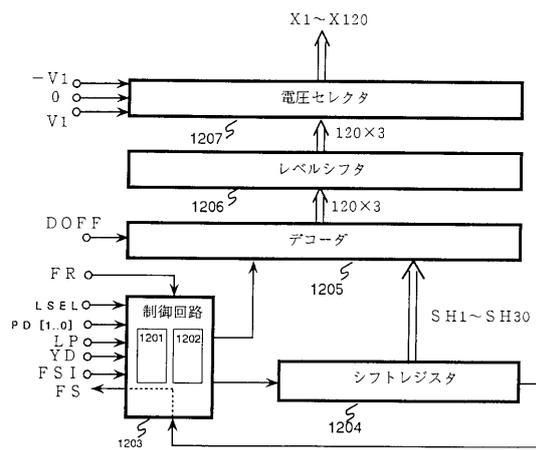
【図10】



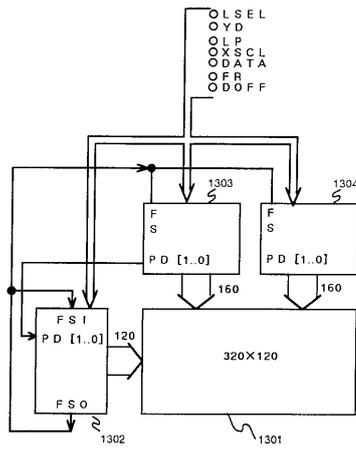
【図11】



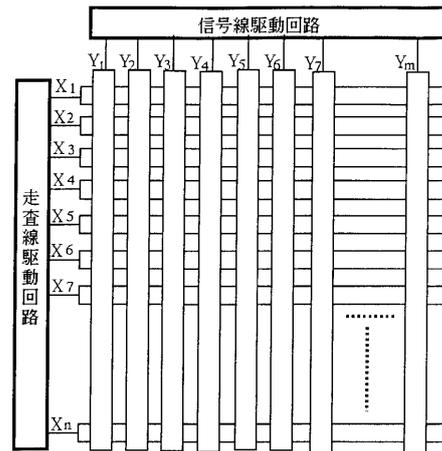
【図12】



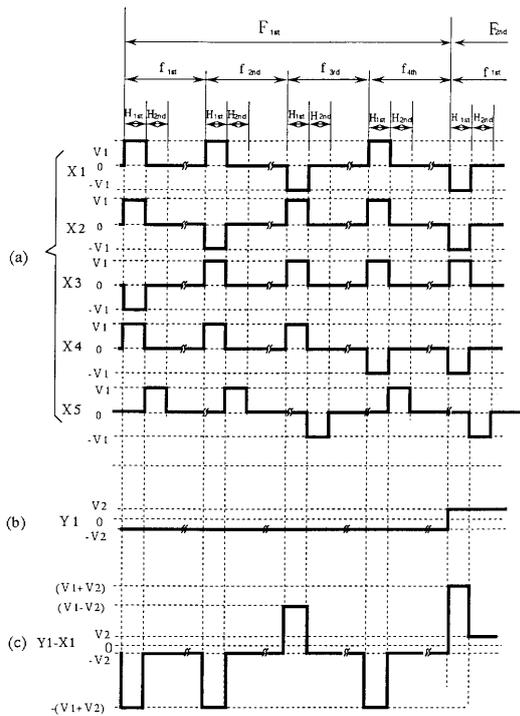
【 図 1 3 】



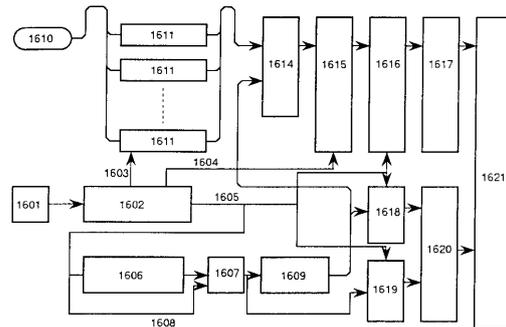
【 図 1 4 】



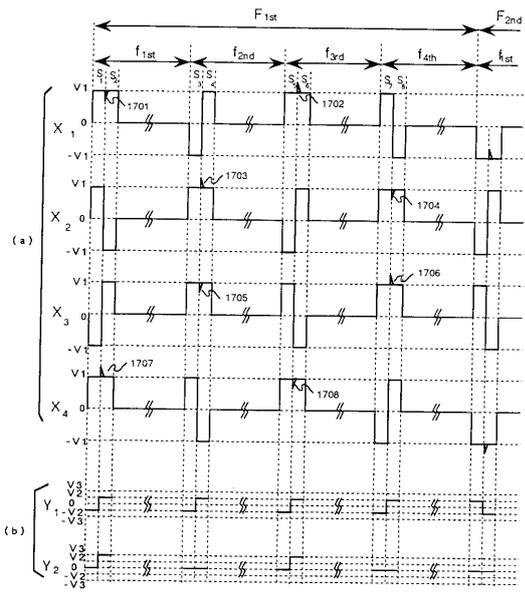
【 図 1 5 】



【 図 1 6 】



【 図 17 】



フロントページの続き

(56)参考文献 国際公開第95/034020(WO, A1)

(58)調査した分野(Int.Cl.⁷, DB名)
G02F 1/133 545