



(12)发明专利

(10)授权公告号 CN 106981307 B

(45)授权公告日 2020.04.07

(21)申请号 201710044103.1

(22)申请日 2017.01.19

(65)同一申请的已公布的文献号  
申请公布号 CN 106981307 A

(43)申请公布日 2017.07.25

(30)优先权数据  
62/280,683 2016.01.19 US

(73)专利权人 力旺电子股份有限公司  
地址 中国台湾新竹市

(72)发明人 林义琅

(74)专利代理机构 北京市柳沈律师事务所  
11105  
代理人 王珊珊

(51)Int.Cl.

G11C 16/08(2006.01)

G11C 16/10(2006.01)

G11C 16/26(2006.01)

G11C 8/10(2006.01)

G11C 7/10(2006.01)

(56)对比文件

CN 103534759 A,2014.01.22,

CN 101650972 A,2010.02.17,

CN 105321570 A,2016.02.10,

CN 104517644 A,2015.04.15,

US 2012218829 A1,2012.08.30,

US 2006007774 A1,2006.01.12,

审查员 耿翠萍

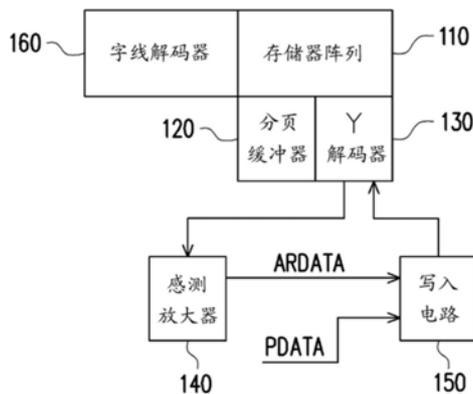
权利要求书3页 说明书7页 附图5页

(54)发明名称

存储器装置、其外围电路及其单字节数据写入方法

(57)摘要

存储器装置、其外围电路及其单字节数据写入方法。外围电路包括一Y解码器、一分页缓冲器及一写入电路。写入电路通过Y解码器耦接一存储器阵列及分页缓冲器,并且接收一字节的一编程数据。写入电路依据编程数据对应的一存储器地址通过Y解码器读取存储器阵列所存储的多字节的一阵列数据,以将所读取的阵列数据通过Y解码器写入至分页缓冲器。接着,编程数据通过写入电路及Y解码器写入至存储器阵列,并且阵列数据由分页缓冲器写入至存储器阵列。



1. 一种存储器装置的外围电路,其特征在于,包括:  
Y解码器,耦接该存储器装置的存储器阵列;  
分页缓冲器,耦接该存储器阵列及该Y解码器;  
写入电路,通过该Y解码器耦接该存储器阵列及该分页缓冲器,并且接收一字节的编程数据;以及

感测放大器,耦接于该Y解码器与该写入电路之间,以通过该Y解码器读取该存储器阵列所存储的多字节的阵列数据后提供至该写入电路;

其中,所读取的该阵列数据是依据该编程数据对应的存储器地址,所读取的该阵列数据是通过该Y解码器写入至该分页缓冲器但不经过该分页缓冲器,并且接着该编程数据通过该写入电路及该Y解码器写入至该存储器阵列但不覆盖该编程数据,并且该阵列数据由该分页缓冲器写入至该存储器阵列。

2. 如权利要求1所述的外围电路,其特征在于,该存储器地址包括字线地址及位线地址,并且该编程数据与该阵列数据对应同一字线地址。

3. 如权利要求2所述的外围电路,其特征在于,还包括字线解码器,依据该字线地址驱动该存储器阵列。

4. 如权利要求1所述的外围电路,其特征在于,该存储器阵列具有多个存储器胞,并且在该写入电路将该阵列数据写入至该分页缓冲器后,抹除该存储器地址对应的这些存储器胞及该阵列数据对应的这些存储器胞。

5. 如权利要求1所述的外围电路,其特征在于,该Y解码器及该分页缓冲器通过多条位线耦接至该存储器阵列。

6. 如权利要求5所述的外围电路,其特征在于,该存储器阵列具有多个存储器胞,该Y解码器具有多个解码单元,并且该分页缓冲器具有多个缓冲单元,其中各这些解码单元及各这些缓冲单元通过对应的位线耦接至对应的存储器胞。

7. 如权利要求6所述的外围电路,其特征在于,各这些缓冲单元包括:

第一传输门,具有耦接对应的位线的第一端、耦接内部锁存节点的第二端、接收页面缓冲致能信号的正控制端、以及接收反相页面缓冲致能信号的负控制端;

第一反相器,具有耦接该内部锁存节点的输入端及输出端;

三态反相器,具有耦接该第一反相器的该输出端的输入端、以及耦接该内部锁存节点的输出端,其中该三态反相器受控于该页面缓冲致能信号及Y解码信号。

8. 如权利要求7所述的外围电路,其特征在于,该三态反相器包括:

第一晶体管,具有接收第一参考电压的第一源/漏极、接收该Y解码信号的第一栅极、以及第二源/漏极;

第二晶体管,具有耦接该第二源/漏极的第三源/漏极、耦接该输入端的第二栅极、以及耦接该输出端的第四源/漏极;

第三晶体管,具有耦接该输出端的第五源/漏极、耦接该输入端的第三栅极、以及第六源/漏极;

第四晶体管,具有耦接该第六源/漏极的第七源/漏极、接收反相Y解码信号的第四栅极、以及接收第二参考电压的第八源/漏极;

第五晶体管,具有接收该第一参考电压的第九源/漏极、接收该页面缓冲致能信号的第九

五栅极、以及耦接该第二源/漏极的第十源/漏极；以及

第六晶体管，具有耦接该第六源/漏极的第十一源/漏极、接收该反相页面缓冲致能信号的第六栅极、以及接收该第二参考电压的第十二源/漏极。

9. 如权利要求8所述的外围电路，其特征在于，该Y解码器通过多条数据线耦接至该写入电路。

10. 如权利要求9所述的外围电路，其特征在于，各这些解码单元包括：

第二传输门，具有耦接对应的位线的第一端、耦接对应的数据线的第二端、接收该Y解码信号的正控制端、以及接收该反相Y解码信号的负控制端。

11. 如权利要求9所述的外围电路，其特征在于，该写入电路具有多个写入单元，并且各这些写入单元包括：

第三传输门，具有接收该阵列数据的第一端、第二端、接收反相数据选择信号的正控制端、以及接收数据选择信号的负控制端；

第四传输门，具有接收该编程数据的第一端、耦接该第三传输门的该第二端的第二端、接收该数据选择信号的正控制端、以及接收该反相数据选择信号的负控制端；

第二反相器，具有耦接该第三传输门的该第二端的输入端及输出端；以及

第三反相器，具有耦接该第二反相器的该输出端的输入端、耦接对应的数据线的输出端以及接收写入致能信号的控制端。

12. 如权利要求1所述的外围电路，其特征在于，当该感测放大器读取该存储器阵列的该阵列数据时，开启该存储器阵列及该Y解码器，并且关闭该分页缓冲器，当该写入电路将该阵列数据写入该分页缓冲器时，开启该Y解码器及该分页缓冲器，并且关闭该存储器阵列，当该写入电路将该编程数据写入该存储器阵列时，开启该存储器阵列、该分页缓冲器及该Y解码器，当该阵列数据由该分页缓冲器写入该存储器阵列时，开启该存储器阵列及该分页缓冲器，并且关闭该Y解码器。

13. 一种存储器装置，其特征在于，包括：

存储器阵列；以及

如权利要求1所述的外围电路，耦接该存储器阵列，并且接收一字节的编程数据，以将该编程数据写入该存储器阵列。

14. 一种存储器装置的单字节数据写入方法，其特征在于，包括：

通过写入电路接收一字节的编程数据；

通过感测放大器及Y解码器依据该编程数据对应的存储器地址读取存储器阵列所存储的多字节的阵列数据，并且通过该写入电路及该Y解码器将该阵列数据写入至分页缓冲器；

通过该写入电路及该Y解码器将该编程数据写入至该存储器阵列；以及

通过该分页缓冲器将该阵列数据写入至该存储器阵列。

15. 如权利要求14所述的单字节数据写入方法，其特征在于，该存储器地址包括字线地址及位线地址，并且该编程数据与该阵列数据对应同一字元地址。

16. 如权利要求14所述的单字节数据写入方法，其特征在于，该存储器阵列具有多个存储器胞，并且该单字节数据写入方法还包括：

在该写入电路将该阵列数据写入至该分页缓冲器后，抹除该存储器地址对应的这些存储器胞及该阵列数据对应的这些存储器胞。

17. 如权利要求14所述的单字节数据写入方法,还包括:

当该感测放大器读取该存储器阵列的该阵列数据时,开启该存储器阵列及该Y解码器,并且关闭该分页缓冲器;

当该写入电路将该阵列数据写入该分页缓冲器时,开启该Y解码器及该分页缓冲器,并且关闭该存储器阵列;

当该写入电路将该编程数据写入该存储器阵列时,开启该存储器阵列、该分页缓冲器及该Y解码器;以及

当该阵列数据由该分页缓冲器写入该存储器阵列时,开启该存储器阵列及该分页缓冲器,并且关闭该Y解码器。

18. 如权利要求14所述的单字节数据写入方法,其中在通过该写入电路及该Y解码器将该编程数据写入至该存储器阵列时,同时通过该分页缓冲器将该阵列数据写入至该存储器阵列。

19. 如权利要求14所述的单字节数据写入方法,其中“通过该感测放大器及该Y解码器依据该编程数据对应的该存储器地址读取该存储器阵列所存储的该多字节的该阵列数据,并且通过该写入电路及该Y解码器将该阵列数据写入至该分页缓冲器”的步骤包括:

A) 设定对应该编程数据的该存储器地址的字线地址及位线地址;

B) 递增该位线地址;

C) 依据递增的该位线地址通过该感测放大器及该Y解码器读取在该存储器阵列的分页中的一字节的该阵列数据;

D) 通过该写入电路及该Y解码器将该阵列数据写入该分页缓冲器;以及

E) 当递增的该位线地址非对应该分页中最后未读取的该阵列数据时,重复步骤B至E,其中最后未读取的该阵列数据非对应该存储器地址的该位线地址。

20. 如权利要求14所述的单字节数据写入方法,其中在该存储器阵列的分页的大小为M字节,并且“依据该编程数据对应的该存储器地址读取该存储器阵列所存储的该多字节的该阵列数据”的步骤包括:

由1计数至N以产生计数结果,其中M为整数;

当该计数结果小于M时,读取一字节的该阵列数据;以及

当该计数结果等于M时,停止该阵列数据的读取。

## 存储器装置、其外围电路及其单字节数据写入方法

### 技术领域

[0001] 本发明涉及一种存储器装置,且特别涉及一种存储器装置、其外围电路及其单字节数据写入方法。

### 背景技术

[0002] 在目前,随着科学与技术的快速发展,非易失性存储器已广泛用于电子装置中,并且非易失性存储器(例如,快闪存储器)用以存储电子装置的信息,且非易失性存储器对于电子装置的重要的日益增加。然而,受限于非易失性存储器的半导体结构,非易失性存储器的写入是以分页为单位,而不是单字节,因此会影响非易失性存储器的写入效能。

### 发明内容

[0003] 本发明提供一种存储器装置、其外围电路及其单字节数据写入方法,可接收单字节的编程数据并且对应地对存储器阵列进行数据更新。

[0004] 本发明的存储器装置的外围电路,包括一Y解码器、一分页缓冲器、一写入电路及一感测放大器。Y解码器耦接存储器装置的一存储器阵列。分页缓冲器耦接存储器阵列及Y解码器。写入电路通过Y解码器耦接存储器阵列及分页缓冲器,并且接收一字节的一编程数据。感测放大器耦接于Y解码器与写入电路之间,以通过Y解码器读取存储器阵列所存储的多字节的一阵列数据后提供阵列数据至写入电路。所读取的阵列数据是依据编程数据对应的一存储器地址,并且所读取的阵列数据通过Y解码器写入至分页缓冲器。接着,编程数据通过写入电路及Y解码器写入至存储器阵列,并且阵列数据由分页缓冲器写入至存储器阵列。

[0005] 本发明的存储器装置,包括一存储器阵列及如上所述的外围电路。外围电路耦接存储器阵列,并且接收一字节的一编程数据,以将编程数据写入存储器阵列。

[0006] 本发明的存储器装置的单字节数据写入方法,包括下列步骤。通过一写入电路接收一字节的一编程数据。通过一感测放大器及一Y解码器依据编程数据对应的一存储器地址读取一存储器阵列所存储的多字节的一阵列数据,并且通过写入电路及Y解码器将阵列数据写入至一分页缓冲器。通过写入电路及Y解码器将编程数据写入至存储器阵列。通过分页缓冲器将阵列数据写入至存储器阵列。

[0007] 基于上述,本发明实施例的存储器装置、其外围电路及其单字节数据写入方法,其写入电路读取未选取的阵列数据并写入至分页缓冲器中,并且将选取的编程数据直接写入至存储器阵列中,而阵列数据通过分页缓冲器写入存储器阵列中。藉此,可在一分页写入的存储器阵列中进行单字节数据的数据更新。

[0008] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

**附图说明**

[0009] 图1为依据本发明一实施例的存储器装置的系统示意图。

[0010] 图2为依据本发明一实施例的存储器阵列、Y解码器、分页缓冲器及写入电路的电路示意图。

[0011] 图3为依据本发明一实施例的缓冲单元的电路示意图。

[0012] 图4为依据本发明一实施例的解码单元的电路示意图。

[0013] 图5为依据本发明一实施例的写入单元的电路示意图。

[0014] 图6为依据本发明一实施例的存储器装置的单字节数据写入方法的流程图。

[0015] 图7为依据本发明一实施例的存储器装置的单字节数据写入方法的流程图。

**【符号说明】**

[0017] 100:存储器装置

[0018] 110:存储器阵列

[0019] 111:存储器胞

[0020] 120:分页缓冲器

[0021] 121:缓冲单元

[0022] 130:Y解码器

[0023] 131:解码单元

[0024] 140:感测放大器

[0025] 150:写入电路

[0026] 151:写入单元

[0027] 160:字线解码器

[0028] 310:三态反相器

[0029] ARDATA:阵列数据

[0030] BL<sub>1</sub>、BL<sub>2</sub>:位线

[0031] DL<sub>1</sub>、DL<sub>2</sub>:数据线

[0032] DSL:数据选择信号

[0033] ENPGBUF:页面缓冲致能信号

[0034] ENWR:写入致能信号

[0035] GND:第二参考电压

[0036] IE:输入端

[0037] IN\_LAT:内部锁存节点

[0038] INV1:第一反相器

[0039] INV2:第二反相器

[0040] INV3:第三反相器

[0041] M1~M6:晶体管

[0042] OE:输出端

[0043] PDATA:编程数据

[0044] TR1:第一传输门

[0045] TR2:第二传输门

- [0046] TR3:第三传输门
- [0047] TR4:第四传输门
- [0048] VCC:第一参考电压
- [0049] YD1:Y解码信号
- [0050] ZDSL:反相数据选择信号
- [0051] ZENPGBUF:反相页面缓冲致能信号
- [0052] ZYD1:反相Y解码信号
- [0053] S610、S620、S630、S640、S710、S720、S730、S740、S750、S760、S770:步骤

### 具体实施方式

[0054] 图1为依据本发明一实施例的存储器装置的系统示意图。请参照图1,在本实施例中,存储器装置100包括存储器阵列110、分页缓冲器120、Y解码器130、感测放大器140、写入电路150及字线解码器160,其中存储器装置100可以是非易失性存储器装置,并且存储器阵列110例如包括多个阵列排列的存储器胞(稍后说明),但本发明实施例不以此为限。并且,分页缓冲器120、Y解码器130、感测放大器140、写入电路150及字线解码器160可视为一外围电路,耦接存储器阵列110,并且接收由外部所提供的一字节的编程数据PDATA后,将编程数据PDATA写入存储器阵列110。

[0055] 存储器阵列110耦接至分页缓冲器120、Y解码器130及字线解码器160,其中存储器阵列110、分页缓冲器120及Y解码器130相互耦接。感测放大器140耦接至Y解码器130及写入电路150,并且写入电路150耦接至Y解码器130。

[0056] 写入电路150接收编程数据PDATA,并且感测放大器140通过Y解码器130耦接至存储器阵列110,以通过Y解码器130依据编程数据PDATA对应的存储器地址读取存储器阵列110所存储的多字节的阵列数据ARDATA后,提供阵列数据ARDATA至写入电路150。

[0057] 接着,写入电路150将所读取的阵列数据ARDATA通过Y解码器130写入至分页缓冲器120,并且接着编程数据PDATA通过写入电路150及Y解码器130写入至存储器阵列110,但编程数据PDATA不会经过分页缓冲器120。然后,阵列数据ARDATA由分页缓冲器120写入至存储器阵列110,但不会覆盖编程数据PDATA。

[0058] 在本实施例中,存储器地址包括字线地址及位线地址,并且编程数据PDATA与阵列数据ARDATA例如对应同一字线地址。一般来说,一分页代表在一字线的存储器胞。进一步来说,在感测放大器140读取存储器阵列110时,字线解码器160会依据编程数据PDATA对应的存储器地址中的字线地址(亦即选定的字线地址)驱动存储器阵列110,以致能存储器阵列110中一分页的存储器胞(例如是控制逻辑上同一列的所有存储器胞),接着位线地址会递增,以使感测放大器140可依序读取此分页的存储器胞中所存储的阵列数据ARDATA。

[0059] 在本实施例中,当写入电路150通过感测放大器140接收存储器阵列110的阵列数据ARDATA时,开启存储器阵列110及Y解码器130,并且关闭分页缓冲器120;当写入电路150将阵列数据ARDATA写入分页缓冲器120时,开启Y解码器130及分页缓冲器120,并且关闭存储器阵列110;当写入电路150将编程数据PDATA写入存储器阵列110时,开启存储器阵列110、分页缓冲器120及Y解码器130;当阵列数据ARDATA由分页缓冲器120写入存储器阵列110时,开启存储器阵列110及分页缓冲器120,并且关闭Y解码器130。

[0060] 在本发明的一实施例中,感测放大器140所读取的阵列数据ARDATA可包含编程数据PDATA所要写入的存储器胞中所存储的数据,也可以不包含编程数据PDATA所要写入的存储器胞中所存储的数据。在写入电路150将阵列数据ARDATA写入至分页缓冲器120后,可抹除编程数据PDATA及阵列数据ARDATA的存储器地址所对应的存储器胞(亦即一页)。

[0061] 图2为依据本发明一实施例的存储器阵列、Y解码器、分页缓冲器及写入电路的线路示意图。请参照图1及图2,其中相同或相似元件使用相同或相似标号。在本实施例中,存储器阵列110具有多个存储器胞111,Y解码器130具有多个解码单元131、分页缓冲器120具有多个缓冲单元121,并且写入电路150具有多个写入单元151。

[0062] 在本实施例中,Y解码器130及分页缓冲器120通过多条位线(即 $BL_1$ 、 $BL_2$ 、 $\dots$ )耦接至存储器阵列110。换句话说,各个解码单元131及各缓冲单元121通过对应的位线(如 $BL_1$ 、 $BL_2$ )耦接至对应的存储器胞111。并且,Y解码器130通过多条数据线(即 $DL_1$ 、 $DL_2$ 、 $\dots$ )耦接至感测放大器140及写入电路150。在一实施例中,编程数据PDATA为8位(bit),写入电路150具有8个写入单元151,放大传感器140连接至数据线 $DL_1 \sim DL_8$ ,因此,当位线地址递增时,放大传感器140会依序送出8位编程数据PDATA至写入电路150。

[0063] 图3为依据本发明一实施例的缓冲单元的电路示意图。请参照图1至图3,在本实施例中,各个缓冲单元121包括第一传输门TR1、第一反相器INV1及三态反相器310。第一传输门TR1的第一端耦接对应的位线 $BL_1$ ,第一传输门TR1的第二端耦接一内部锁存节点IN\_LAT,第一传输门TR1的正控制端接收页面缓冲致能信号ENPGBUF,第一传输门TR1的负控制端接收一反相页面缓冲致能信号ZENPGBUF。第一反相器INV1的输入端耦接内部锁存节点IN\_LAT。三态反相器310的输入端IE耦接第一反相器INV1的输出端,三态反相器310的输出端OE耦接内部锁存节点IN\_LAT,其中三态反相器310受控于页面缓冲致能信号ENPGBUF、反相页面缓冲致能信号ZENPGBUF、Y解码信号YD1及反相Y解码信号ZYD1,页面缓冲致能信号ENPGBUF与反相页面缓冲致能信号ZENPGBUF互补,并且Y解码信号YD1与反相Y解码信号ZYD1互补。

[0064] 三态反相器310包括晶体管M1~M6(对应第一晶体管至第六晶体管)。晶体管M1的源极(对应第一源/漏极)接收第一参考电压VCC,晶体管M1的栅极(对应第一栅极)接收Y解码信号YD1。晶体管M2的源极(对应第三源/漏极)耦接晶体管M1的漏极(对应第二源/漏极),晶体管M2的栅极(对应第二栅极)耦接三态反相器310的输入端IE,晶体管M2的漏极(对应第四源/漏极)耦接三态反相器310的输出端OE。

[0065] 晶体管M3的漏极(对应第五源/漏极)耦接三态反相器310的输出端OE,晶体管M3的栅极(对应第三栅极)耦接三态反相器310的输入端IE。晶体管M4的漏极(对应第七源/漏极)耦接晶体管M3的源极(对应第六源/漏极),晶体管M4的栅极(对应第四栅极)接收反相Y解码信号ZYD1,晶体管M4的源极(对应第八源/漏极)接收第二参考电压GND。

[0066] 晶体管M5的源极(对应第九源/漏极)接收第一参考电压VCC,晶体管M5的栅极(对应第五栅极)接收页面缓冲致能信号ENPGBUF,晶体管M5的漏极(对应第十源/漏极)耦接晶体管M1的漏极。晶体管M6的漏极(对应第十一源/漏极)耦接晶体管M3的源极(对应第六源/漏极),晶体管M6的栅极(对应第六栅极)接收反相页面缓冲致能信号ZENPGBUF,晶体管M6的源极(对应第十二源/漏极)接收第二参考电压GND。

[0067] 在本实施例中,当页面缓冲致能信号ENPGBUF致能时(例如为高电压电平),亦即反

相页面缓冲致能信号ZENPGBUF为禁能(例如为低电压电平),第一传输门TR1会导通,亦即开启分页缓冲器120;反之,当页面缓冲致能信号ENPGBUF禁能时,第一传输门TR1会截止,亦即关闭分页缓冲器120。并且,当Y解码信号YD1及页面缓冲致能信号ENPGBUF皆致能时,亦即写入电路150写入数据至分页缓冲器120或存储器阵列110,数据线DL<sub>1</sub>连接至位线BL<sub>1</sub>,位线BL<sub>1</sub>连接至内部锁存节点IN\_LAT,晶体管M1、M4~M6截止,并且位线BL<sub>1</sub>上的数据可易于写入到三态反相器310的输入端IE;当Y解码信号YD1禁能且页面缓冲致能信号ENPGBUF致能时,亦即分页缓冲器120写入数据至存储器阵列110,数据线DL<sub>1</sub>断开与位线BL<sub>1</sub>的连接,位线BL<sub>1</sub>连接至内部锁存节点IN\_LAT,晶体管M1、M4导通,并且锁存的数据将会通过位线BL<sub>1</sub>写入至存储器阵列110;一旦页面缓冲致能信号ENPGBUF禁能时,位线BL<sub>1</sub>断开与内部锁存节点IN\_LAT的连接,晶体管M5及M6导通,此时数据是锁存在缓冲单元121中的内部锁存节点IN\_LAT。

[0068] 图4为依据本发明一实施例的解码单元的电路示意图。请参照图1、图2及图4,在本实施例中,各个解码单元131包括第二传输门TR2。第二传输门TR2的第一端耦接对应的位线BL,第二传输门TR2的第二端耦接对应的数据线DL<sub>1</sub>,第二传输门TR2的正控制端接收Y解码信号YD1,第二传输门TR2的负控制端接收反相Y解码信号的ZYD1。当Y解码信号YD1致能时(例如为高电压电平),亦即反相Y解码信号的ZYD1F为禁能(例如为低电压电平),第二传输门TR2会导通,亦即开启Y解码器130;反之,当Y解码信号YD1禁能时,第二传输门TR2会截止,亦即关闭Y解码器130。在本发明的一实施例中,一分页为M个字节,位线(如BL<sub>1</sub>、BL<sub>2</sub>)的数目N为M的8倍,亦即 $N=8X_m$ 。因此,一条数据线(如DL<sub>1</sub>、DL<sub>2</sub>)连接至M个解码单元131。并且,位线会是BL<sub>1</sub>~BL<sub>N</sub>,Y解码信号会是YD1~YDN,并且反相Y解码信号会是ZYD1~ZYDN。

[0069] 在本发明一实施例中,各个位线对应一Y解码信号(如YD1~YDN)及一反相Y解码信号(如ZYD1~ZYDN),并且解码信号(如YD1~YDN)可以是部分致能、部分禁能、全部致能或全部禁能。缓冲单元(如121)的第一传输门TR1接收同一页面缓冲致能信号(如ENPGBUF)及同一反相页面缓冲致能信号(如ZENPGBUF),亦即缓冲单元(如121)所接收的页面缓冲致能信号(如ENPGBUF)为全部致能或全部禁能。

[0070] 在本发明一实施例中,存储器阵列110只能进行分页抹除操作及分页编程操作,亦即在同一字线上的存储器胞(如111)是同时抹除或同时编程。当执行一字节写入方案时(亦即将编程数据PDATA写入至存储器阵列110),用以传送编程数据PDATA的位线(如BL<sub>1</sub>~BL<sub>N</sub>)所对应的Y解码信号(如YD1~YDN)为致能,其他Y解码信号(如YD1~YDN)为禁能,并且页面缓冲致能信号(如ENPGBUF)为致能。因此,编程数据PDATA通过写入电路150及Y解码器130写入至存储器阵列110,同时阵列数据ARDATA由分页缓冲器120写入至存储器阵列110。

[0071] 图5为依据本发明一实施例的写入单元的电路示意图。请参照图1、图2及图4,在本实施例中,各个写入单元151包括第三传输门TR3、第四传输门TR4、第二反相器INV2及第三反相器INV3。第三传输门TR3的第一端接收阵列数据ARDATA,第三传输门TR3的正控制端接收反相数据选择信号ZDSL,第三传输门TR3的负控制端接收数据选择信号DSL。

[0072] 第四传输门TR4的第一端接收编程数据PDATA,第四传输门TR4的第二端耦接第三传输门TR3的第二端,第四传输门TR4的正控制端接收数据选择信号DSL,第四传输门TR4的负控制端接收反相数据选择信号ZDSL。第二反相器INV2的输入端耦接第三传输门TR3的第二端。第三反相器INV3的输入端耦接第二反相器INV2的输出端,第三反相器INV3的输出端耦接对应的数据线DL<sub>1</sub>,第三反相器INV3的控制端接收写入致能信号ENWR。

[0073] 在本实施例中,当数据选择信号DSL致能时(例如为高电压电平),亦即反相数据选择信号ZDSL为禁能(例如为低电压电平),第四传输门TR4会导通,第三传输门TR3会截止,亦即编程数据PDATA会提供至第二反相器INV2;反之,当数据选择信号DSL禁能时,第三传输门TR3会导通,第四传输门TR4会截止,亦即阵列数据ARDATA会提供至第二反相器INV2。

[0074] 图6为依据本发明一实施例的存储器装置的单字节数据写入方法的流程图。请参照图6,在本实施例中,单字节数据写入方法包括下列步骤。在步骤S610中,会通过写入电路接收一字节的一编程数据。在步骤S620中,会通过一感测放大器及Y解码器依据编程数据对应的一存储器地址读取存储器阵列所存储的多字节的一阵列数据,并且通过写入电路及Y解码器将阵列数据写入至分页缓冲器。接着,在步骤S630中,在写入电路将阵列数据写入至分页缓冲器后,抹除所读取的阵列数据的存储器地址所对应的存储器阵列中的存储器胞。在步骤S640中,通过写入电路及Y解码器将编程数据写入至存储器阵列。此时,通过分页缓冲器将阵列数据写入至存储器阵列。

[0075] 图7为依据本发明另一实施例的存储器装置的单字节数据写入方法的流程图。请参照图7,在本实施例中,单字节数据写入方法包括下列步骤。在步骤S710中,会设定选定的一字线地址及一位线地址。在步骤S720中,会递增位线地址。在步骤S730中,会读取存储器阵列的一分页中未选定的一字节的阵列数据。接着,在步骤S740中,将阵列数据存储于分页缓冲器中。

[0076] 在步骤S750中,会判断位线地址是否对应此分页中最后一个未读取且未选定的阵列数据。当位线地址未对应此分页中最后一个未读取且未选定的阵列数据时,亦即步骤S750的判断结果为“否”,则回到步骤S720;当位线地址是对应此分页中最后一个未读取且未选定的阵列数据时,亦即步骤S750的判断结果为“是”,则停止阵列数据的读取,并且接着执行步骤S760。

[0077] 在步骤S760中,会抹除此分页。最后,在步骤S770中,将编程数据(亦即选定的数据)直接写入存储器阵列中,以更新此分页中所存储的数据,并且通过分页缓冲器将阵列数据(亦即未选定的数据)写入存储器阵列中,以回写此分页中所存储的数据。

[0078] 其中,上述步骤S610、S620、S630、S640、S710、S720、S730、S740、S750、S760及S770的顺序为用以说明,本发明实施例不以此为限。并且,上述步骤S610、S620、S630、S640、S710、S720、S730、S740、S750、S760及S770的细节可参照图1至图5的实施例所示,在此则不再赘述。

[0079] 在本发明的一实施例中,假设一分页的大小为M字节,而单字节数据写入方法可由1计数至M,亦即分页的阵列数据是逐字节读取,以判断是否进行阵列数据的读取。换句话说,当计数结果小于M时,进行阵列数据的读取,当计数结果大于等于M时,停止阵列数据的读取。其中,M为一整数,并且阵列数据的读取步骤参照图7的步骤S720至S750,在此则不再赘述。

[0080] 综上所述,本发明实施例的存储器装置、其外围电路及其单字节数据写入方法,其写入电路接收未选取的阵列数据并写入至分页缓冲器中,并且将选取的编程数据直接写入至存储器阵列中,而阵列数据通过分页缓冲器写入存储器阵列中。藉此,可在一分页写入的存储器阵列中进行单字节数据的数据更新。

[0081] 虽然本发明已以实施例公开如上,然其并非用以限定本发明,本领域技术人员,在

不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视所附权利要求书界定范围为准。

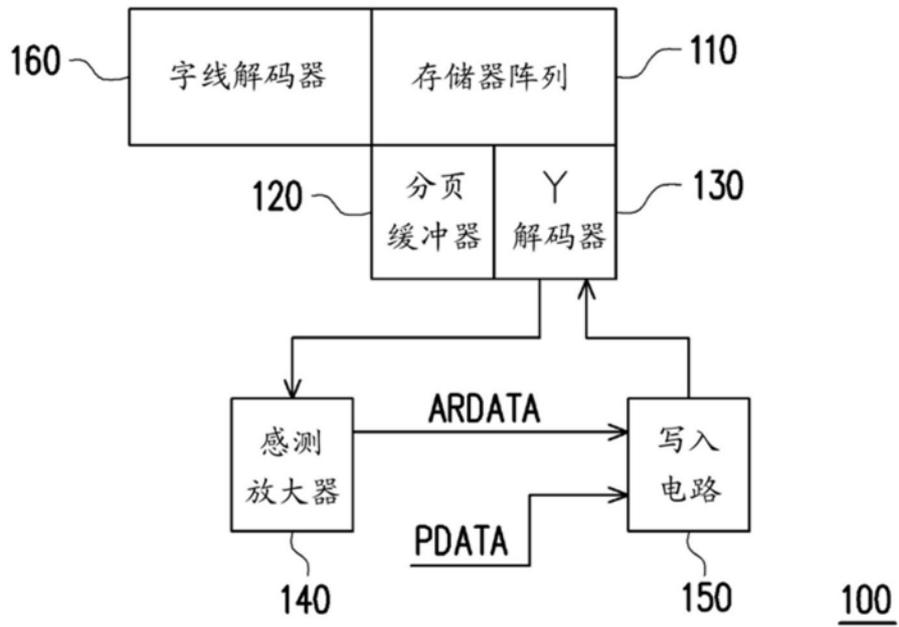


图1

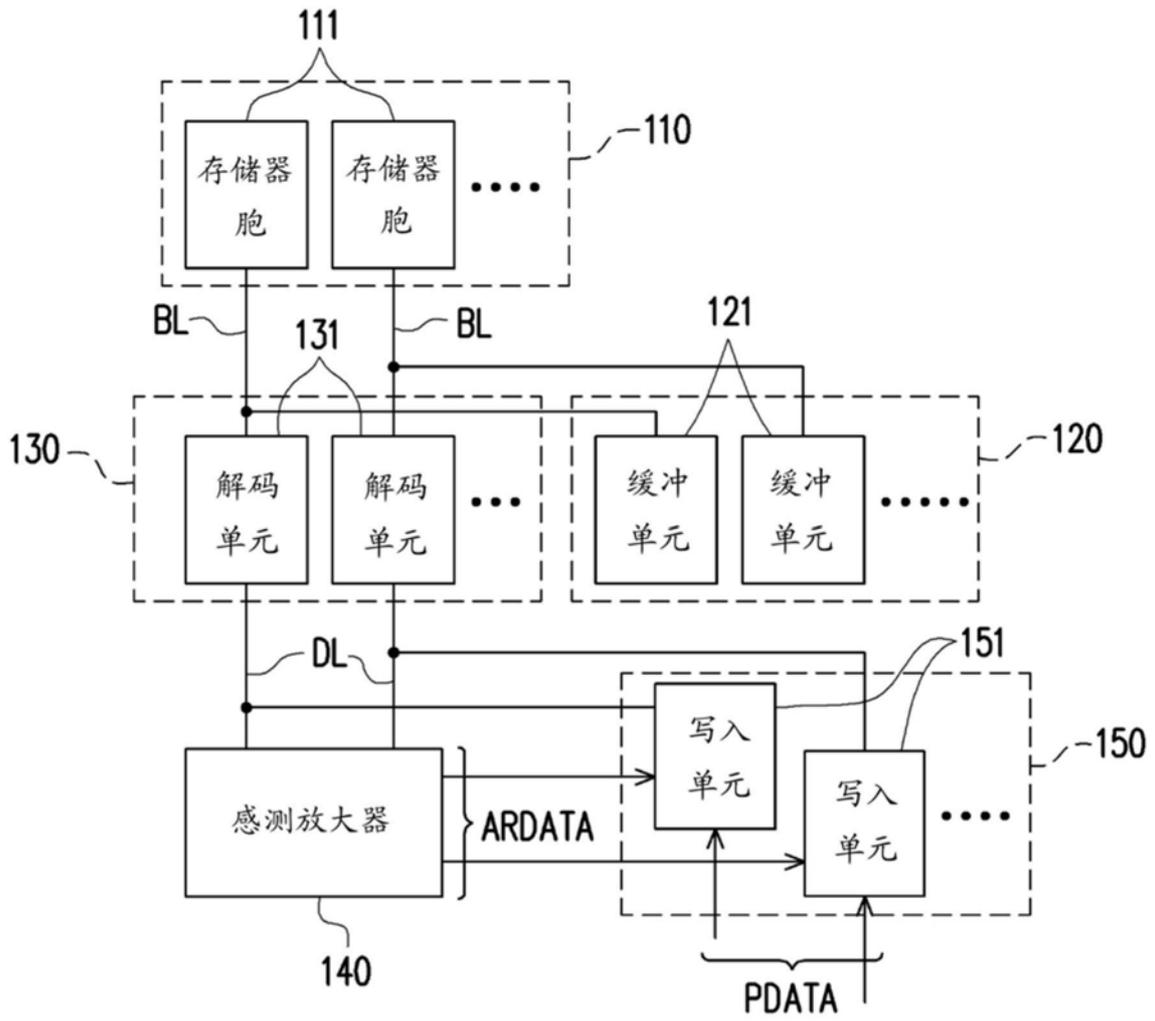
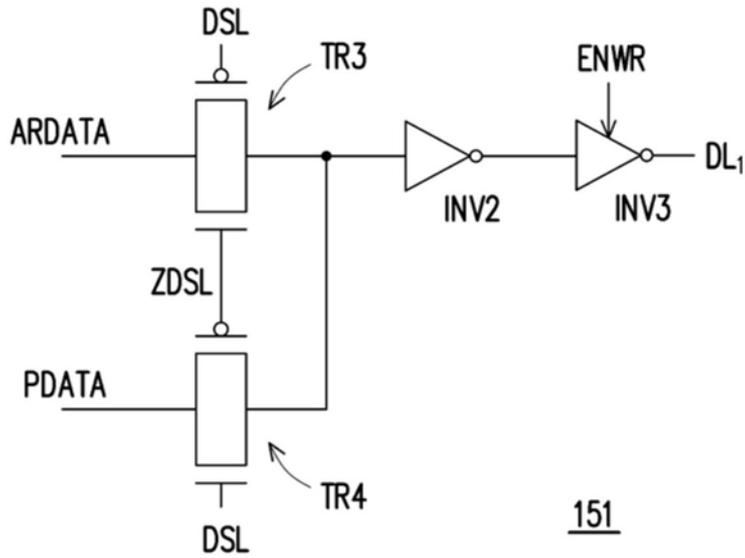


图2





151

图5

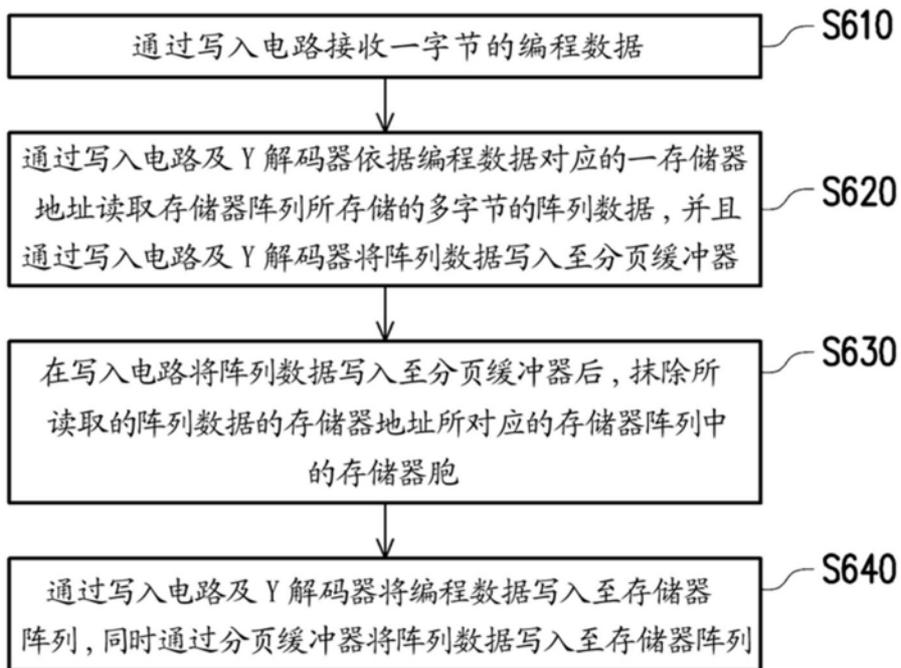


图6

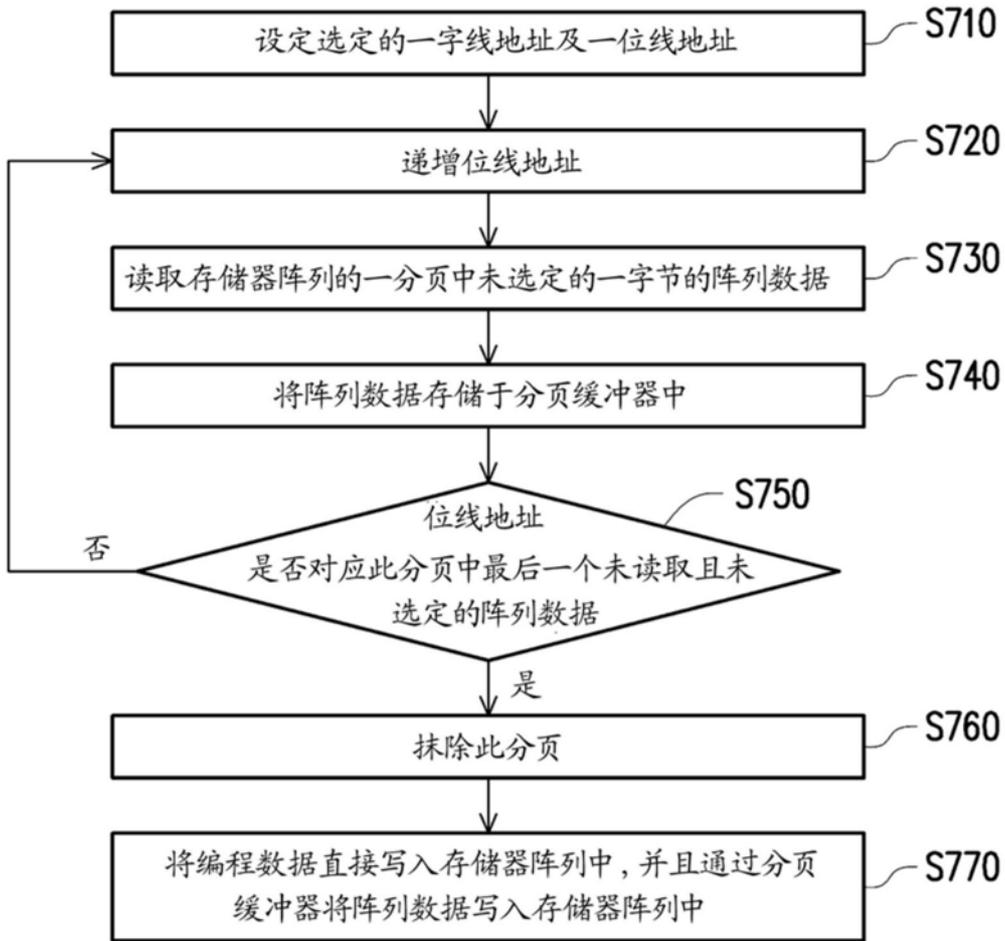


图7