



(12)发明专利

(10)授权公告号 CN 108233968 B

(45)授权公告日 2020.05.12

(21)申请号 201611191014.1

(22)申请日 2016.12.21

(65)同一申请的已公布的文献号
申请公布号 CN 108233968 A

(43)申请公布日 2018.06.29

(73)专利权人 辰芯科技有限公司
地址 201206 上海市浦东新区中国(上海)
自由贸易试验区明月路1258号3幢第4
层A406室
专利权人 大唐半导体设计有限公司

(72)发明人 杜中开 吴正成 贺静丹

(74)专利代理机构 北京品源专利代理有限公司
11332
代理人 孟金喆

(51)Int.Cl.

H04B 1/38(2015.01)

H04W 52/02(2009.01)

H04W 88/06(2009.01)

(56)对比文件

CN 105337744 A,2016.02.17,

CN 104581898 A,2015.04.29,

CN 1853423 A,2006.10.25,

CN 105511879 A,2016.04.20,

CN 102625422 A,2012.08.01,

JP 2012109714 A,2012.06.07,

审查员 李靖

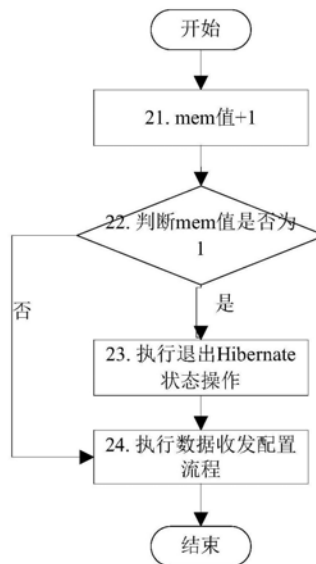
权利要求书2页 说明书7页 附图4页

(54)发明名称

数字射频接口的控制方法及控制装置

(57)摘要

本发明提供一种数字射频接口的控制方法及控制装置,通过在数据收发开始之前以及在数据收发结束之后修改并判断标志位的值,使得数字射频接口在数据收发间隙即可实现休眠状态的进退,不需要CPU参与,减少了MIPS的消耗;且相对常规方案不需要软件参与计算前后收发事件的时间关系,大大缩短了收发结束模板的时间跨度,解决了软件计算方案中数据收发的长拖尾问题,保证了最长的休眠时间,降低了功耗。



1. 一种数字射频接口的控制方法,其特征在于,包括以下步骤:

在一用于数字射频接口数据收发配置的内部存储器中开辟标志位,并设置好所述标志位的上电初始值,且所述数字射频接口的上电初始状态为休眠状态;

在所述数字射频接口开始当前的数据收发事件之前,对所述标志位的值进行修改,继而判断所述内部存储器的该标志位的值是否等于第一预设值,若是,则所述数字射频接口在前一个数据收发事件结束时进入了休眠状态,所述数字射频接口执行退出休眠状态的操作;若否,则所述数字射频接口在前一个数据收发事件结束时未进入休眠状态,所述数字射频接口执行当前数据收发配置流程;

在所述数字射频接口结束当前的数据收发事件之后,对所述标志位的值进行再次修改,继而判断所述内部存储器的该标志位的值是否等于第二预设值,若是,则所述当前的数据收发事件是所述数字射频接口最后结束的数据收发事件且之后再没有数据收发事件,或者所述当前的数据收发事件之后还存在未开始的至少一个数据收发事件,且所述当前的数据收发事件与相邻的第一个未开始的数据收发事件之间的时间间隔满足进入休眠状态的时间要求,所述数字射频接口执行进入休眠状态的操作;若否,则所述当前的数据收发事件之后还存在未开始的至少一个数据收发事件,且所述当前的数据收发事件与相邻的第一个未开始的数据收发事件之间的时间间隔不满足进入休眠状态的时间要求,所述数字射频接口继续维持非休眠状态。

2. 如权利要求1所述的数字射频接口的控制方法,其特征在于,通过将所述标志位的值加上一定值或减去一定值来实现对所述标志位的值的相应修改。

3. 如权利要求1所述的数字射频接口的控制方法,其特征在于,在所述内部存储器中开辟一个标志位。

4. 如权利要求3所述的数字射频接口的控制方法,其特征在于,所述标志位的上电初始值为0,所述第一预设值为1,所述第二预设值为0;在所述数字射频接口开始当前数据收发事件之前,通过将所述标志位的值加1,对所述标志位的值进行修改,继而判断所述内部存储器的该标志位的值是否为1,若为1,则所述数字射频接口在前一个数据收发事件结束时进入了休眠状态,所述数字射频接口执行退出休眠状态的操作;若大于1,则所述数字射频接口在前一个数据收发事件结束时未进入休眠状态,所述数字射频接口执行当前数据收发配置流程;在所述数字射频接口结束当前的数据收发事件之后,通过将所述标志位的值减1,对所述标志位的值进行再次修改,继而判断所述内部存储器的该标志位的值是否为0,若为0,所述当前的数据收发事件是所述数字射频接口最后结束的数据收发事件且之后再没有数据收发事件,或者所述当前的数据收发事件之后还存在未开始的至少一个数据收发事件,且所述当前的数据收发事件与相邻的第一个未开始的数据收发事件之间的时间间隔满足进入休眠状态的时间要求,所述数字射频接口执行进入休眠状态的操作;若否,则所述当前的数据收发事件之后还存在未开始的至少一个数据收发事件,且所述当前的数据收发事件与相邻的第一个未开始的数据收发事件之间的时间间隔不满足进入休眠状态的时间要求,所述数字射频接口继续维持非休眠状态。

5. 如权利要求1至4中任一项所述的数字射频接口的控制方法,其特征在于,所述内部存储器内置于所述数字射频接口中,或者设置在所述数字射频接口连接的基带芯片中或者设置在所述数字射频接口连接的射频芯片中。

6. 如权利要求1至4中任一项所述的数字射频接口的控制方法,其特征在于,通过一序列器对所述标志位的值进行相应的修改和判断,所述序列器内置于所述数字射频接口中,或者设置在所述数字射频接口连接的基带芯片中或者设置在所述数字射频接口连接的射频芯片中。

7. 如权利要求6所述的数字射频接口的控制方法,其特征在于,所述序列器通过设置硬件时间窗口,以实现在所述数字射频接口开始当前的数据收发事件之前以及在所述数字射频接口结束当前的数据收发事件之后,对所述标志位的值进行相应的修改和判断。

8. 一种数字射频接口的控制装置,其特征在于,包括:

内部存储器,其中设有用于进退休眠状态的标志位;

内存值修改器,用于在所述数字射频接口开始当前的数据收发事件之前,对所述标志位的值进行修改,并判断所述内部存储器的该标志位的值是否等于第一预设值,且在判断出所述内部存储器的该标志位的值等于第一预设值时,使所述数字射频接口执行退出休眠状态的操作;还用于在所述数字射频接口结束当前的数据收发事件之后,对所述标志位的值进行再次修改,并判断所述内部存储器的该标志位的值是否等于第二预设值,且在所述内部存储器的该标志位的值等于第二预设值时,使所述数字射频接口执行进入休眠状态的操作。

9. 如权利要求8所述的数字射频接口的控制装置,其特征在于,所述标志位的数量为1。

10. 如权利要求9所述的数字射频接口的控制装置,其特征在于,所述标志位的上电初始值为0,所述第一预设值为1,所述第二预设值为0。

11. 如权利要求8至10中任一项所述的数字射频接口的控制装置,其特征在于,所述内部存储器内置于所述数字射频接口中,或者设置在所述数字射频接口连接的基带芯片中或者设置在所述数字射频接口连接的射频芯片中。

12. 如权利要求8至10中任一项所述的数字射频接口的控制装置,其特征在于,所述内存值修改器为序列器,所述序列器内置于所述数字射频接口中,或者设置在所述数字射频接口连接的基带芯片中或者设置在所述数字射频接口连接的射频芯片中。

13. 如权利要求12所述的数字射频接口的控制装置,其特征在于,所述序列器设置有硬件时间窗口,用于实现在所述数字射频接口开始当前的数据收发事件之前以及在所述数字射频接口结束当前的数据收发事件之后,对所述标志位的值进行相应的修改和判断。

数字射频接口的控制方法及控制装置

技术领域

[0001] 本发明涉及移动通信技术领域,尤其涉及一种数字射频接口的控制方法及控制装置。

背景技术

[0002] 在移动通信系统中,射频芯片(RFIC)和基带芯片(BBIC)通过射频接口(RF Interface)连接,其中,第四代数字射频接口(DigRF v4)接口是一种高带宽容量的高速串行接口技术,接口连线简单,RFIC和BBIC通过DigRF v4的发送数据(Tx)和接收数据(Rx)两个方向上的一对或多对低电压差分信号线连接,使得RFIC和BBIC之间的传输数据经过打包后通过这些低电压差分信号线上的差分信号串行传输,而且控制指令和数据都通过同一物理通道承载,且不同的控制指令复用同一物理通道,因此,DigRF v4接口特别适合在多模共存系统使用中。

[0003] 目前,续航能力是终端平台上非常关键的性能指标之一,因此DigRF v4接口的静态功耗的控制已经成为本领域技术人员重点关注的问题之一。目前的DigRF v4接口提供了多种低功耗状态,其中的休眠(Hibernate)状态,既能够保持接口配置信息,又能够最大限度降低功耗,并且进退Hibernate状态的控制信号非常简单,仅需要拉高拉低DigRF的使能(En)管脚即可,是DigRF v4接口的推荐低功耗状态。然而目前DigRF v4接口的Hibernate状态进退时间较长(约200us),在空闲(IDLE)状态进退Hibernate状态可以通过CPU操作切换,如果想进一步降低进退Hibernate的颗粒度,例如在数据收发的间隙就实现进退Hibernate的控制,就变得非常困难。

发明内容

[0004] 本发明的目的在于提供一种数字射频接口的控制方法及控制装置,不需要中央处理器CPU参与,就能在数据收发间隙实现进退休眠状态的简单控制,既能提高控制进退休眠状态的颗粒度,又能降低功耗。

[0005] 为了实现上述目的,本发明提供一种数字射频接口的控制方法,包括以下步骤:

[0006] 在一用于数字射频接口数据收发配置的内部存储器中开辟标志位,并设置好所述标志位的上电初始值,且所述数字射频接口的上电初始状态为休眠状态;

[0007] 在所述数字射频接口开始当前的数据收发事件之前,对所述标志位的值进行修改,继而判断所述内部存储器的该标志位的值是否等于第一预设值,若是,则所述数字射频接口在前一个数据收发事件结束时进入了休眠状态,所述数字射频接口执行退出休眠状态的操作;若否,则所述数字射频接口在前一个数据收发事件结束时未进入休眠状态,所述数字射频接口执行当前数据收发配置流程;

[0008] 在所述数字射频接口结束当前的数据收发事件之后,对所述标志位的值进行再次修改,继而判断所述内部存储器的该标志位的值是否等于第二预设值,若是,则所述当前的数据收发事件是所述数字射频接口最后结束的数据收发事件且之后再没有数据收发事件,

或者所述当前的数据收发事件之后还存在未开始的至少一个数据收发事件,且所述当前的数据收发事件与相邻的第一个未开始的数据收发事件之间的时间间隔满足进入休眠状态的时间要求,所述数字射频接口执行进入休眠状态的操作;若否,则所述当前的数据收发事件之后还存在未开始的至少一个数据收发事件,且所述当前的数据收发事件与相邻的第一个未开始的数据收发事件之间的时间间隔不满足进入休眠状态的时间要求,所述数字射频接口继续维持非休眠状态。

[0009] 进一步的,通过将所述标志位的值加上一定值或减去一定值来实现对所述标志位的值的相应修改。

[0010] 进一步的,在所述内部存储器中开辟一个标志位。

[0011] 进一步的,所述标志位的上电初始值为0,所述第一预设值为1,所述第二预设值为0;在所述数字射频接口开始当前数据收发事件之前,通过将所述标志位的值加1,对所述标志位的值进行修改,继而判断所述内部存储器的该标志位的值是否为1,若为1,则所述数字射频接口在前一个数据收发事件结束时进入了休眠状态,所述数字射频接口执行退出休眠状态的操作;若大于1,则所述数字射频接口在前一个数据收发事件结束时未进入休眠状态,所述数字射频接口执行当前数据收发配置流程;在所述数字射频接口结束当前的数据收发事件之后,通过将所述标志位的值减1,对所述标志位的值进行再次修改,继而判断所述内部存储器的该标志位的值是否为0,若为0,所述当前的数据收发事件是所述数字射频接口最后结束的数据收发事件且之后再没有数据收发事件,或者所述当前的数据收发事件之后还存在未开始的至少一个数据收发事件,且所述当前的数据收发事件与相邻的第一个未开始的数据收发事件之间的时间间隔满足进入休眠状态的时间要求,所述数字射频接口执行进入休眠状态的操作;若否,则所述当前的数据收发事件之后还存在未开始的至少一个数据收发事件,且所述当前的数据收发事件与相邻的第一个未开始的数据收发事件之间的时间间隔不满足进入休眠状态的时间要求,所述数字射频接口继续维持非休眠状态

[0012] 进一步的,所述内部存储器内置于所述数字射频接口中,或者设置在所述数字射频接口连接的基带芯片中或者设置在所述数字射频接口连接的射频芯片中。

[0013] 进一步的,通过一序列器对所述标志位的值进行相应的修改和判断,所述序列器内置于所述数字射频接口中,或者设置在所述数字射频接口连接的基带芯片中或者设置在所述数字射频接口连接的射频芯片中。

[0014] 进一步的,所述序列器通过设置硬件时间窗口,以实现在所述数字射频接口开始当前的数据收发事件之前以及在所述数字射频接口结束当前的数据收发事件之后,对所述标志位的值进行相应的修改和判断。

[0015] 本发明还提供一种数字射频接口的控制装置,包括:

[0016] 内部存储器,其中设有用于进退休眠状态的标志位;

[0017] 内存值修改器,用于在所述数字射频接口开始当前的数据收发事件之前,对所述标志位的值进行修改,并判断所述内部存储器的该标志位的值是否等于第一预设值,且在判断出所述内部存储器的该标志位的值等于第一预设值时,使所述数字射频接口执行退出休眠状态的操作;还用于在所述数字射频接口结束当前的数据收发事件之后,对所述标志位的值进行再次修改,并判断所述内部存储器的该标志位的值是否等于第二预设值,且在所述内部存储器的该标志位的值等于第二预设值时,使所述数字射频接口执行进入休眠状

态的操作。

[0018] 进一步的,所述标志位的数量为1。

[0019] 进一步的,所述标志位的上电初始值为0,所述第一预设值为1,所述第二预设值为0。

[0020] 进一步的,所述内部存储器内置于所述数字射频接口中,或者设置在所述数字射频接口连接的基带芯片中或者设置在所述数字射频接口连接的射频芯片中。

[0021] 进一步的,所述内存值修改器为序列器,所述序列器内置于所述数字射频接口中,或者设置在所述数字射频接口连接的基带芯片中或者设置在所述数字射频接口连接的射频芯片中。

[0022] 进一步的,所述序列器设置有硬件时间窗口,用于实现在所述数字射频接口开始当前的数据收发事件之前以及在所述数字射频接口结束当前的数据收发事件之后,对所述标志位的值进行相应的修改和判断。

[0023] 与现有技术相比,本发明的技术方案具有以下有益效果:

[0024] 1、本发明的技术方案通过在数据收发开始之前以及在数据收发结束之后修改并判断标志位的值,使得数字射频接口在数据收发间隙即可实现休眠状态的进退,不需要CPU参与,减少了MIPS(每秒处理的百万级的机器语言指令数)的消耗;

[0025] 2、本发明的技术方案相对常规方案不需要软件参与计算前后收发事件的时间关系,大大缩短了收发结束模板的时间跨度,解决了软件计算方案中数据收发的长拖尾问题,保证了最长的休眠时间,降低功耗。

[0026] 3、本发明的技术方案不再需要软件参与,且不受测试场景复杂度的影响,更适用于多模/多载波终端。

附图说明

[0027] 图1A是现有的DigRF接口Hibernate状态进退控制时序图;

[0028] 图1B是现有的DigRF接口退出Hibernate状态的流程图;

[0029] 图1C是现有的DigRF接口进入Hibernate状态的流程图;

[0030] 图2A是本发明具体实施例的DigRF接口Hibernate状态进退控制时序图;

[0031] 图2B是本发明具体实施例的DigRF接口退出Hibernate状态的流程图;

[0032] 图2C是本发明具体实施例的DigRF接口进入Hibernate状态的流程图;

[0033] 图3是本发明具体实施例的数字射频接口的控制装置的结构框图。

具体实施方式

[0034] 为使本发明的目的、特征更明显易懂,下面结合附图对本发明的具体实施方式作进一步的说明,然而,本发明可以用不同的形式实现,不应只是局限在所述的实施例。

[0035] 本实施例以目前主流的数字射频接口—DigRF v4接口来说明本发明的数字射频接口的控制方案,当然本发明的技术方案并不限于DigRF v4接口,还可以是比DigRF v4接口低端一些的DigRF v3接口,也可以是比DigRF v4接口高端一些的其他数字射频接口,例如目前新兴的5G通信技术下的数字射频接口。

[0036] DigRFv4接口用于连接射频芯片(RFIC)和基带芯片(BBIC)的连线简单,数据线与

控制线共用,包括一套数据发送(TxDataP/N)低压差分线,两套数据接收(RxDataP/N)低压差分线,一条参考时钟使能(RefClk En)控制线,一条参考时钟(RefClk)线,一条数字射频接口使能(DigRFEn)控制线,共有9根连线。DigRF v4接口支持低速(LS)和高速(HS)两种速率模式,HS模式下支持HS1P/HS1S/HS2P/HS2S/..等多种数据传输速率,其中,LS模式一般在初始化配置DigRF v4接口参数时使用,而参数配置结束后会切换进入HS模式,此后一直工作在HS模式下。本发明中所述的数字射频接口的休眠(Hibernate)状态进退均是在HS模式下进退Hibernate状态。

[0037] 现有技术中,通过BBIC的CPU发出进退Hibernate的控制指令,并操作拉低数字射频接口使能(DigRF En)管脚,则会配置DigRF v4接口进入Hibernate状态,而拉高DigRF En管脚,则配置DigRF v4接口退出Hibernate状态,具体地,假如DigRF v4接口有A1、B1两个数据接收(RX)事件,A1、B1之间有t11长度的事件保护间隔,控制DigRF v4接口在t11期间进退Hibernate状态,常规的BBIC CPU控制方案下进退Hibernate状态的判断及状态切换的时序图如图1A所示,则BBIC的CPU控制DigRF v4接口退出Hibernate状态的流程,请参考图1A和图1B所示:

[0038] 在时序11查询b_hibernate_state标志,并判断是否需要DigRF v4接口退出Hibernate状态;

[0039] 若是(Y),则在时序12时,拉高DigRF En管脚,则配置DigRF v4接口退出Hibernate状态,在时序13时,清零b_hibernate_state标志;

[0040] 若否(N),则在时序14时,执行当前数据收发配置流程。

[0041] 而BBIC的CPU控制DigRF v4接口进入Hibernate状态的流程,请参考图1A和图1C所示:

[0042] 在时序15时,通过CPU内置软件计算A1_END(即数据接收事件A结束)与B1_START(即数据接收事件B开始)的时间间隔,若满足进退Hibernate状态的进退要求,则b_hibernate_state标志置位,若不满足,则b_hibernate_state标志清零;

[0043] 在时序16时查询b_hibernate_state标志,并判断是否需要DigRF v4接口进入Hibernate状态,若是(Y),在时序17时,拉低DigRF En管脚,则配置DigRF v4接口进入Hibernate状态,若否(N),DigRF v4接口维持原状态。

[0044] 上述通过CPU控制DigRF v4接口的Hibernate状态进退的方案中,在判断是否需要DigRF v4接口进入Hibernate状态的时序15,需要软件去计算当前结束的事件A1与即将开始的事件B1之间的间隔,这样就会存在以下弊端:

[0045] 1.时序15需要用中断来触发,时序16可以硬件自动判断。由于中断响应时间受开关中断及系统响应时间限制,所以需要时序15和时序16之间留出足够中断响应及软件计算的时间间隔t12,而这势必会拉长事件结束的处理耗时,缩短DigRF v4接口进入Hibernate状态的时长。

[0046] 2.上述方案中的时序设置要求将多模或LTE(Long Term Evolution,长期演进)多CC(Component Carrier,载波单元)的收发事件按照时间先后进行排序,这种事件的排序方式需要系统维护事件之间的相对定时关系,增加了系统实现复杂度。

[0047] 3.时序15的执行时间会因前后事件的增多而呈倍数关系上升,消耗较多的MIPS。

[0048] 考虑到上述的常规方案中的几种弊端,本发明提出的数字射频接口的控制方案,

其核心思想在于：在硬件内部存储器(memory)中开辟标志位,通过对标志位的操作和条件判断,控制数字射频接口在两次数据收发间隙做进退Hibernate状态的操作,避免软件参与计算前后收发事件的时间关系,大大缩短了收发结束模板的时间跨度,保证了最长的休眠时间,从而降低功耗。具体如下:

[0049] 本发明提供一种数字射频接口的控制方法,包括以下步骤:

[0050] 在一用于数字射频接口数据收发配置的内部存储器中开辟标志位,并设置好所述标志位的上电初始值,且所述数字射频接口的上电初始状态为休眠状态;

[0051] 在所述数字射频接口开始当前的数据收发事件之前,对所述标志位的值进行修改,继而判断所述内部存储器的该标志位的值是否等于第一预设值,若是,则所述数字射频接口在前一个数据收发事件结束时进入了休眠状态,所述数字射频接口执行退出休眠状态的操作;若否,则所述数字射频接口在前一个数据收发事件结束时未进入休眠状态,所述数字射频接口执行当前数据收发配置流程;

[0052] 在所述数字射频接口结束当前的数据收发事件之后,对所述标志位的值进行再次修改,继而判断所述内部存储器的该标志位的值是否等于第二预设值,若是,则所述当前的数据收发事件是所述数字射频接口最后结束的数据收发事件且之后再没有数据收发事件,或者所述当前的数据收发事件之后还存在未开始的至少一个数据收发事件,且所述当前的数据收发事件与相邻的第一个未开始的数据收发事件之间的时间间隔满足进入休眠状态的时间要求,所述数字射频接口执行进入休眠状态的操作;若否,则所述当前的数据收发事件之后还存在未开始的至少一个数据收发事件,且所述当前的数据收发事件与相邻的第一个未开始的数据收发事件之间的时间间隔不满足进入休眠状态的时间要求,所述数字射频接口继续维持非休眠状态。

[0053] 当所述当前的数据收发事件不是所述数字射频接口最后结束的数据收发事件,所述当前的数据收发事件之后还存在未开始的至少一个数据收发事件时,按照上述流程依次对之后的存在的未开始的所有数据收发事件进行处理,以实现数字射频接口在相邻两个数据收发事件间隙进退休眠状态。

[0054] 请参考图3,本发明还提供一种数字射频接口的控制装置,包括:

[0055] 内部存储器(memory) 31,其中设有用于进退休眠状态的标志位;

[0056] 内存值修改器32,用于在所述数字射频接口开始当前的数据收发事件之前,对所述标志位的值进行修改,并判断所述内部存储器的该标志位的值是否等于第一预设值,且在判断出所述内部存储器的该标志位的值等于第一预设值时,使所述数字射频接口执行退出休眠状态的操作;还用于在所述数字射频接口结束当前的数据收发事件之后,对所述标志位的值进行再次修改,并判断所述内部存储器的该标志位的值是否等于第二预设值,且在所述内部存储器的该标志位的值等于第二预设值时,使所述数字射频接口执行进入休眠状态的操作。

[0057] 其中,所述内部存储器31可以内置于所述数字射频接口中,也可以设置在所述数字射频接口连接的基带芯片中,还可以设置在所述数字射频接口连接的射频芯片中;所述内存值修改器32可以内置于所述数字射频接口中,也可以设置在所述数字射频接口连接的基带芯片中,还可以设置在所述数字射频接口连接的射频芯片中。

[0058] 由于在常规的基带芯片设计中,针对某块内存Memory的修改,例如加、减、移位等

操作,已经可以通过定时器(timer)、计数器(counter/register)、序列器(Sequencer)等很多硬件方法实现,因此Memory的修改硬件可以根据具体硬件实现的不同而选择,而同时在Memory中设置的标志位可以根据Memory的具体存储方式来设置,例如单位存储的Memory可以设置一个标志位,多位存储的Memory可以设置多位标志位。相应地,本发明的数字射频接口的控制装置中的内存值修改器32可以是任何可以修改Memory存储值的硬件,例如定时器(timer)、计数器(counter/register)、序列器(Sequencer)等。

[0059] 下面以Sequencer设置硬件时间窗口,并在所述硬件时间窗口内对Memory中的一个标志位进行加减操作并自动判断和控制数字射频接口进退休眠状态的方式为例,来详细说明本发明的技术方案。其中,数字射频接口以DigRFv4接口为例,序列器Sequencer设置有对应每个数据收发事件的硬件时间窗口,该硬件时间窗口从每个数据收发事件开始之前的一段时间直至该数据收发事件结束之后的一段时间,即对应每个数据收发事件设置的硬件时间窗口包括该数据收发事件执行阶段的时间长度以及执行前后的两个时间长度,且两个相邻的数据收发事件的前一个数据收发事件的硬件时间窗口在前一个数据收发事件结束后的时间长度和后一个数据收发事件的硬件时间窗口在后一个数据收发事件开始前的时间长度之和小于这两个相邻的数据收发事件之间的事件保护间隔。请参考图2A,假如DigRFv4接口有A2、B2两个数据收发(RX)事件,A2、B2之间有 t_{21} 长度的事件保护间隔,且A2、B2均对应有时间窗口 t_{22} ,A2的时间窗口 t_{22} 在A2结束后A2_END的时间长度与B2的时间窗口 t_{22} 在B2开始前B2_START的时间长度之和小于 t_{21} 。Sequencer在硬件时间窗口内,先在对应的当前数据收发事件开始之前修改标志位的值,判断DigRFv4接口是否需要退出休眠状态并根据相应的判断来使DigRFv4接口退出休眠状态,然后在对应的当前数据收发事件结束之后再次修改标志位的值,判断DigRFv4接口是否需要进入休眠状态并根据相应的判断来使DigRFv4接口进入休眠状态,具体请参考图2A至图2C,本发明提供的数字射频接口的控制方法,包括以下步骤:

[0060] 在一用于DigRFv4接口数据收发配置的内部存储器(Memory)中开辟一个标志位mem,且设置所述标志位mem的上电初始值为0,DigRFv4接口的上电初始状态为休眠状态;

[0061] 如图2B所示,Sequencer通过设置的硬件时间窗口 t_{22} 控制DigRFv4接口退出Hibernate状态的过程如下:在当前的数据收发事件B2开始(B2_START)前,对应图2A中当前的数据收发事件B2的硬件时间窗口 t_{22} 的时序位置21,Sequencer将标志位mem值加1,继而在图2A中当前的数据收发事件B2的硬件时间窗口 t_{22} 的时序位置22,判断Memory中的该标志位mem的值是否为1;若为1(Y),则认为前一个数据收发事件A2结束(A2_END)时DigRFv4接口进入了Hibernate状态,继而在图2A中当前的数据收发事件B2的硬件时间窗口 t_{22} 的时序位置23,Sequencer配置DigRFv4接口退出Hibernate状态;若大于1(N),则认为前一个数据收发事件A2结束时DigRFv4接口没有进入Hibernate状态,不需要配置DigRFv4接口退出Hibernate状态,DigRFv4接口继续执行当前数据收发配置流程,以完成数据收发事件B2;

[0062] 如图2C所示,Sequencer控制DigRFv4接口进入Hibernate状态的过程如下:在数据收发事件B2结束(B2_END)之后,图2A中当前的数据收发事件B2的硬件时间窗口 t_{22} 的时序位置25,Sequencer将标志位mem值减1,继而在图2A中当前的数据收发事件B2的硬件时间窗口 t_{22} 的时序位置26,判断Memory中的该标志位mem值是否为0;若为0(Y),则认为DigRFv4接口需要进入Hibernate状态,此时数据收发事件B2可能为DigRFv4接口的最后结束的数

据收发事件,之后再没有还未开始的数据收发事件存在,或者数据收发事件B2可能不是DigRF v4接口最后结束的数据收发事件,数据收发事件B2之后还存在至少一个还未开始的数据收发事件,但数据收发事件B2与之后相邻的第一个还未开始的数据收发事件之间的时间间隔满足进入休眠状态的时间要求(即大于等于两个相邻的硬件时间窗口 t_{22} 之间的时间间隔),继而在图2A中当前的数据收发事件B2的硬件时间窗口 t_{22} 的时序位置27,Sequencer配置DigRF v4接口进入Hibernate状态;若不为0(N),则认为DigRF v4接口不需要进入Hibernate状态,需要维持非Hibernate状态,以实现射频芯片和基带芯片之间的通信,此时,数据收发事件B2不是DigRF v4接口最后结束的数据收发事件,数据收发事件B2之后还存在至少一个还未开始的数据收发事件,但数据收发事件B2与之后相邻的第一个数据收发事件之间的时间间隔不满足进入休眠状态的时间要求(即小于两个相邻的硬件时间窗口 t_{22} 之间的时间间隔)。

[0063] 当数据收发事件B2不是DigRF v4接口最后结束的数据收发事件,数据收发事件B2之后还存在未开始的至少一个数据收发事件时,可以按照图2A至图2C所示的流程依次对之后的存在的未开始的所有数据收发事件进行处理,以实现DigRF v4接口在之后相邻两个数据收发事件间隙进退休眠状态。

[0064] 相应地,本发明可以提供一种基于Sequencer的数字射频接口控制器,包括:

[0065] Memory,其中设有用于数字射频接口进退Hibernate状态的一个标志位,上电初始值为0;

[0066] Sequencer,为数字射频接口的数据收发事件设置硬件时间窗口,且能够根据所述硬件时间窗口实现:在所述数字射频接口开始当前的数据收发事件之前,对所述标志位的值加1,并判断所述内部存储器的该标志位的值是否等于1,且在判断出所述内部存储器的该标志位的值等于1时,使所述数字射频接口执行退出Hibernate状态的操作;在所述数字射频接口结束当前的数据收发事件之后,对所述标志位的值减1,并判断所述内部存储器的该标志位的值是否等于0,且在所述内部存储器的该标志位的值等于0时,使所述数字射频接口执行进入Hibernate状态的操作。

[0067] 在上述的数字射频接口的控制方案中,只需要在数据收发事件的前后使用硬件Sequencer修改Memory内存值,并由Sequencer根据设置的硬件时间窗口自动判断DigRF v4是否需要进退Hibernate状态,相对现有的常规方案,一方面不再需要软件参与,且不受测试场景复杂度的影响,更适用于多模/多载波终端;另一方面,由于设置了硬件时间窗口,因此可以根据硬件时间窗口的长度和标志位的值,自动实现在前一次数据收发事件结束之后根据需求使DigRF v4接口进入Hibernate状态,在后一次数据收发事件之前根据需求使DigRF v4接口退出Hibernate状态,解决了软件计算方案中数据收发的长拖尾问题,增加了能够进入Hibernate状态的时间,保证了最长的休眠时间,大大降低了功耗;此外,由于不需要CPU软件参与计算前后收发事件的时间关系,可以减少MIPS(每秒处理的百万级的机器语言指令数)的消耗。

[0068] 显然,本领域的技术人员可以对发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

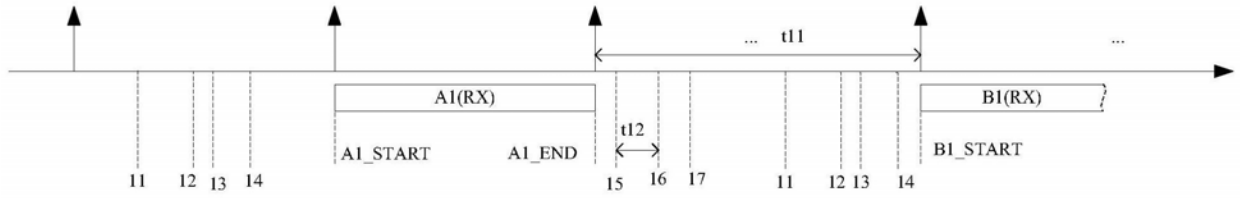


图1A

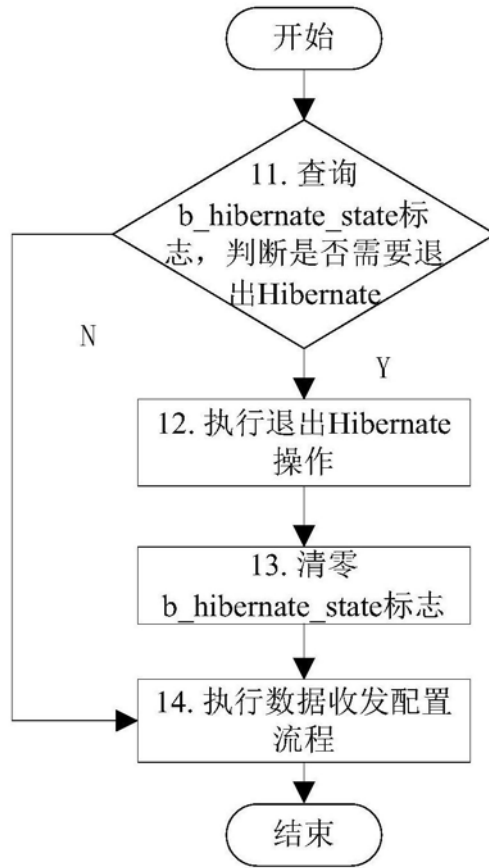


图1B

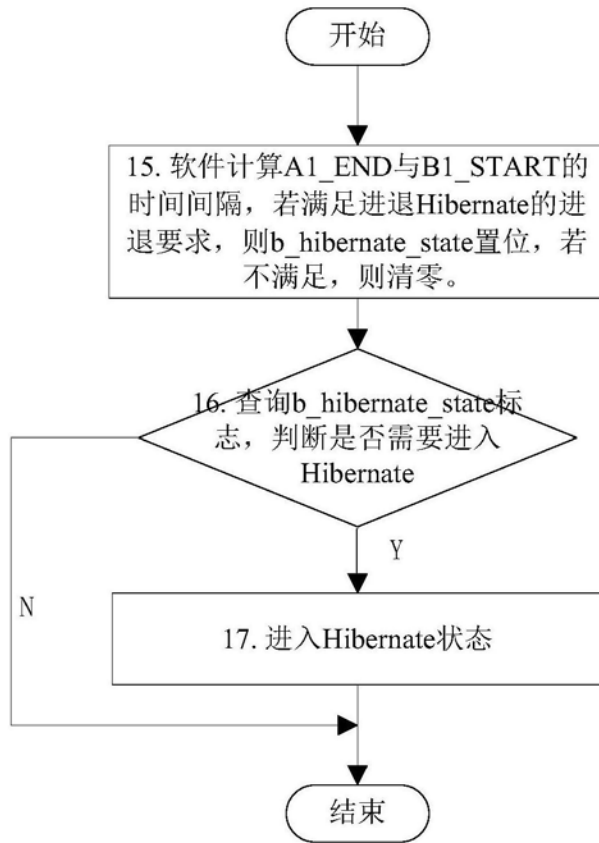


图1C

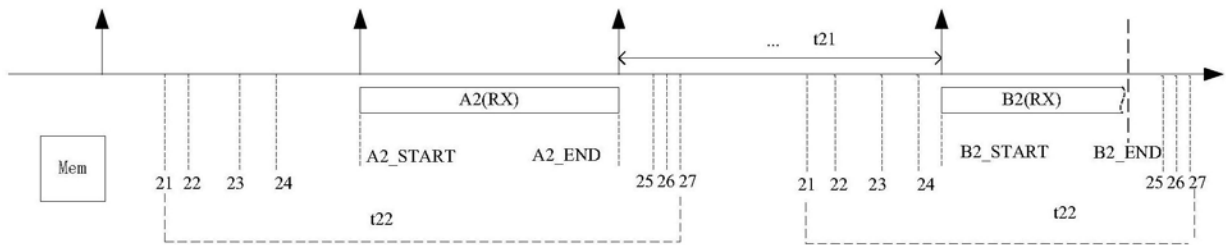


图2A

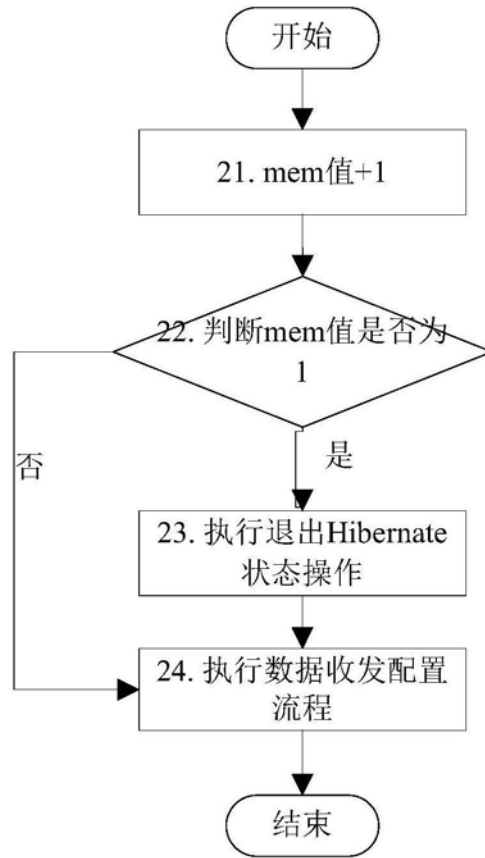


图2B

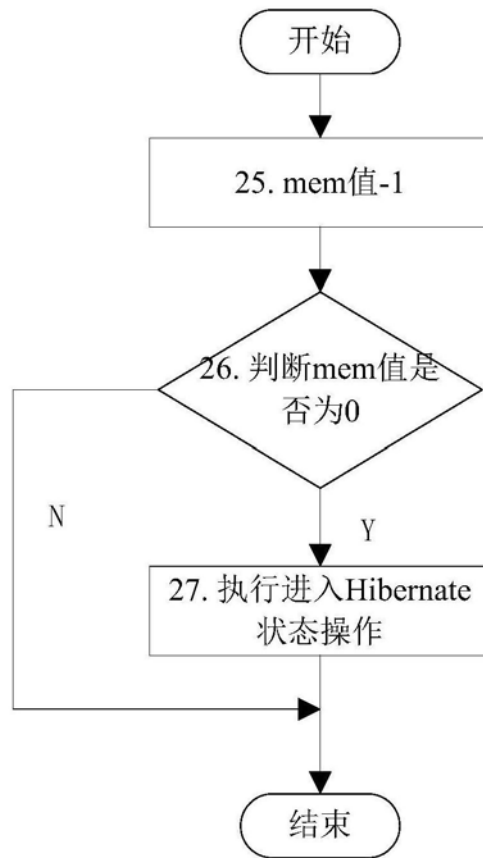


图2C

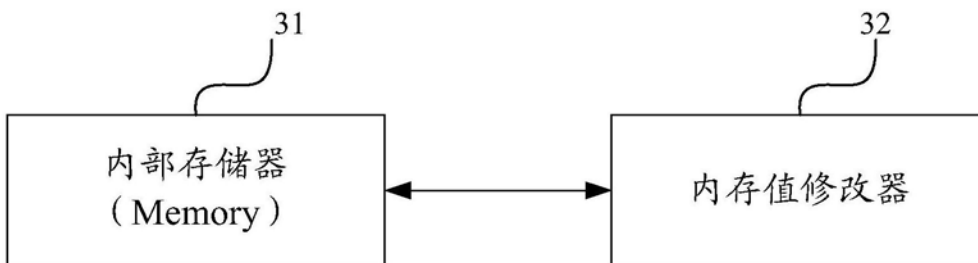


图3