



(12)发明专利

(10)授权公告号 CN 104835525 B
(45)授权公告日 2019.09.06

(21)申请号 201410426038.5
(22)申请日 2014.08.26
(65)同一申请的已公布的文献号
 申请公布号 CN 104835525 A
(43)申请公布日 2015.08.12
(30)优先权数据
 10-2014-0014296 2014.02.07 KR
(73)专利权人 爱思开海力士有限公司
 地址 韩国京畿道
(72)发明人 崔殷硕 吴政锡
(74)专利代理机构 北京弘权知识产权代理事务
 所(普通合伙) 11363
 代理人 俞波 许伟群

(51)Int.Cl.
 G11C 16/06(2006.01)
(56)对比文件
 CN 102810332 A,2012.12.05,
 US 2010290297 A1,2010.11.18,
 CN 102163465 A,2011.08.24,
 US 2012039130 A1,2012.02.16,
 US 2010290296 A1,2010.11.18,
 CN 101002282 A,2007.07.18,
 审查员 陈文达

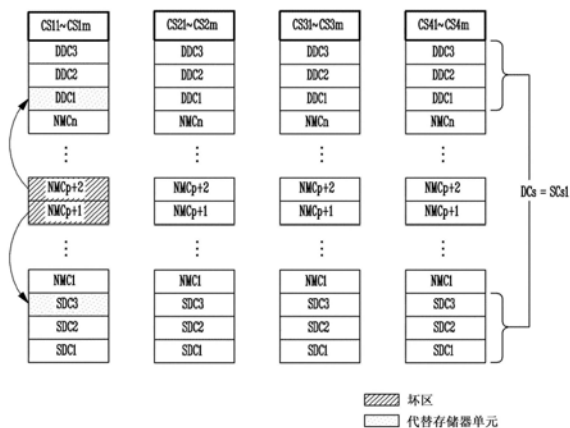
权利要求书3页 说明书14页 附图12页

(54)发明名称

半导体存储器件和包括半导体存储器件的存储系统

(57)摘要

半导体存储器件包括:存储器单元阵列,其包括在衬底之上层叠配置的第一多个正常存储器单元和第二多个虚设存储器单元;第一多个正常字线,其与第一多个正常存储器单元电耦接;以及第二多个虚设字线,其与第二多个虚设存储器单元电耦接,其中,第一多个正常存储器单元包括至少一个坏的存储器单元,并且至少一个坏的存储器单元中的每个被第二多个虚设存储器单元之中的虚设存储器单元代替。



1. 一种半导体存储器件,包括:

存储器单元阵列,其包括沿着行方向和列方向布置的多个单元串,其中所述单元串包括在衬底之上层叠配置的第一多个正常存储器单元、第二多个虚设存储器单元、漏极选择晶体管和源极选择晶体管;

第一多个正常字线,其与所述第一多个正常存储器单元电耦接;以及

第二多个虚设字线,其与所述第二多个虚设存储器单元电耦接,

其中,所述第二多个虚设存储器单元包括:第二多个漏极虚设存储器单元,其经由所述漏极选择晶体管与位线电耦接;以及第二多个源极虚设存储器单元,其经由所述源极选择晶体管与公共源极线电耦接,

其中,所述第一多个正常存储器单元电耦接在所述漏极虚设存储器单元和所述源极虚设存储器单元之间,以及

其中,所述单元串之中的第一单元串中所包括的且与第一正常字线耦接的第一坏的存储器单元被所述第一单元串中所包括的且与第一虚设字线耦接的第一虚设存储器单元代替,并且所述第一单元串中所包括的且与第二正常字线耦接的第二坏的存储器单元被第二单元串中所包括的且与所述第一虚设字线耦接的第二虚设存储器单元代替。

2. 如权利要求1所述的器件,其中,所述第一坏的存储器单元和所述第二坏的存储器单元中的至少一个的每个被与所述第一多个正常存储器单元相邻的源极虚设存储器单元代替。

3. 如权利要求1所述的器件,还包括外围电路,其被配置成控制所述第一多个正常字线和所述第二多个虚设字线的操作。

4. 如权利要求3所述的器件,其中,当执行编程操作时,所述外围电路被配置成将电压施加至与所述第一坏的存储器单元和所述第二坏的存储器单元中的至少一个电耦接的正常字线,所述电压与施加至所述第一多个正常字线之中的未选中的正常字线的电压相同。

5. 如权利要求3所述的器件,其中,当执行读取操作时,所述外围电路被配置成将电压施加至与所述第一坏的存储器单元和所述第二坏的存储器单元中的至少一个电耦接的正常字线,所述电压与施加至所述第一多个正常字线之中的未选中的正常字线的电压相同。

6. 如权利要求3所述的器件,其中,当执行擦除操作时,所述外围电路被配置成将接地电压施加至与所述第一坏的存储器单元和所述第二坏的存储器单元中的至少一个电耦接的正常字线。

7. 一种半导体存储器件,包括:

多个单元串,其分别与多个漏极选择线电耦接,所述多个漏极选择线沿着行方向延伸并且沿着列方向被布置,所述多个单元串中的每个包括在衬底之上层叠配置的第一多个正常存储器单元、第二多个虚设存储器单元、漏极选择晶体管和源极选择晶体管;

第一多个正常字线,其与所述第一多个正常存储器单元电耦接;以及

第二多个虚设字线,其与所述第二多个虚设存储器单元电耦接,

其中,所述第二多个虚设存储器单元包括:第二多个漏极虚设存储器单元,其经由所述漏极选择晶体管与位线电耦接;以及第二多个源极虚设存储器单元,其经由所述源极选择晶体管与公共源极线电耦接,

其中,所述第一多个正常存储器单元电耦接在所述漏极虚设存储器单元和所述源极虚

设存储器单元之间,以及

其中,所述单元串之中的第一单元串中所包括的且与第一正常字线耦接的第一坏的存储器单元被所述第一单元串中所包括的且与第一虚设字线耦接的第一虚设存储器单元代替,并且所述第一单元串中所包括的且与第二正常字线耦接的第二坏的存储器单元被第二单元串中所包括的且与所述第一虚设字线耦接的第二虚设存储器单元代替。

8.如权利要求7所述的器件,其中,至少一个坏的存储器单元被包括在所述多个单元串之中的第一单元串中,

所述至少一个坏的存储器单元之中的第一坏的存储器单元被所述第一单元串的虚设存储器单元代替,以及

所述至少一个坏的存储器单元之中的第二坏的存储器单元被所述多个单元串之中的第二单元串的虚设存储器单元代替。

9.如权利要求7所述的器件,其中,至少一个坏的存储器单元被包括在所述多个单元串之中的第一单元串中,

所述至少一个坏的存储器单元之中的第一坏的存储器单元被所述多个单元串之中的第二单元串的虚设存储器单元代替,以及

所述至少一个坏的存储器单元之中的第二坏的存储器单元被所述多个单元串之中的第三单元串的虚设存储器单元代替。

10.如权利要求7所述的器件,其中,在每个单元串的所述源极虚设存储器单元之中与所述第一多个正常存储器单元相邻的源极虚设存储器单元被提供为用于代替所述至少一个坏的存储器单元的备用单元。

11.如权利要求10所述的器件,其中,所述至少一个坏的存储器单元被包括在所述多个单元串之中的第一单元串中,

所述至少一个坏的存储器单元之中的第一坏的存储器单元被所述第一单元串的备用单元代替,以及

所述至少一个坏的存储器单元之中的第二坏的存储器单元被所述多个单元串之中的第二单元串的备用单元代替。

12.如权利要求10所述的器件,其中,所述至少一个坏的存储器单元被包括在所述多个单元串之中的第一单元串中,

所述至少一个坏的存储器单元之中的第一坏的存储器单元被所述多个单元串之中的第二单元串的备用单元代替,以及

所述至少一个坏的存储器单元之中的第二坏的存储器单元被所述多个单元串之中的第三单元串的备用单元代替。

13.一种存储系统,包括:

半导体存储器件;以及

控制器,其被配置成控制所述半导体存储器件的至少一种操作,

其中,所述半导体存储器件包括:

存储器单元阵列,其包括沿着行方向和列方向布置的多个单元串,其中所述单元串包括层叠在衬底之上的第一多个正常存储器单元、第二多个虚设存储器单元、漏极选择晶体管和源极选择晶体管;

第一多个正常字线,其与所述第一多个正常存储器单元电耦接;以及

第二多个虚设字线,其与所述第二多个虚设存储器单元电耦接,

其中,所述第二多个虚设存储器单元包括:第二多个漏极虚设存储器单元,其经由所述漏极选择晶体管与位线电耦接;以及第二多个源极虚设存储器单元,其经由所述源极选择晶体管与公共源极线电耦接,

其中,所述第一多个正常存储器单元电耦接在所述漏极虚设存储器单元和所述源极虚设存储器单元之间,以及

其中,所述单元串之中的第一单元串中所包括的且与第一正常字线耦接的第一坏的存储器单元被所述第一单元串中所包括的且与第一虚设字线耦接的第一虚设存储器单元代替,并且所述第一单元串中所包括的且与第二正常字线耦接的第二坏的存储器单元被第二单元串中所包括的且与所述第一虚设字线耦接的第二虚设存储器单元代替。

14. 如权利要求13所述的系统,其中,所述第一坏的存储器单元和所述第二坏的存储器单元中的至少一个的每个被与所述第一多个正常存储器单元相邻的源极虚设存储器单元代替。

15. 如权利要求13所述的系统,其中,所述控制器被配置成将从外部设备接收的逻辑地址转换成表示所述漏极虚设存储器单元和所述源极虚设存储器单元之中的虚设存储器单元的物理地址。

半导体存储器件和包括半导体存储器件的存储系统

[0001] 相关申请的交叉引用

[0002] 本申请要求2014年2月7日提交的申请号为10-2014-0014296的韩国专利申请的优先权和权益,其全部内容通过引用合并于此。

技术领域

[0003] 实施例涉及电子器件和包括电子器件的存储系统,并且更具体地涉及半导体存储器件和包括半导体存储器件的存储系统。

背景技术

[0004] 半导体存储器件是使用如下半导体材料实现的存储器件:诸如硅(Si)、锗(Ge)、砷化镓(GaAs)、磷化铟(InP)。半导体存储器件通常被分成易失性存储器件或非易失性存储器件。

[0005] 易失性存储器件是当供应至易失性存储器件的电源被中断时储存的数据丢失的存储器件。易失性存储器件的实例包括,但不限于静态随机存取存储器(SRAM)、动态RAM(DRAM)和同步DRAM(SDRAM)。非易失性存储器件是当供应至非易失性存储器件的电源被中断时,保留储存的数据的存储器件。非易失性存储器件的实例包括,但不限于只读存储器(ROM)、可编程ROM(PROM)、可擦除可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)、快闪存储器、相变RAM(PRAM)、磁性RAM(MRAM)、阻变RAM(RRAM)、铁电RAM(FRAM)等。快闪存储器通常被分成或非(NOR)型快闪存储器件或与非(NAND)型快闪存储器件。

发明内容

[0006] 半导体存储器件的一个实施例包括:存储器单元阵列,其包括在衬底之上层叠配置的第一多个正常存储器单元和第二多个虚设存储器单元;第一多个正常字线,其与第一多个正常存储器单元电耦接;以及第二多个虚设字线,其与第二多个虚设存储器单元电耦接,其中第一多个正常存储器单元包括至少一个坏的存储器单元,并且至少一个坏的存储器单元中的每个被第二多个虚设存储器单元之中的虚设存储器单元代替。

[0007] 半导体存储器件的一个实施例包括:多个单元串,其分别与多个漏极选择线电耦接,并且沿着行的方向延伸,且被布置在列方向上,多个单元串中的每个包括在衬底之上层叠配置的第一多个正常存储器单元和第二多个虚设存储器单元;第一多个正常字线,其与第一多个正常存储器单元电耦接;以及第二多个虚设字线,其与多个虚设存储器单元电耦接,其中,第一多个正常存储器单元包括至少一个坏的存储器单元,并且至少一个坏的存储器单元中的每个被第二多个虚设存储器单元之中的虚设存储器单元代替。

[0008] 存储系统的一个实施例包括半导体存储器件和被配置成控制半导体存储器件的至少一种操作的控制器,其中,半导体存储器件包括:存储器单元阵列,其包括在衬底至少层叠配置的第一多个正常存储器单元和第二多个虚设存储器单元;第一多个正常字线,其与第一多个正常存储器单元电耦接;以及第二多个虚设字线,其与第二多个虚设存储器单

元电耦接,其中,第一多个正常存储器单元包括至少一个坏的存储器单元,并且至少一个坏的存储器单元中的每个被第二多个虚设存储器单元之中的虚设存储器单元代替。

附图说明

- [0009] 图1是表示半导体存储器件的一个实施例的框图;
- [0010] 图2是表示图1中所示的存储器单元阵列的框图;
- [0011] 图3是表示图2中所示的存储块的一个实施例的电路图;
- [0012] 图4是表示图2中所示的存储块中的一个的一个实施例的电路图;
- [0013] 图5是表示图3中所示的在存储块中沿着列方向布置的单元串的电路图;
- [0014] 图6是行的单元串、和包括在每一个单元串中的虚设存储器单元和正常存储器单元的一个实施例的图示;
- [0015] 图7是行的单元串、和包括在每一个单元串中的虚设存储器单元和正常存储器单元的一个实施例的图示;
- [0016] 图8是行的单元串、和包括在每一个单元串中的虚设存储器单元和正常存储器单元的一个实施例的图示;
- [0017] 图9是详述在根据参照图8描述的方法来代替坏的存储器单元之后执行编程操作或读取操作时,施加至虚设字线和正常字线的电压的表;
- [0018] 图10是详述在根据参照图8描述的方法来代替坏的存储器单元之后执行擦除操作时施加至虚设字线和正常字线的电压的表;
- [0019] 图11是表示包括半导体存储器件和控制器的存储系统的框图;
- [0020] 图12是表示图11中所示的存储系统的一个实施例的框图;
- [0021] 图13是表示图12中所示的存储系统的应用的一个实例的框图;
- [0022] 图14是表示包括参照图13描述的存储系统的计算系统的框图。

具体实施方式

- [0023] 图1是半导体存储器件100的一个实施例的框图。
- [0024] 半导体存储器件100包括存储器单元阵列110和外围电路120。
- [0025] 存储器单元阵列110经由行线RL和位线BL与外围电路120电耦接。
- [0026] 存储器单元阵列110包括多个存储块。多个存储块中的每个包括多个单元串。多个串中的每个包括层叠在衬底之上的多个存储器单元。在一个实施例中,多个存储器单元中的每个是非易失性存储器单元。在一个实施例中,多个存储器单元中的每个可以被定义为单电平单元或多电平单元。以下将参照图2、图3和图4来描述存储器单元阵列110。
- [0027] 修复信息被储存在多个存储块中的至少一个中。修复信息包括关于坏的存储器单元的信息。坏的存储器单元的可靠性通常不确定,并且可以被处理为坏区。坏的存储器单元可以被其他存储器单元代替。
- [0028] 外围电路120从存储器单元阵列110装载修复信息,并且根据该修复信息使用其他存储器单元来修复坏的存储器单元。
- [0029] 外围电路120包括:地址解码器121、电压发生器122、读取/写入电路123和控制逻辑124。

[0030] 地址解码器121经由行线RL与存储器单元阵列110电耦接。行线RL包括漏极选择线、字线、源极选择线和公共源极线。在一个实施例中,行线RL可以包括管道选择线。

[0031] 地址解码器121被配置成在控制逻辑124的控制下驱动行线RL。地址解码器121从控制逻辑124接收转换地址CA。

[0032] 在一个实施例中,当执行编程操作或读取操作时,转换地址CA包括块地址和行地址。地址解码器121被配置成将接收的转换地址CA的块地址解码。地址解码器121选择与解码的块地址相关的存储块。地址解码器121被配置成将接收的转换地址CA的行地址解码。地址解码器121将从电压发生器122接收的电压施加至选中存储块的行线RL,并且然后选择与解码的行地址相关的一个漏极选择线和一个字线。

[0033] 在一个实施例中,当执行擦除操作时,转换地址CA包括块地址。地址解码器121将块地址解码,并且选择与解码的块地址相关的存储块。当擦除电压V_{ers}被施加至存储器单元阵列110时,地址解码器121施加从电压发生器122接收的电压。电压的实例包括,但不限于施加至与选中的存储块电耦接的行线RL的接地电压。

[0034] 在一个实施例中,地址解码器121可以包括块解码器、行解码器和地址缓冲器。

[0035] 电压发生器122在控制逻辑124的控制下操作。电压发生器122被配置成使用在半导体存储器件100处接收的外部电压来产生多个电压。

[0036] 在一个实施例中,电压发生器122可以包括被配置成调节接收的外电压并且产生电源电压的电路。在一个实施例中,电压发生器122可以包括多个泵浦电容器,并且通过选择性地激活多个泵浦电容器以接收电源电压来产生多个电压。

[0037] 读取/写入电路123经由位线BL与存储器单元阵列110电耦接。读取/写入电路123在控制逻辑124的控制下操作。

[0038] 当执行编程操作和读取操作时,读取/写入电路123可以与半导体存储器件100外部的设备交换数据DATA,或可以与半导体存储器件100的输入/输出缓冲器(未示出)交换数据DATA。当执行擦除操作时,读取/写入电路123可以将位线BL浮置。

[0039] 在一个实施例中,读取/写入电路123可以包括页缓冲器(或页寄存器)、列选择电路等。

[0040] 控制逻辑124与地址解码器121、电压发生器122和读取/写入电路123电耦接。控制逻辑124从外部设备或从半导体存储器件100的输入/输出缓冲器(未示出)接收命令CMD和物理地址ADDR。控制逻辑124被配置成响应于命令CMD而控制半导体存储器件100的一种或更多种操作。命令CMD的实例包括,但不限于编程操作命令、读取操作命令和擦除操作命令。

[0041] 控制逻辑124包括地址转换单元125。地址转换单元125储存从存储器单元阵列110装载的修复信息。存储器单元阵列110的坏区和将用于代替坏区的存储器单元在修复信息中被指明。

[0042] 地址转换单元125接收物理地址ADDR。如果物理地址ADDR与坏区相对应,则地址转换单元125提供与将用于代替坏区的存储器单元相关的转换地址CA。如果物理地址ADDR不与坏区相对应,则地址转换单元125将物理地址ADDR提供作为转换地址CA。

[0043] 半导体存储器件100可以包括输入/输出缓冲器(未示出)。输入/输出缓冲器从外部设备接收命令CMD和物理地址ADDR,并且将接收的命令CMD和物理地址ADDR传送至控制逻辑124。输入/输出缓冲器被配置成将从外部设备接收的数据DATA传送至读取/写入电路123

以及将从读取/写入电路123接收的数据DATA传送至外部设备。

[0044] 在一个实施例中,半导体存储器件100可以是快闪存储器件。

[0045] 图2是表示图1中所示的存储器单元阵列110的框图。

[0046] 存储器单元阵列110包括多个存储块BLK1至BLKz。每个存储块具有三维结构。每个存储块包括层叠在衬底之上的多个存储器单元。多个存储器单元沿着+X方向、+Y方向和+Z方向布置。以下将参照图3和图4来描述存储块的结构。

[0047] 图3是表示图2中所示的存储块BLK1至BLKz的一个实施例的电路图。

[0048] 第一存储块BLK1包括多个单元串CS11至CS1m、CS21至CS2m。在第一存储块BLK1中,沿着行方向(即,+X方向)布置m数目个单元串。图3中示出了沿着列方向(即,+Y方向)布置的两个单元串。然而,p(p是自然数)数目个单元串可以沿着列方向(即,+Y方向)布置。

[0049] 多个单元串CS11至CS1m、CS21至CS2m中的每个被形成为U形。多个单元串CS11至CS1m、CS21至CS2m中的每个包括:正常存储器单元NMC1至NMCn,虚设存储器单元SDC1至SDC3、DDC1至DDC3,源极选择晶体管SST、漏极选择晶体管DST和管道晶体管PT。正常存储器单元NMC1至NMCn、虚设存储器单元SDC1至SDC3、DDC1至DDC3、源极选择晶体管SST、漏极选择晶体管DST和管道晶体管PT层叠在存储块BLK1之下衬底(未示出)之上。

[0050] 选择晶体管SST、DST,虚设存储器单元SDC1至SDC3、DDC1至DDC3和正常的存储器单元NMC1至NMCn可以都具有大体相似的结构。例如,选择晶体管SST、DST,虚设存储器单元SDC1至SDC3、DDC1至DDC3和正常的存储器单元NMC1至NMCn中的每个可以包括沟道层、隧道绝缘层、电荷储存层和阻挡绝缘层。沟道层在相应的位线和公共源极线之间延伸。阻挡绝缘层与相应的行线电耦接。

[0051] 每个单元串的源极选择晶体管SST与公共源极线CSL共同电耦接。每个单元串的源极选择晶体管SST电耦接在公共源极线CSL和源极虚设存储器单元SDC1至SDC3之间。每个单元串的源极选择晶体管SST的栅极与源极选择线SSL共同电耦接。

[0052] 尽管在图3中示出了每个单元串的单源极选择晶体管SST,但可以使用与每个单元串串联耦接的两个或更多个源极选择晶体管SST。

[0053] 每个单元串的源极虚设存储器单元SDC1至SDC3电耦接在源极选择晶体管SST和正常存储器单元NMC1至NMCp之间。第一源极虚设存储器单元SDC1、第二源极虚设存储器单元SDC2和第三源极虚设存储器单元SDC3的栅极分别与第一源极虚设字线SDWL1、第二源极虚设字线SDWL2和第三源极虚设字线SDWL3电耦接。

[0054] 每个单元串的第一正常存储器单元NMC1至第N正常存储器单元NMCn电耦接在源极虚设存储器单元SDC1至SDC3和漏极虚设存储器单元DDC1至DDC3之间。

[0055] 第一正常存储器单元NMC1至第N正常存储器单元NMCn被分成第一正常存储器单元至NMC1第p正常存储器单元NMCp、以及第(p+1)正常存储器单元NMCp+1至第N正常存储器单元NMCn。第一正常存储器单元NMC1至第p正常存储器单元NMCp、以及第(p+1)正常存储器单元NMCp+1至第N正常存储器单元NMCn经由管道晶体管PT电耦接。第一正常存储器单元NMC1至第p正常存储器单元NMCp沿着+Z方向的相反方向被顺序地布置,并且串联电耦接在源极虚设存储器单元SDC1至SDC3与管道晶体管PT之间。第(p+1)正常存储器单元NMCp+1至第N正常存储器单元NMCn沿着+Z方向顺序层叠,并且串联电耦接在管道晶体管PT与漏极虚设存储器单元DDC1至DDC3之间。第一正常存储器单元NMC1至第N正常存储器单元NMCn的栅极分别

与第一正常字线NWL1至第N正常字线NWL_n电耦接。

[0056] 每个单元串的管道晶体管PT的栅极与管道线PL电耦接。

[0057] 每个单元串的漏极虚设存储器单元DDC1至DDC3串联电耦接在漏极选择晶体管DST与正常存储器单元NMC_{p+1}至NMC_n之间。第一漏极虚设存储器单元DDC1、第二漏极虚设存储器单元DDC2和第三漏极虚设存储器单元DDC3的栅极分别与第一漏极虚设字线DDWL1、第二漏极虚设字线DDWL2和第三漏极虚设字线DDWL3电耦接。

[0058] 每个单元串的漏极选择晶体管DST电耦接在相应的位线与漏极虚设存储器单元DDC1至DDC3之间。第一行的单元串CS11至CS1_m的漏极选择晶体管DST与第一漏极选择线DSL1电耦接。第二行的单元串CS21至CS2_m的漏极选择晶体管DST与第二漏极选择线DSL2电耦接。

[0059] 沿着同一行(+X方向)布置的单元串(例如,CS11至CS1_m)经由相应的漏极选择晶体管与同一漏极选择线(例如,DSL1)电耦接。沿着不同行布置的单元串(例如,CS11至CS21)与不同的漏极选择线(例如,DSL1、DSL2)电耦接。

[0060] 图4是表示图2中示出的(BLK1)存储块BLK1、BLK_z的一个实施例BLK1'的电路图。

[0061] 第一存储块BLK1'包括多个单元串CS11'至CS1_m'、CS21'至CS2_m'。在第一存储块BLK1'中,沿着行方向(即,+X方向)来布置m数目个单元串。在图4中示出了沿着列方向布置的两个单元串。然而,沿着列方向(即,+Y方向)可以布置p(其中,p是自然数)数目个单元串。

[0062] 多个单元串CS11'至CS1_m'、CS21'至CS2_m'中的每个沿着+Z方向延伸。多个单元串CS11'至CS1_m'、CS21'至CS2_m'中的每个包括:源极选择晶体管SST,虚设存储器单元SDC1至SDC3、DDC1、DDC3,第一正常存储器单元NMC1至第n正常存储器单元NMC_n以及漏极选择晶体管DST。源极选择晶体管SST,虚设存储器单元SDC1至SDC3、DDC1、DDC3,第一正常存储器单元NMC1至第n正常存储器单元NMC_n以及漏极选择晶体管DST层叠在存储块BLK1'之下衬底(未示出)之上。

[0063] 每个单元串的源极选择晶体管SST与公共源极线CSL共同电耦接。每个单元串的源极选择晶体管SST电耦接在源极虚设存储器单元SDC1至SDC3与公共源极线CSL之间。每个单元串的源极选择晶体管SST的栅极与源极选择线SSL电耦接。

[0064] 每个单元串的源极虚设存储器单元SDC1至SDC3串联电耦接在正常存储器单元NMC1至NMC_n与源极选择晶体管SST之间。具有大体相同高度的源极虚设存储器单元与同一虚设字线电耦接。第一源极虚设存储器单元SDC1、第二源极虚设存储器单元SDC2和第三源极虚设存储器单元SDC3的栅极分别与第一源极虚设字线SDWL1、第二源极虚设字线SDWL2和第三源极虚设字线SDWL3电耦接。

[0065] 每个单元串的第一正常存储器单元NMC1至第N正常存储器单元NMC_n串联电耦接在源极虚设存储器单元SDC1至SDC3与漏极虚设存储器单元DDC1与DDC3之间。具有大体相同高度的正常存储器单元与同一正常字线电耦接。第一正常存储器单元NMC1至第N正常存储器单元NMC_n分别与第一正常字线NWL1至第N正常字线NWL_n电耦接。

[0066] 每个单元串的漏极虚设存储器单元DDC1至DDC3串联电耦接在漏极选择晶体管DST与正常的存储器单元NMC1至NMC_n之间。第一漏极虚设存储器单元DDC1、第二漏极虚设存储器单元DDC2和第三漏极虚设存储器单元DDC3分别与第一漏极虚设字线DDWL1、第二漏极虚设字线DDWL2和第三漏极虚设字线DDWL3电耦接。

[0067] 每个单元串的漏极选择晶体管DST电耦接在相应的位线与漏极虚设存储器单元DDC1至DDC3之间。沿着同一行(+X方向)布置的单元串的漏极选择晶体管与同一漏极选择线电耦接。第一行的单元串CS11'至CS1m'的漏极选择晶体管DST与第一漏极选择线DSL1电耦接。第二行的单元串CS21'至CS2m'的漏极选择晶体管DST与第二漏极选择线DSL2电耦接。

[0068] 在图4中,沿着行方向布置的第一单元串至第m单元串CS11'至CS1m'或CS21'至CS2m'分别与第一位线BL1至第m位线BLm电耦接。在一个实施例中,偶数位线和奇数位线可以用于代替第一位线BL1至第m位线BLm。在沿着行方向布置的单元串CS11'至CS1m'或CS21'至CS2m'之中偶数编号的单元串可以分别与偶数位线电耦接,在沿着行方向布置的单元串CS11'至CS1m'或CS21'至CS2m'之中的奇数编号的单元串可以分别与奇数位线电耦接。

[0069] 图4中所示的存储块BLK1'和图3中所示的存储块BLK1具有除了在每个单元串中不包括管道晶体管PT之外大体相似的电路。

[0070] 图5是表示图3中所示的在存储块BLK1中沿着列方向(+Y方向)布置的单元串CS11至CS41的电路图。在图5中,单元串CS11至CS41与第一位线BL1电耦接作为一个实例。在图5中,使用沿着列方向布置的四个单元串CS11至CS41。然而,在存储块BLK1中沿着列方向的单元串的数目可以变化。

[0071] 局部桥接可以发生在与单元串CS11相邻的区域中的两个正常字线NWL_{p+1}与NWL_{p+2}之间。局部桥接可以导致第(p+1)正常字线NWL_{p+1}和第(p+2)正常字线NWL_{p+2}之间的相对更弱的泄漏电流。局部桥接可以影响与第(p+1)正常字线NWL_{p+1}与第(p+2)正常字线NWL_{p+2}之间的单元串CS11相邻的区域。例如,经由地址解码器121(在图1中示出)提供至第(p+1)正常字线NWL_{p+1}和第(p+2)正常字线NWL_{p+2}的电压在与单元串CS11相邻的区域中具有相对大的变化,而在与其他的单元串CS21至CS41相邻的区域中相对不变。

[0072] 第(p+1)正常字线NWL_{p+1}的电压和第(p+2)正常字线NWL_{p+2}的电压可以由于泄漏电流而偶然地改变。例如,假设相对更高的编程电压被施加至选中的第(p+1)正常字线NWL_{p+1},以及相对于编程电压更低的编程通过电压被施加至未选中的第(p+2)正常字线NWL_{p+2}。施加至单元串CS11的第(p+1)正常字线NMC_{p+1}的栅极的电压可以偶然地相对于编程电压更低,以及施加至单元串CS11的第(p+2)正常字线NMC_{p+2}的栅极的电压可以偶然地相对于编程通过电压更高。例如,假设读取电压被施加至选中的第(p+1)正常字线NWL_{p+1},而相对于读取电压更高的读取通过电压被施加至未选中的第(p+2)正常字线NWL_{p+2}。施加至单元串CS11的第(p+1)正常字线NMC_{p+1}的栅极的电压可以偶然地相对于读取电压更高,而施加至单元串CS11的第(p+2)正常字线NWL_{p+2}的栅极的电压可以偶然地相对于读取通过电压更低。

[0073] 如果由于防止半导体存储器件100的可靠性的相对降低而由局部桥接引起的坏的存储器单元无效,则单元串CS11的储存空间可以更小。因此,存储块BLK1的储存空间可以相对于其他存储块的储存空间更小。这可以导致难以管理存储块BLK1的地址。

[0074] 在一个实施例中,当在正常存储器单元之中存在坏的存储器单元时,坏的存储器单元被处理作为坏区,并且被虚设存储器单元DC代替。由于存储块中的坏的存储器单元被同一存储块中的虚设存储器单元DC代替,所以坏的存储器单元可以被处理作为坏区,而相应的存储块BLK1的储存空间可以被保持为与其他的存储块大体相同。

[0075] 图6是每个行的单元串、包括在每个单元串中的虚设存储器单元DC和正常存储器

单元NMC1至NMCn的图示。将参照图6来描述代替坏的存储器单元的方法的一个实施例。

[0076] 单元串CS11至CS1m、CS21至CS2m、CS31至CS3m、CS41至CS4m中的虚设存储器单元SDC1至SDC3、DDC1至DDC3 (DC) 可以用作代替坏的存储器单元的备用单元SCs。

[0077] 假设在第一行的单元串CS11至CS1m中的正常存储器单元之间出现坏的存储器单元。例如,在第一行的单元串CS11至CS1m之中,第一列的单元串CS11的第(p+1)正常存储器单元NMC_{p+1}和第(p+2)正常存储器单元NMC_{p+2}可以是坏的存储器单元。在这种情况下,在第一行的单元串CS11至CS1m之中与坏的存储器单元耦接的同一正常字线电耦接的正常存储器单元可以被处理作为坏区,并且可以被虚设存储器单元DC代替。单元串CS11至CS1m的第(p+1)正常存储器单元NMC_{p+1}、和单元串CS11至CS1m的第(p+2)正常存储器单元NMC_{p+2}将被处理为坏区。坏区可以具有相对更低的可靠性,并且坏区中的存储器单元不被使用。

[0078] 例如,如在图6中所示,第一行的单元串CS11至CS1m中的第(p+1)正常存储器单元NMC_{p+1}可以被同一行的单元串CS11至CS1m中的第三源极虚设存储器单元SDC3代替。第一行的单元串CS11至CS1m中的第(p+2)正常存储器单元NMC_{p+2}可以被同一行的单元串CS11至CS1m的第一漏极虚设存储器单元DDC1代替。另外,可以采用不同的方法用备用单元SCs1来代替第一行的单元串CS11至CS1m中的第(p+1)正常存储器单元NMC_{p+1}和第一行的单元串CS11至CS1m中的第(p+2)正常存储器单元NMC_{p+2}。在一个实例中,第一行的单元串CS11至CS1m中的第(p+1)正常存储器单元NMC_{p+1}可以被另一行的单元串(例如,CS21至CS2m)的第三源极虚设存储器单元SDC3代替。第一行的单元串CS11至CS1m中的第(p+2)正常存储器单元NMC_{p+2}可以被另一行的单元串(例如,CS21至CS2m)的第一漏极虚设存储器单元DDC1代替。

[0079] 图7是每个行的单元串、包括在每个单元串中的虚设存储器单元DC和正常存储器单元NMC1至NMCn的图示。以下将描述代替坏的存储器单元的方法的一个实施例。

[0080] 当执行半导体存储器件100的编程操作时,电源电压可以被施加至公共源极线CSL(见图3和图4),以及根据要被编程的数据,电源电压或接地电压可以被施加至位线BL1至BLm(见图3和图4)。当单元串与未选中的漏极选择线电耦接时,当执行编程操作时,相应的沟道的电压被升高。当单元串经由位线来接收接地电压时,经由位线接收的接地电压与升高的沟道电压之间的差相对于经由公共源极线接收的电源电压与升高的沟道电压之间的差更大。因此,电流具有从升压的沟道中经由漏极选择晶体管DST泄漏的相对高的可能性(见图3和图4)。为了解决这种问题,从升压的沟道至相应的位线,可以使用一些漏极虚设存储器单元DDC1至DDC3来逐步地降低位于正常存储器单元NMC1至NMCn与漏极选择晶体管DST之间且在它们之间升高的沟道的电压。

[0081] 再次参见图7,在虚设存储器单元DC之中的漏极虚设存储器单元DDC1至DDC3可以不被用作备用单元SCs。在单元串CS11至CS1m、CS21至CS2m、CS31至CS3m、CS41至CS4m之中的源极虚设存储器单元SDC1至SDC3被用作代替坏的存储器单元的备用单元SCs。

[0082] 假设在第一行的单元串CS11至CS1m之中第一列的单元串CS11中的第(p+1)正常存储器单元NMC_{p+1}和第(p+2)正常存储器单元NMC_{p+2}是坏的存储器单元。在这种情况下,第一行的单元串CS11至CS1m中的第(p+1)正常存储器单元NMC_{p+1}和第一行的单元串CS11至CS1m的第(p+2)正常存储器单元NMC_{p+2}可以被处理为坏区并且被备用单元SCs2代替。

[0083] 例如,如图7中所示,第一行的单元串CS11至CS1m中的第(p+1)正常存储器单元

NMC_{p+1}可以被同一行的单元串CS₁₁至CS_{1m}的第二源极虚设存储器单元SDC₂代替。第一行的单元串CS₁₁至CS_{1m}中的第(p+2)正常存储器单元NMC_{p+2}可以被同一行的单元串CS₁₁至CS_{1m}的第三源极虚设存储器单元SDC₃代替。在一个实例中,第一行的单元串CS₁₁至CS_{1m}中的第(p+1)正常存储器单元NMC_{p+1}可以被另一行的单元串(例如,CS₂₁至CS_{2m})中的第二源极虚设存储器单元SDC₂代替。第一行的单元串CS₁₁至CS_{1m}的第(p+2)正常存储器单元NMC_{p+2}可以被另一行的单元串(例如,CS₂₁至CS_{2m})的第三源极虚设存储器单元SDC₃代替。

[0084] 可以采用各种方法用备用单元SC_{s2}来代替第一行的单元串CS₁₁至CS_{1m}中的第(p+1)正常存储器单元NMC_{p+1}和第(p+2)正常存储器单元NMC_{p+2}。

[0085] 图8是每个行的单元串、包括在每个单元串中的虚设存储器单元DC和正常存储器单元NMC₁至NMC_n的图示。以下将描述代替坏的存储器单元的方法的一个实施例。

[0086] 当执行编程操作时,在相应的源极虚设存储器单元与公共源极线CSL(见图3和图4)相邻时,可以减小施加至源极虚设存储器单元SDC₁至SDC₃的栅极的电压,以逐步降低从单元串的沟道至源极选择晶体管SST的升压的单元串的沟道电压(见图3和图4)。

[0087] 在单元串CS₁₁至CS_{1m}、CS₂₁至CS_{2m}、CS₃₁至CS_{3m}、CS₄₁至CS_{4m}之中与正常存储器单元NMC₁至NMC_n相邻的第三源极虚设存储器单元SDC₃可以用作备用单元SC。不与正常存储器单元NMC₁至NMC_n相邻的源极虚设存储器单元SDC₁至SDC₂可以不用作备用单元SC。

[0088] 在当执行编程操作时,用单元串CS₁₁至CS_{1m}、CS₂₁至CS_{2m}、CS₃₁至CS_{3m}、CS₄₁至CS_{4m}中的第三源极虚设存储器单元SDC₃代替坏的存储器单元的情况下,如同正常存储器单元NMC₁至NMC_n,编程电压或编程通过电压被施加至第三源极虚设字线SDWL₃(见图3和图4)。相应的源极虚设字线离公共源极线CSL越近,被施加至第一源极虚设字线SDWL₁和第二源极虚设字线SDWL₂的电压的降低就越大。

[0089] 假设在第一行的单元串CS₁₁至CS_{1m}之中第一列的单元串CS₁₁中的第(p+1)正常存储器单元NMC_{p+1}和第(p+2)正常存储器单元NMC_{p+2}是坏的存储器单元。第一行的单元串CS₁₁至CS_{1m}中的第(p+1)正常存储器单元NMC_{p+1}和第一行的单元串CS₁₁至CS_{1m}的第(p+2)正常存储器单元NMC_{p+2}可以被处理为坏区并且被备用单元SC_{s3}代替。例如,如在图8中所示,第一行的单元串CS₁₁至CS_{1m}中的第(p+1)正常存储器单元NMC_{p+1}可以被另一行的单元串(例如,CS₂₁至CS_{2m})的第三源极虚设存储器单元SDC₃代替。第一行的单元串CS₁₁至CS_{1m}中的第(p+2)正常存储器单元NMC_{p+2}可以被同一行的单元串CS₁₁至CS_{1m}中的第三源极虚设存储器单元SDC₃代替。在一个实例中,第一行的单元串CS₁₁至CS_{1m}中的第(p+1)正常存储器单元NMC_{p+1}可以被另一行的单元串(例如,CS₂₁至CS_{2m})中的第三源极虚设存储器单元SDC₃代替。第一行的单元串CS₁₁至CS_{1m}中的第(p+2)正常存储器单元NMC_{p+2}可以被另一行的单元串(例如,CS₃₁至CS_{3m})的第三源极虚设存储器单元SDC₃代替。

[0090] 图9是详述在根据参照图8描述的方法来代替坏的存储器单元之后执行编程操作或读取操作时施加至虚设字线SDWL₁至SDWL₃、DDWL₁至DDWL₃和正常字线NWL₁至NWL_n的电压的表。假设包括坏的存储器单元的坏区被与第三源极虚设字线SDWL₃电耦接的源极虚设存储器单元来代替,以及在图9中选择第三源极虚设字线SDWL₃。

[0091] 当执行编程操作时,第一编程虚设电压V_{pdm1}和第二编程虚设电压V_{pdm2}被施加至第一源极虚设字线SDWL₁和第二源极虚设字线SDWL₂。第一编程虚设电压V_{pdm1}和第二编程虚设电压V_{pdm2}相对于编程电压V_{pgm}和编程通过电压V_{ppass}更低。第一编程虚设电压V_{pdm1}

可以相对于第二编程虚设电压Vpdm2更低。当相应的源极虚设字线与正常字线NWL1至NWLn相邻时,编程虚设电压Vpdm1、Vpdm2可以相对更高。

[0092] 当执行编程操作时,相对更高的编程电压Vp_{gm}被施加至第三源极虚设字线SDWL3。

[0093] 相同的编程通过电压Vp_{pass}被施加至与坏的存储器单元电耦接的正常字线NWL_p+1、NWL_p+2。由于大体上相同的电压被施加至引起局部桥接的正常字线NWL_p+1、NWL_p+2,所以正常字线NWL_p+1、NWL_p+2的电压可以不经偶然的变化。类似地,编程通过电压Vp_{pass}被施加至其他的正常字线NWL1至NWL_p、NWL_p+3至NWL_n。

[0094] 第二编程虚设电压Vpdm2被施加至第一漏极虚设字线DDWL1,第一编程虚设电压Vpdm1被施加至第二漏极虚设字线DDWL2,以及第0编程虚设电压Vpdm0被施加至第三漏极虚设字线DDWL3。第0编程虚设电压Vpdm0可以相对于第一编程虚设电压Vpdm1和第二编程虚设电压Vpdm2更低。

[0095] 当执行读取操作时,第一读取虚设电压Vrdm1和第二读取虚设电压Vrdm2被分别施加至第一源极虚设字线SDWL1和第二源极虚设字线SDWL2。第一读取虚设电压Vrdm1和第二读取虚设电压Vrdm2相对于读取通过电压Vr_{pass}更低。第一读取虚设电压Vrdm1可以相对于第二读取虚设电压Vrdm2更低。

[0096] 当执行读取操作时,读取电压Vread被施加至第三源极虚设字线SDWL3。根据读取电压Vread选中的源极虚设存储器单元的数据被确定。

[0097] 相同的读取通过电压Vr_{pass}被施加至与坏区电耦接的正常字线NWL_p+1、NWL_p+2。类似地,高读取通过电压Vr_{pass}被施加至其他的正常字线NWL1至NWL_p、NWL_p+3至NWL_n。

[0098] 第二读取虚设电压Vrdm2被施加至第一漏极虚设字线DDWL1,第一读取虚设电压Vrdm1被施加至第二漏极虚设字线DDWL2,以及第0读取虚设电压Vrdm0被施加至第三漏极虚设字线DDWL3。第0读取虚设电压Vrdm0可以相对于第一读取虚设电压Vrdm1和第二读取虚设电压Vrdm2更低。

[0099] 图10是详述在根据参照图8描述的方法来代替坏的存储器单元之后,执行擦除操作时施加至虚设字线SDWL1、SDWL3、DDWL1至DDWL3和正常字线NWL1至NWL_n的电压的表。

[0100] 接地电压V_{ss}被施加至如同其他的正常字线NWL1至NWL_p和NWL_p+3至NWL_n一样的与坏的存储器单元电耦接的正常字线NWL_p+1、NWL_p+2。

[0101] 图11是表示包括半导体存储器件100和控制器200的存储系统的框图。

[0102] 控制器200与主机Host和半导体存储器件100电耦接。控制器200被配置成响应于来自主机Host的请求而访问半导体存储器件100。例如,控制器200被配置成控制包括但不限于半导体存储器件100的读取操作、编程操作、擦除操作和后台操作的一种或更多种操作。

[0103] 控制器200被配置成提供半导体存储器件100和主机Host之间的接口。控制器200被配置成驱动用于控制半导体存储器件100的操作的固件。

[0104] 控制器200被配置成经由通道与半导体存储器件100通信。控制器200被配置成将命令CMD(见图1)和物理地址ADDR(见图1)传送至半导体存储器件100。半导体存储器件100根据命令CMD来执行读取、编程和擦除操作。半导体存储器件100对与物理地址ADDR相对应的区域中的数据进行编程,从与物理地址ADDR相对应的区域中读取数据,或擦除与物理地址ADDR相对应的区域的数据。

[0105] 控制器200包括随机存取存储器 (RAM) 210和地址管理模块220。

[0106] 映射表包括从主机Host接收的逻辑块地址和被提供至半导体存储器件100并且被储存在RAM 210中的物理地址ADDR之间的映射关系。

[0107] 地址管理模块220使用映射表将从主机Host接收的逻辑地址转换成物理地址ADDR (见图1)。地址管理模块220通过管理RAM 210的映射表来管理存储器单元阵列110的坏区。例如,地址管理模块220不将与坏区相对应的物理地址映射成逻辑地址,而将表示代替坏区的虚设存储器单元的物理地址映射成相应的逻辑地址。地址管理模块220可以将从主机Host接收的逻辑地址转换成表示相应的虚设存储器单元的物理地址。物理地址被传送至半导体存储器件100。

[0108] 例如,当编程操作在半导体存储器件100中失败时,地址管理模块220可以检测出在选中的正常存储器单元中存在的坏的存储器单元。当执行读取操作时,地址管理模块220可以使用可包括在控制器200中的错误校正块1250 (见图12) 来检测出在选中的正常存储器单元中的坏的存储器单元。

[0109] 地址管理模块220更新储存在RAM 210中的映射表以使得能处理坏区中的正常存储器单元以及用虚设存储器单元来代替坏区中的正常存储器单元。

[0110] 图12是表示存储系统1000的一个实施例的框图。

[0111] 存储系统1000包括半导体存储器件100和控制器1200。

[0112] 半导体存储器件100被配置成采用与参照图1至图8描述的半导体存储器件大体相同的方式来操作。

[0113] 控制器1200与主机Host和半导体存储器件100电耦接。控制器1200被配置成响应于来自主机Host的请求而访问半导体存储器件100。例如,控制器1200被配置成控制半导体存储器件100的一种或更多种操作,包括但不限于半导体存储器件100的读取操作、写入操作、擦除操作和后台操作。控制器1200被配置成提供半导体存储器件100和主机Host之间的接口。控制器1200被配置成驱动固件以控制半导体存储器件100的一种或更多种操作。

[0114] 控制器1200包括:随机存取存储器 (RAM) 1210、处理单元1220、主机接口1230、存储器接口1240和错误校正块1250。

[0115] RAM 1210被用作处理单元1220的操作存储器、半导体存储器件100和主机Host之间的高速缓冲存储器以及半导体存储器件100和主机Host之间的缓冲存储器中的至少一种。处理单元1220控制控制器1200的整体操作。

[0116] RAM 1210可以执行RAM 210 (见图11) 的功能。此外,处理单元1220可以执行参照图11描述的地址管理模块220的功能。

[0117] 主机接口1230包括用于在主机Host和控制器1200之间交换数据的协议。在一个实施例中,控制器1200可以使用诸如以下的各种协议中的至少一种与主机Host通信:通用串行总线 (USB) 协议、多媒体卡 (MMC) 协议,外围组件互连 (PCI) 的协议、PCI-快速 (PCI-E) 协议,高级技术附件 (ATA) 协议、串行ATA协议、并行ATA协议、小型计算机系统接口 (SCSI) 协议,加强型小型硬盘接口 (ESDI) 协议、集成驱动电子设备 (IDE) 协议、私有协议等。

[0118] 存储器接口1240是与半导体存储器件100的接口。存储器接口1240的实例包括但不限于与非 (NAND) 接口和或非 (NOR) 接口。

[0119] 错误校正块1250被配置成使用错误校正码 (ECC) 来检测并校正与从半导体存储器

件100中接收的数据相关的错误。

[0120] 当错误比特的数目超过从选中的正常存储器单元中读取的数据中的限制数目时,错误校正块1250不能校正错误比特。当错误比特的数目超过限制的数目时,错误校正块1250将失败信号传送至作为地址管理模块220操作的处理单元1220。处理单元1220响应于失败信号而更新储存在RAM 1210中的映射表。

[0121] 控制器1200和半导体存储器件100可以被集成在单个半导体器件中。在一个实施例中,控制器1200和半导体存储器件100可以被集成在被配置为存储卡的单个半导体器件中。控制器1200和半导体存储器件100可以被集成在被配置为存储卡的单个半导体器件中,其中这种存储卡的实例包括但不限于PC卡(个人计算机存储卡国际协会(PCMCIA))、紧凑闪存卡(CF)、智能媒体(SM)卡(SMC)、记忆棒、多媒体卡(MMC)(减小尺寸的MMC(RS-MMC)、MMCmicro)、安全数字(SD)卡(迷你SD、微型SD或SD高容量(SDHC))以及通用闪存存储设备(UFS)等。

[0122] 控制器1200和半导体存储器件100可以被集成在被配置作为固态驱动(SSD)的单个半导体器件中。SSD包括被配置成将数据储存在半导体存储器中的存储器件。当存储系统1000用作SSD时,可以增强与存储系统1000电耦接的主机Host的操作速率。

[0123] 存储系统1000可以用作电子设备的部件,其中这种电子设备的实例包括但不限于计算机、超级移动PC(UMPC)、工作站、上网本、个人数字助理(PDA)、便携式计算机、平板电脑、无线电话、移动电话、智能电话、电子书、便携式多媒体播放器(PMP)、便携式游戏机、导航设备、黑匣子、数码相机、三维电视机、数字音频录音机、数字音频播放器、数字图片录像机、数字图片播放器、数字视频录像机、数字视频播放器、用于无线发送/接收信息的设备、配置家庭网络的各种电子设备中的至少一个、配置计算机网络的各种电子设备中的至少一个、配置远程信息处理网络的各种电子设备的至少一个、RFID设备以及配置计算系统的各种部件中的至少一个。

[0124] 在一个实施例中,半导体存储器件100或存储系统1000可以使用各种封装形式来安装。这种封装的实例包括但不限于:层叠封装(PoP)、球栅阵列(BGA)、芯片级封装(CSP)、塑料引线芯片载体(PLCC)、塑料双列直插式封装(PDIP)、华夫包式管芯(die in waffle pack)、晶片形式管芯(die in wafer form)、板上芯片(COB)、陶瓷双列直插式封装(CERDIP)、塑料公制四方扁平封装(MQFP)、薄型四方扁平封装(TQFP)、小外型集成电路(SOIC)、紧缩小外型封装(SSOP)、薄型小外型封装(TSOP)、薄型四方扁平封装(TQFP)、系统级封装(SIP)、多芯片封装(MCP)、晶片级制造封装(WFP)以及晶片级处理层叠封装(WSP)。

[0125] 图13是表示图12中所示的存储系统1000的应用的一个实例的框图。

[0126] 存储系统2000包括半导体存储器件2100和控制器2200。半导体存储器件2100包括多个半导体存储芯片。多个半导体存储芯片被划分成多个组。

[0127] 半导体存储芯片的多个组分别经由第一通道CH1至第k通道CHk与控制器2200通信。每个半导体存储芯片采用与参照图1描述的半导体存储器件100大体相似的方式来配置和操作。

[0128] 每个组被配置成经由一个公共通道与控制器2200通信。控制器2200采用与参照图12描述的控制器1200大体相似的方式来配置,并且被配置成经由多个通道CH1至CHk来控制半导体存储器件2100的多个半导体存储芯片的一种或更多种操作。

[0129] 多个半导体存储芯片与单个通道电耦接。然而,在一个实施例中,单个半导体存储芯片可以与单个通道电耦接。

[0130] 图14是表示包括参照图13描述的存储系统2000的计算系统3000的框图。

[0131] 计算系统3000包括:中央处理单元3100、RAM 3200、用户接口3300、电源3400、系统总线3500和存储系统2000。

[0132] 存储系统2000经由系统总线3500与中央处理单元3100、RAM 3200、用户接口3300、和电源3400电耦接。经由用户接口3300提供的或通过中央处理单元3100处理的数据被储存在存储系统2000中。

[0133] 半导体存储器件2100被示为经由图14中的控制器2200与系统总线3500电耦接。然而,半导体存储器件2100可以被配置成与系统总线3500直接电耦接。控制器2200的功能可以通过中央处理单元3100和RAM 3200来执行。

[0134] 在图14中,提供了参照图13描述的存储系统2000。然而,存储系统2000可以被参照图12描述的存储系统1000代替。在一个实施例中,计算系统3000可以被配置成包括分别参照图12和图13描述的存储系统1000和存储系统2000。

[0135] 在一个实施例中,可以增加半导体存储器件的可靠性以及可以保持相对稳定的储存空间。

[0136] 尽管以上描述了某些实施例,但本领域中的技术人员将理解的是,描述的实施例仅是实例。因此,本文中描述的半导体存储器件、存储系统和操作方法不应当基于描述的实施例来限制。更确切地,本文中描述的半导体存储器件、存储系统和操作方法应该仅根据所附权利要求并结合以上描述和附图来限制。

[0137] 通过以上实施例可以看出,本申请提供了以下的技术方案。

[0138] 技术方案1.一种半导体存储器件,包括:

[0139] 存储器单元阵列,其包括在衬底之上层叠配置的第一多个正常存储器单元和第二多个虚设存储器单元;

[0140] 第一多个正常字线,其与所述第一多个正常存储器单元电耦接;以及

[0141] 第二多个虚设字线,其与所述第二多个虚设存储器单元电耦接,

[0142] 其中,所述第一多个正常存储器单元包括至少一个坏的存储器单元,并且所述至少一个坏的存储器单元中的每个被所述第二多个虚设存储器单元之中的虚设存储器单元代替。

[0143] 技术方案2.如技术方案1所述的器件,其中,所述第二多个虚设存储器单元包括:

[0144] 第二多个漏极虚设存储器单元,其经由漏极选择晶体管与位线电耦接;以及

[0145] 第二多个源极虚设存储器单元,其经由源极选择晶体管与公共源极线电耦接,

[0146] 其中,所述第一多个正常存储器单元电耦接在所述漏极虚设存储器单元和所述源极虚设存储器单元之间。

[0147] 技术方案3.如技术方案2所述的器件,其中,所述至少一个坏的存储器单元中的每个被源极虚设存储器单元代替。

[0148] 技术方案4.如技术方案2所述的器件,其中,所述至少一个坏的存储器单元中的每个被与所述第一多个正常存储器单元相邻的源极虚设存储器单元代替。

[0149] 技术方案5.如技术方案1所述的器件,还包括外围电路,其被配置成控制所述第一

多个正常字线和所述第二多个虚设字线的操作。

[0150] 技术方案6.如技术方案5所述的器件,其中,当执行编程操作时,所述外围电路被配置成将电压施加至与所述至少一个坏的存储器单元电耦合的正常字线,所述电压与施加至所述第一多个正常字线之中的未选中的正常字线的电压大体上相同。

[0151] 技术方案7.如技术方案5所述的器件,其中,当执行读取操作时,所述外围电路被配置成将电压施加至与所述至少一个坏的存储器单元电耦合的正常字线,所述电压与施加至所述第一多个正常字线之中的未选中的正常字线的电压大体上相同。

[0152] 技术方案8.如技术方案5所述的器件,其中,当执行擦除操作时,所述外围电路被配置成将接地电压施加至与所述至少一个坏的存储器单元电耦合的正常字线。

[0153] 技术方案9.一种半导体存储器件,包括:

[0154] 多个单元串,其分别与多个漏极选择线电耦合,所述多个漏极选择线沿着行方向延伸并且沿着列方向被布置,所述多个单元串中的每个包括在衬底之上层叠配置的第一多个正常存储器单元和第二多个虚设存储器单元;

[0155] 第一多个正常字线,其与所述第一多个正常存储器单元电耦合;以及

[0156] 第二多个虚设字线,其与所述第二多个虚设存储器单元电耦合,

[0157] 其中,所述第一多个正常存储器单元包括至少一个坏的存储器单元,并且所述至少一个坏的存储器单元中的每个被所述第二多个虚设存储器单元之中的虚设存储器单元代替。

[0158] 技术方案10.如技术方案9所述的器件,其中,所述至少一个坏的存储器单元包括在所述多个单元串之中的第一单元串中,

[0159] 所述至少一个坏的存储器单元之中的第一坏的存储器单元被所述第一单元串的虚设存储器单元代替,以及

[0160] 所述至少一个坏的存储器单元之中的第二坏的存储器单元被所述多个单元串之中的第二单元串的虚设存储器单元代替。

[0161] 技术方案11.如技术方案9所述的器件,其中,所述至少一个坏的存储器单元包括在所述多个单元串之中的第一单元串中,

[0162] 所述至少一个坏的存储器单元之中的第一坏的存储器单元被所述多个单元串之中的第二单元串的虚设存储器单元代替,以及

[0163] 所述至少一个坏的存储器单元之中的第二坏的存储器单元被所述多个单元串之中的第三单元串的虚设存储器单元代替。

[0164] 技术方案12.如技术方案9所述的器件,其中,所述多个单元串中的每个的所述第二多个虚设存储器单元包括:

[0165] 第二多个漏极虚设存储器单元,其经由漏极选择晶体管与位线电耦合;以及

[0166] 第二多个源极虚设存储器单元,其经由源极选择晶体管与公共源极线电耦合,

[0167] 其中,所述第一多个正常存储器单元电耦合在所述漏极虚设存储器单元和所述源极虚设存储器单元之间。

[0168] 技术方案13.如技术方案12所述的器件,其中,在每个单元串的所述源极虚设存储器单元之中与所述第一多个正常存储器单元相邻的源极虚设存储器单元被提供为用于代替所述至少一个坏的存储器单元的备用单元。

[0169] 技术方案14.如技术方案12所述的器件,其中,所述至少一个坏的存储器单元包括在所述多个单元串之中的第一单元串中,

[0170] 所述至少一个坏的存储器单元之中的第一坏的存储器单元被所述第一单元串的备用单元代替,以及

[0171] 所述至少一个坏的存储器单元之中的第二坏的存储器单元被所述多个单元串之中的第二单元串的备用单元代替。

[0172] 技术方案15.如技术方案12所述的器件,其中,所述至少一个坏的存储器单元包括在所述多个单元串之中的第一单元串中,

[0173] 所述至少一个坏的存储器单元之中的第一坏的存储器单元被所述多个单元串之中的第二单元串的备用单元代替,以及

[0174] 所述至少一个坏的存储器单元之中的第二坏的存储器单元被所述多个单元串之中的第三单元串的备用单元代替。

[0175] 技术方案16.一种存储系统,包括:

[0176] 半导体存储器件;以及

[0177] 控制器,其被配置成控制所述半导体存储器件的至少一种操作,

[0178] 其中,所述半导体存储器件包括:

[0179] 存储器单元阵列,其包括层叠在衬底之上的第一多个正常存储器单元和第二多个虚设存储器单元;

[0180] 第一多个正常字线,其与所述第一多个正常存储器单元电耦接;以及

[0181] 第二多个虚设字线,其与所述第二多个虚设存储器单元电耦接,

[0182] 其中,所述第一多个正常存储器单元包括至少一个坏的存储器单元,并且所述至少一个坏的存储器单元中的每个被所述第二多个虚设存储器单元之中的虚设存储器单元代替。

[0183] 技术方案17.如技术方案16所述的系统,其中,所述第二多个虚设存储器单元包括:

[0184] 漏极虚设存储器单元,其经由漏极选择晶体管与位线电耦接;以及

[0185] 源极虚设存储器单元,其经由源极选择晶体管与公共源极线电耦接,

[0186] 其中,所述第一多个正常存储器单元电耦接在所述漏极虚设存储器单元和所述源极虚设存储器单元之间。

[0187] 技术方案18.如技术方案17所述的系统,其中,所述至少一个坏的存储器单元中的每个被源极虚设存储器单元代替。

[0188] 技术方案19.如技术方案17所述的系统,其中,所述至少一个坏的存储器单元中的每个被与所述第一多个正常存储器单元相邻的源极虚设存储器单元代替。

[0189] 技术方案20.如技术方案16所述的系统,其中,所述控制器被配置成将从外部设备接收的逻辑地址转换成表示所述多个虚设存储器单元之中的虚设存储器单元的物理地址。

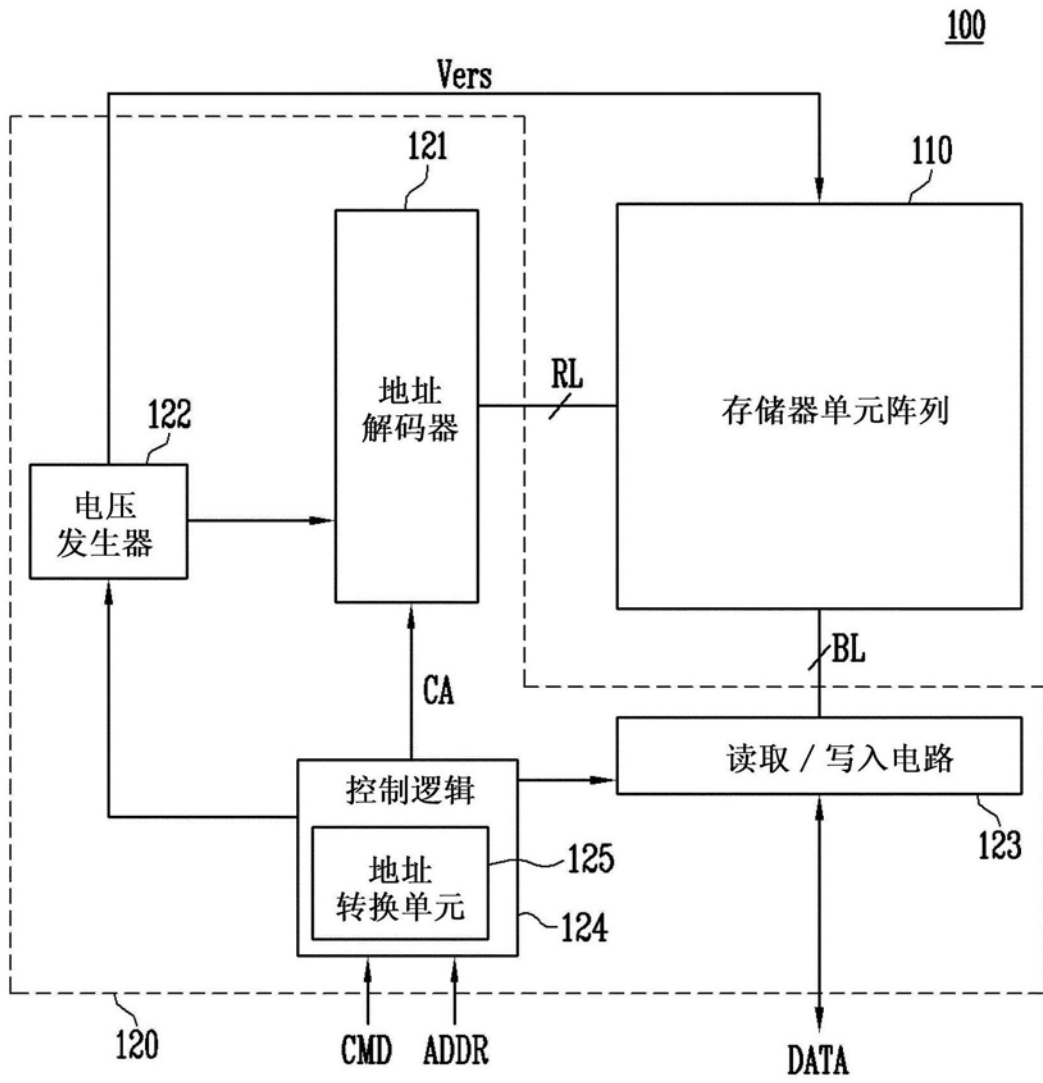


图1

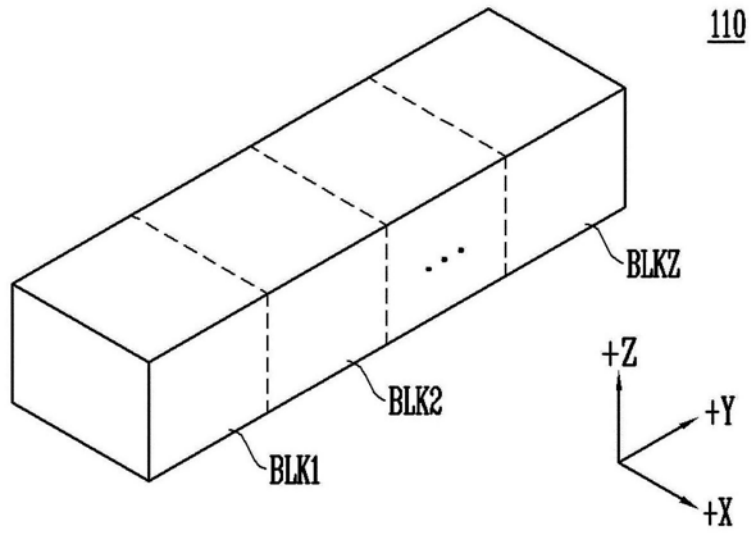


图2

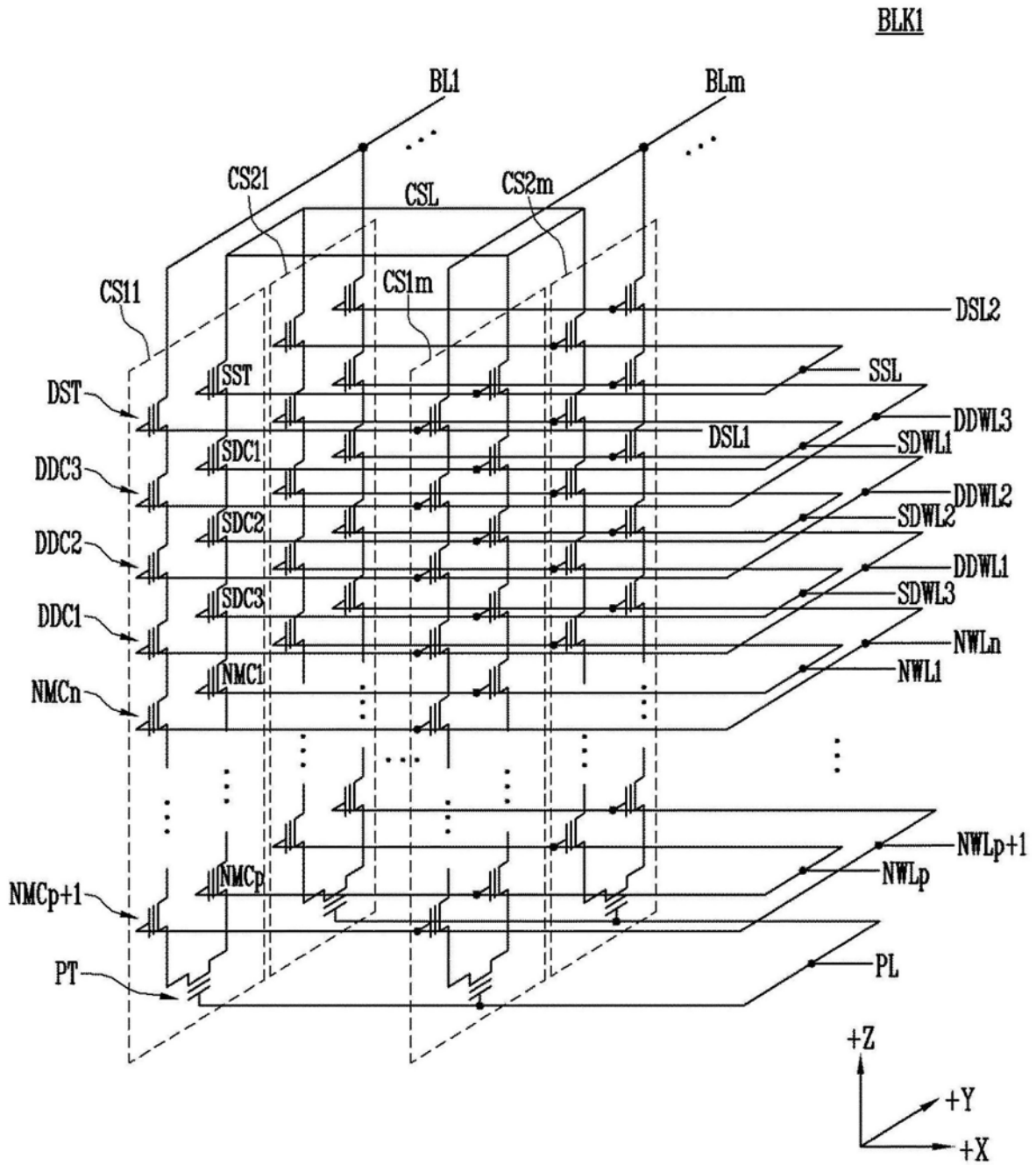
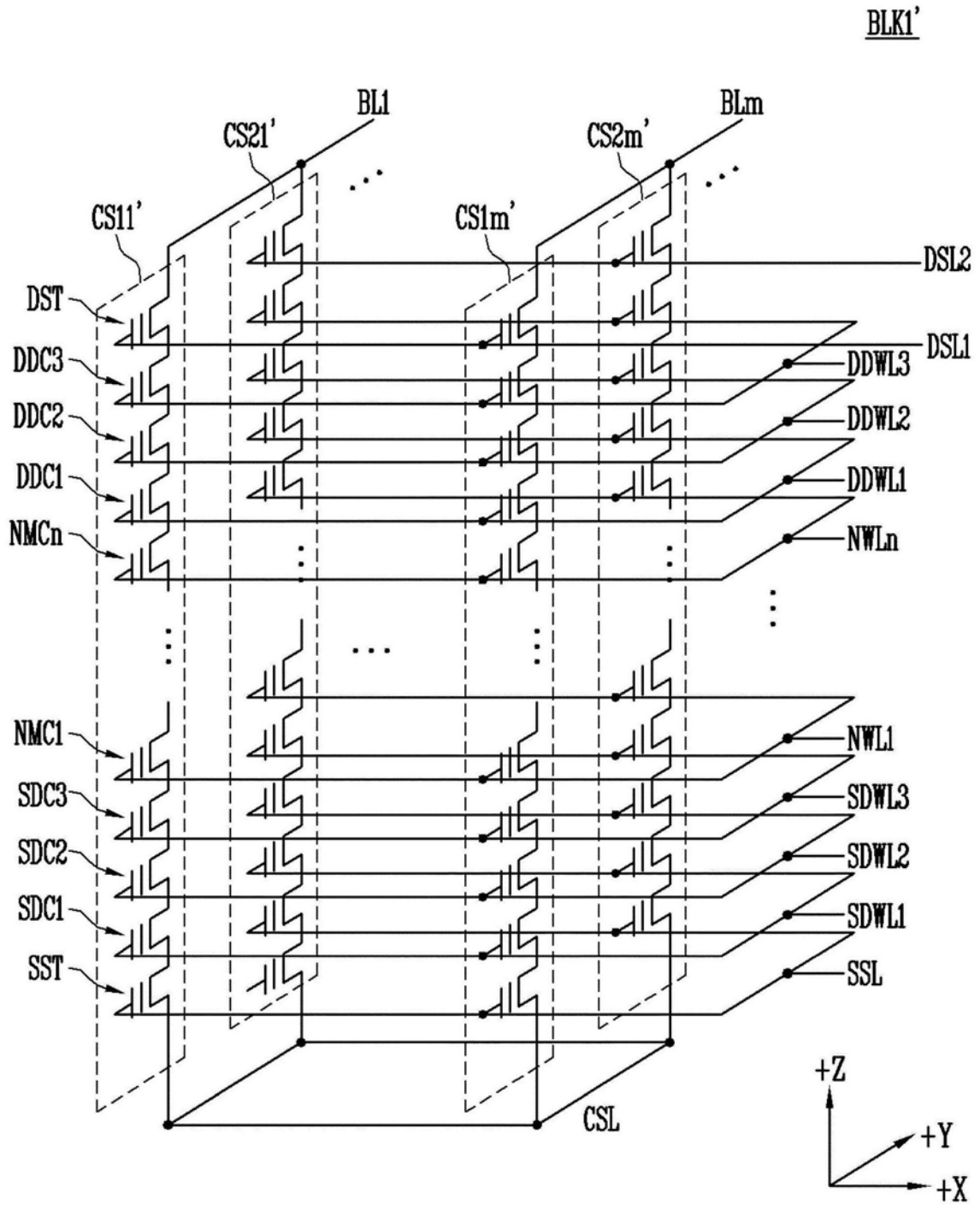


图3



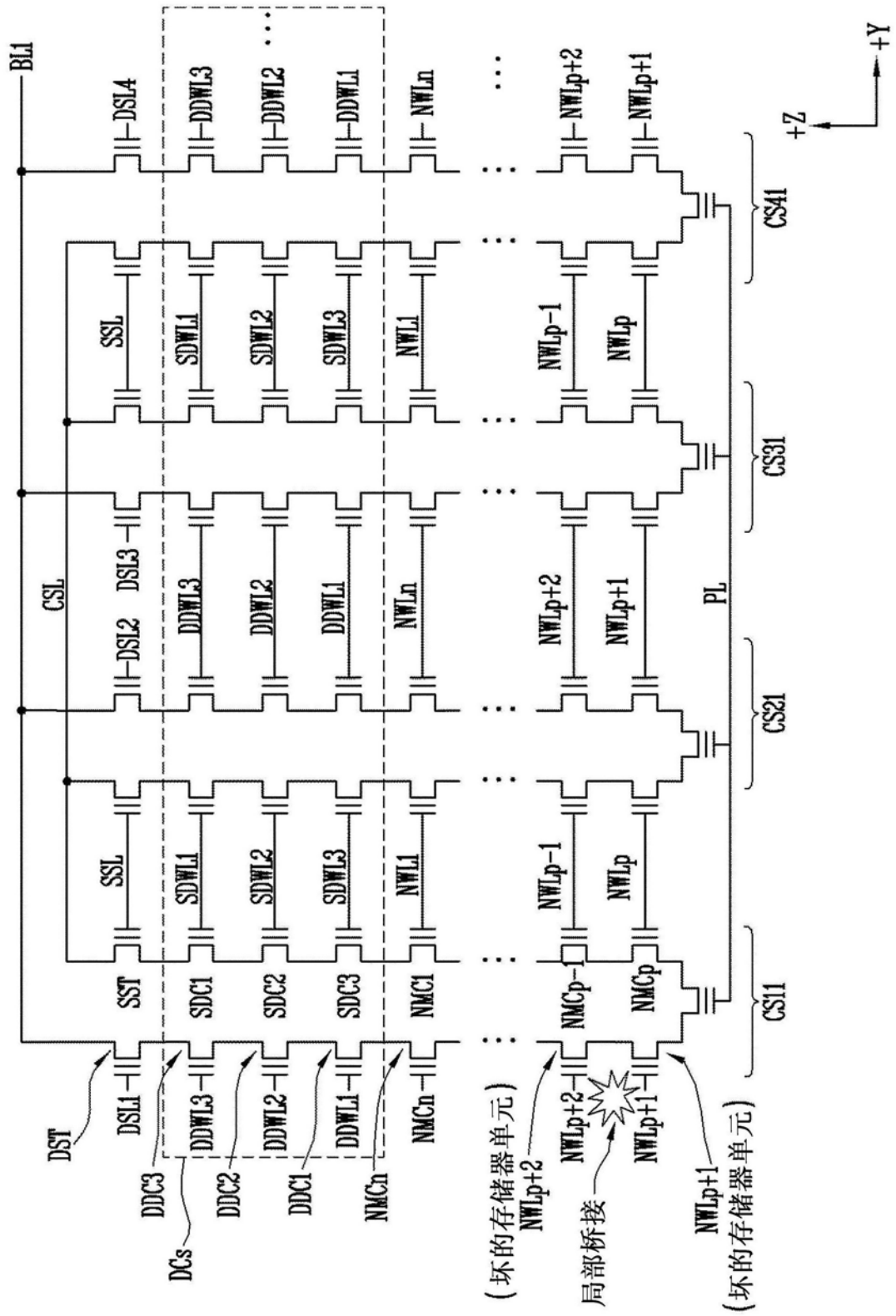


图5

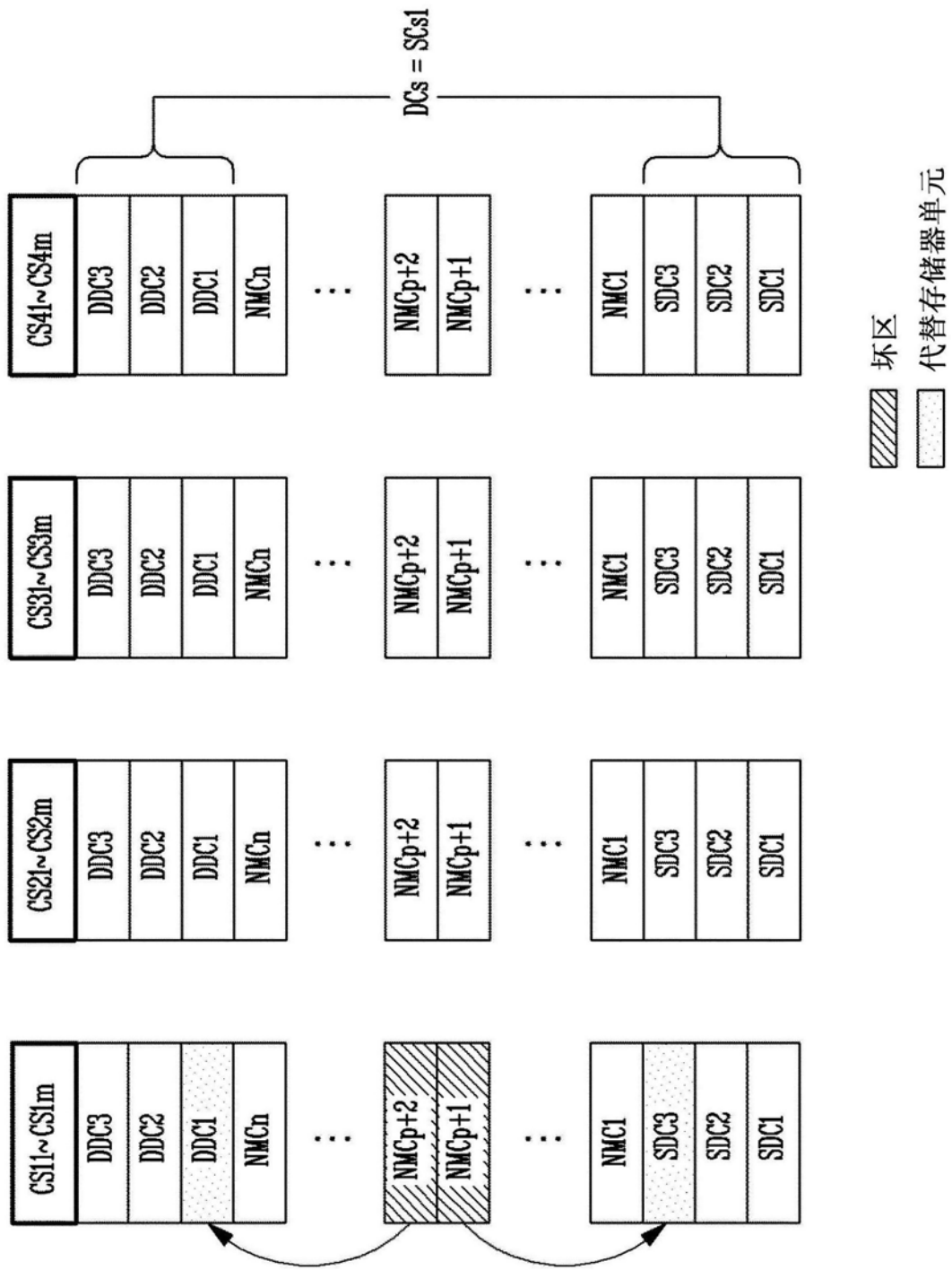


图6

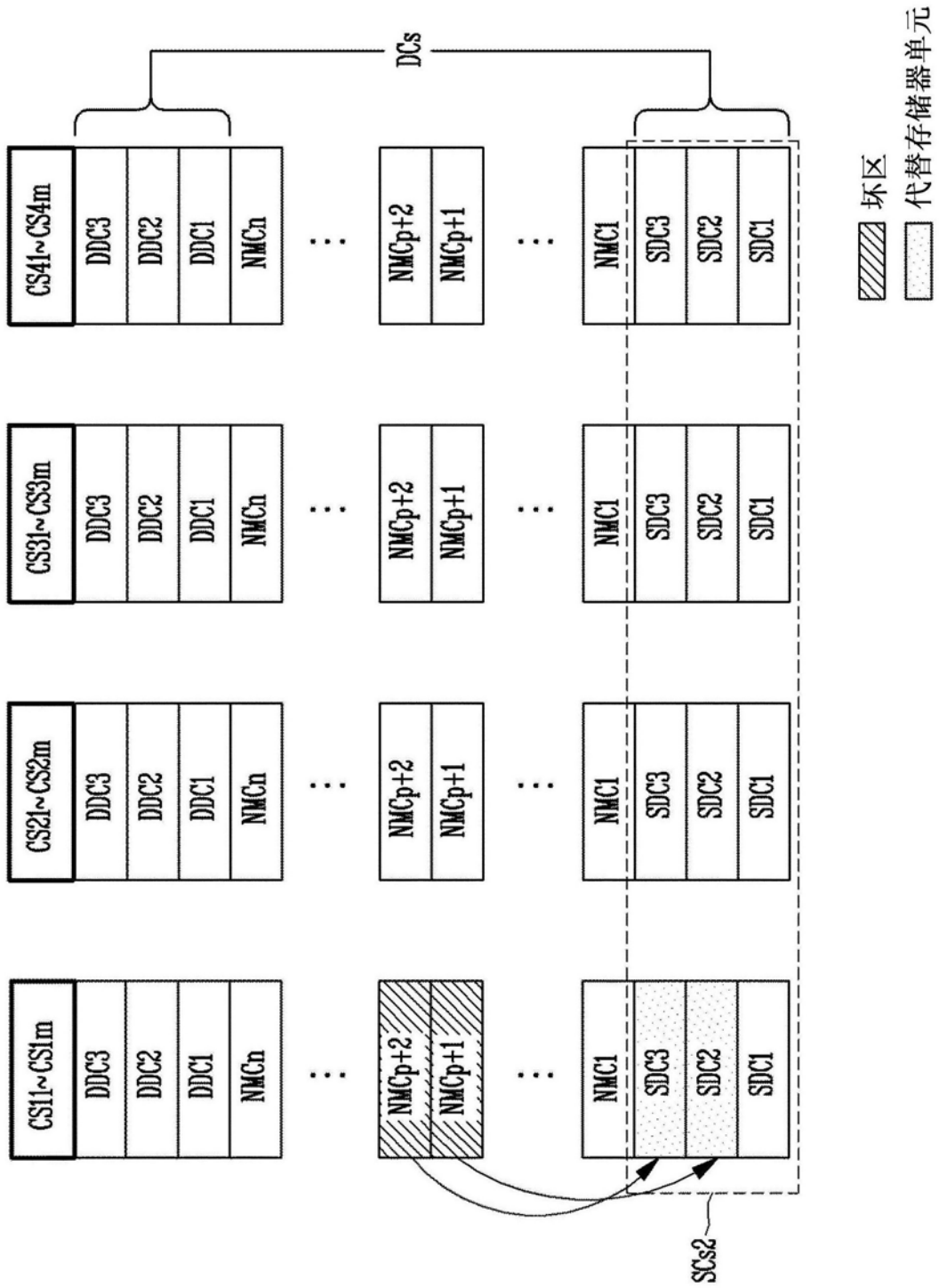


图7

WL	电压
DDWL3	Vpdm0 (Vrdm0)
DDWL2	Vpdm1 (Vrdm1)
DDWL1	Vpdm2 (Vrdm2)
NWL1 ~ NWLp, NWLp+3 ~ NWLn	Vppass (Vrpass)
NWLp+1, NWLp+2	
SDWL3	Vpgm (Vread)
SDWL2	Vpdm2 (Vrdm2)
SDWL1	Vpdm1 (Vrdm1)

图9

WL	电压
DDWL3	Vss
DDWL2	
DDWL1	
NWL1 ~ NWLp, NWLp+3 ~ NWLn	
NWLp+1, NWLp+2	
SDWL3	
SDWL2	
SDWL1	

图10

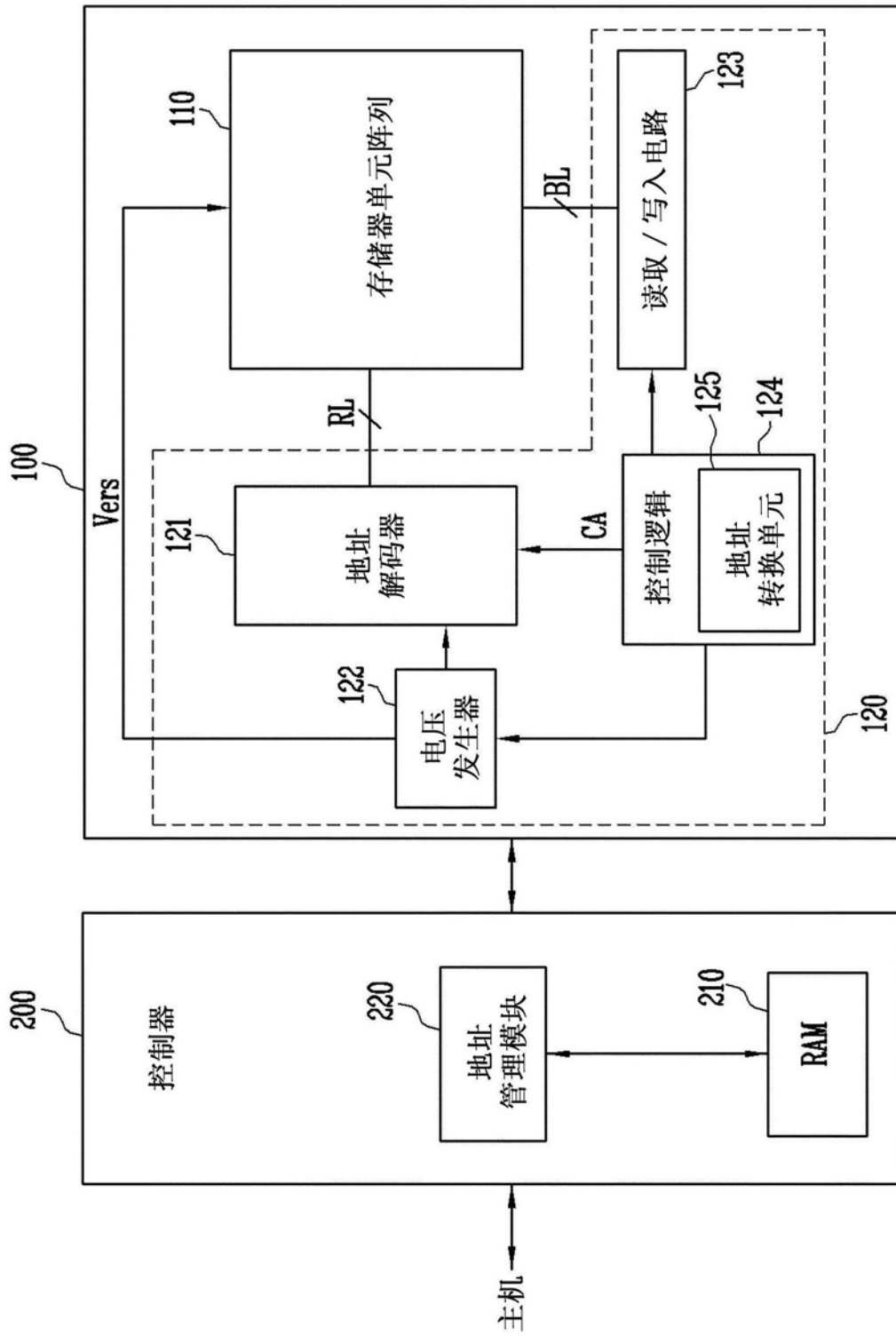


图11

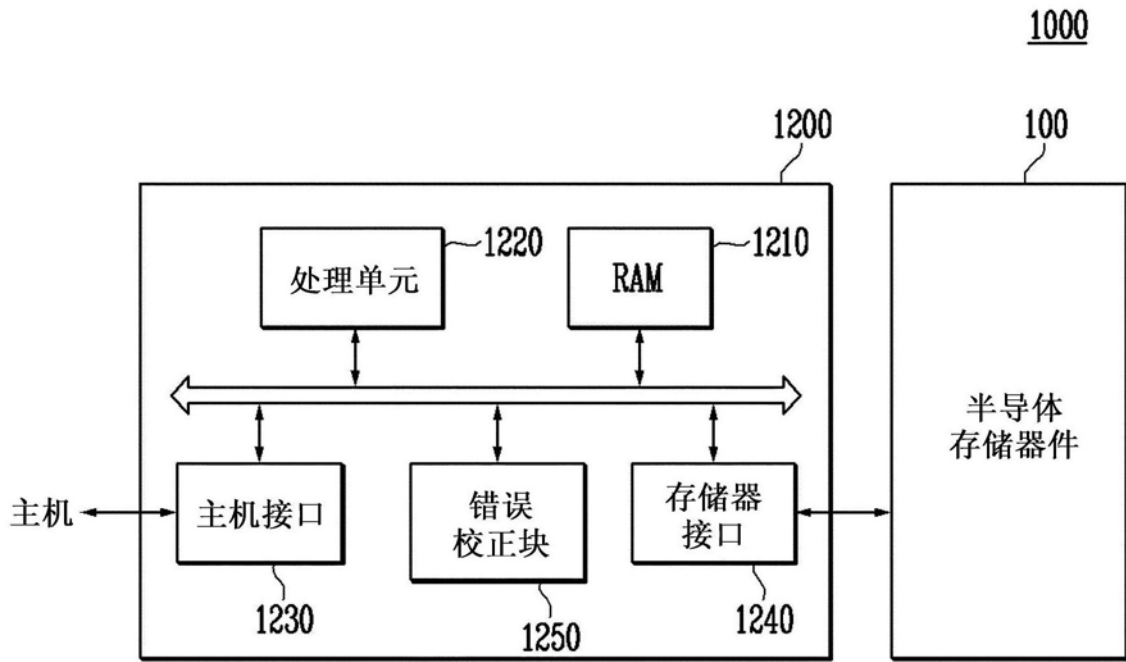


图12

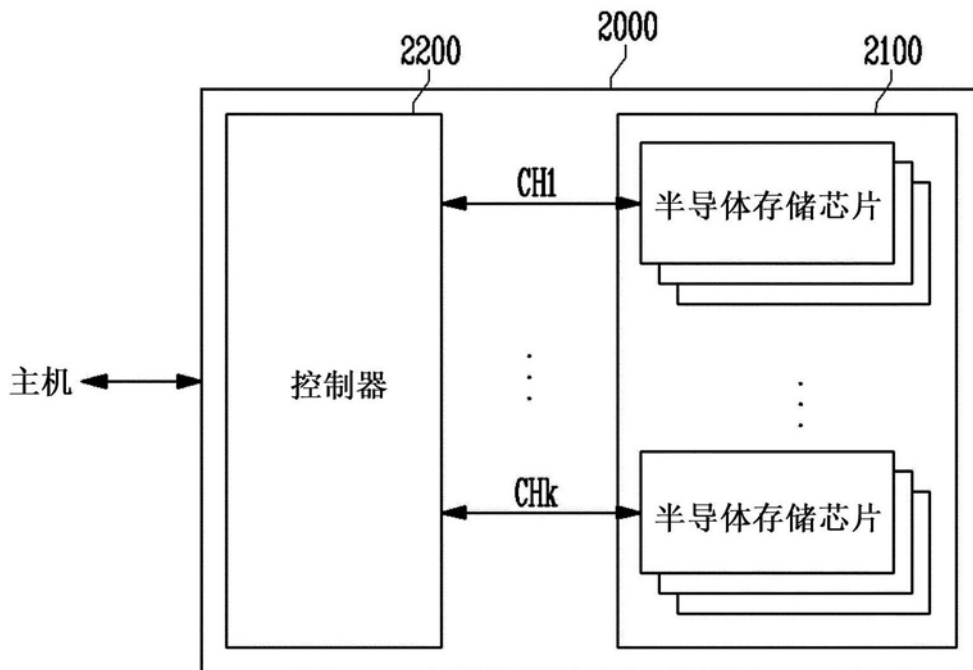


图13

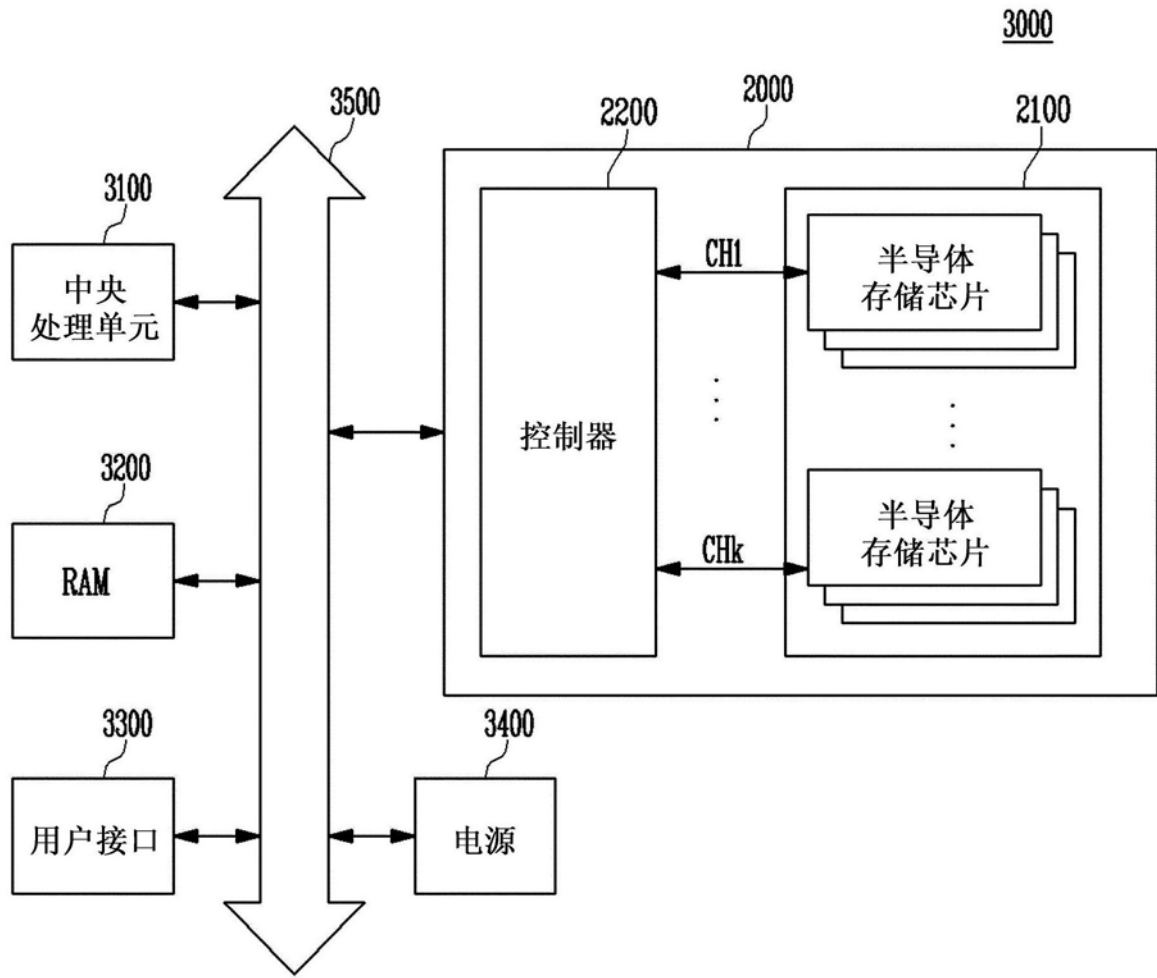


图14