



# (12) 发明专利申请

(10) 申请公布号 CN 113990856 A

(43) 申请公布日 2022.01.28

(21) 申请号 202111261442.8

H01L 33/60 (2010.01)

(22) 申请日 2021.10.28

(30) 优先权数据

63/112,061 2020.11.10 US

(71) 申请人 神盾股份有限公司

地址 中国台湾新竹市

(72) 发明人 周正三 范成至

(74) 专利代理机构 北京三友知识产权代理有限公司

11127

代理人 杨勇 崔博

(51) Int. Cl.

H01L 25/16 (2006.01)

H01L 31/0203 (2014.01)

H01L 31/0224 (2006.01)

H01L 33/54 (2010.01)

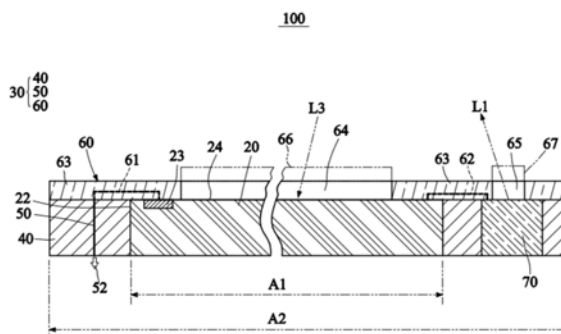
权利要求书2页 说明书7页 附图11页

(54) 发明名称

光学感测封装体

(57) 摘要

一种光学感测封装体,至少包含:一感光芯片;及一芯片封装层,包围感光芯片的多个侧面,局部覆盖感光芯片的一正面,并且具有一第一窗口,使感光芯片的正面通过第一窗口接收感测光。



1. 一种光学感测封装体,其特征在于,至少包含:
  - 一感光芯片;及
  - 一芯片封装层,包围所述感光芯片的多个侧面,局部覆盖所述感光芯片的一正面,并且具有一第一窗口,使所述感光芯片的所述正面通过所述第一窗口接收感测光。
2. 根据权利要求1所述的光学感测封装体,其特征在于,所述感光芯片与所述光学感测封装体的一面积比小于1,并大于或等于0.5。
3. 根据权利要求1所述的光学感测封装体,其特征在于,所述芯片封装层包含:
  - 一模塑料层,包围所述感光芯片的所述多个侧面。
4. 根据权利要求1所述的光学感测封装体,其特征在于,还包含一透明层,设置于所述第一窗口中,其中所述透明层可透光。
5. 根据权利要求4所述的光学感测封装体,其特征在于,还包含一光学镜头,设置于所述透明层上。
6. 根据权利要求1所述的光学感测封装体,其特征在于,还包含一挡墙体,设置于所述芯片封装层上,并具有一第一中窗口,作为所述感测光的光限制结构。
7. 根据权利要求6所述的光学感测封装体,其特征在于,还包含一第一光学元件,设置于所述挡墙体上,并分别覆盖所述第一中窗口,作为所述感测光的光处理结构。
8. 根据权利要求1所述的光学感测封装体,其特征在于,还包含一帽盖,设置于所述芯片封装层上,并局部位于所述第一窗口上方,作为所述感测光的光限制结构及光导引结构。
9. 根据权利要求1所述的光学感测封装体,其特征在于,还包含一发光芯片,设置于所述感光芯片的一侧,并被所述芯片封装层包围固定。
10. 根据权利要求1所述的光学感测封装体,其特征在于,所述芯片封装层包含:
  - 一模塑料层,包围所述感光芯片的所述多个侧面;
  - 多个导体,贯穿所述模塑料层;以及
  - 一窗口定义层,位于所述模塑料层与所述感光芯片上,并具有多条第一导线及包覆所述多条第一导线的一绝缘材料。
11. 根据权利要求10所述的光学感测封装体,其特征在于,所述感光芯片的所述正面上的多个电气接点分别通过所述多条第一导线及所述多个导体而电连接至所述芯片封装层的一背面的多个接点,其中所述窗口定义层具有所述第一窗口。
12. 根据权利要求10所述的光学感测封装体,其特征在于,还包含:
  - 一发光芯片,设置于所述感光芯片的一侧,并被所述模塑料层包围固定,其中所述窗口定义层还位于所述发光芯片上,并且还具有多条第二导线,所述发光芯片电连接至所述感光芯片,其中所述窗口定义层还具有第二窗口以露出所述发光芯片的一部分来发射测量光。
13. 根据权利要求12所述的光学感测封装体,其特征在于,还包含一透明层,设置于所述第一窗口与所述第二窗口中,其中所述透明层可透光,所述模塑料层不可透光。
14. 根据权利要求12所述的光学感测封装体,其特征在于,还包含一挡墙体,设置于所述窗口定义层上,并具有一第一中窗口及一第二中窗口,作为所述感测光及所述测量光的光限制结构。
15. 根据权利要求14所述的光学感测封装体,其特征在于,还包含一第一光学元件与一

第二光学元件,设置于所述挡墙体上,并分别覆盖所述第一中窗口及所述第二中窗口,作为所述感测光及所述测量光的光处理结构。

16. 根据权利要求14所述的光学感测封装体,其特征在于,还包含一帽盖,设置于所述窗口定义层上,并局部位于所述第一窗口及所述第二窗口上方,作为所述感测光及所述测量光的光限制结构及光导引结构。

17. 根据权利要求1所述的光学感测封装体,其特征在于,还包含:

一发光芯片,用于发射测量光,并且设置于所述芯片封装层上。

18. 根据权利要求17所述的光学感测封装体,其特征在于,还包含一帽盖,设置于所述芯片封装层上,并覆盖所述第一窗口,作为所述感测光及所述测量光的光限制结构及光导引结构。

19. 根据权利要求18所述的光学感测封装体,其特征在于,所述帽盖包含:

一本体,作为所述光限制结构;以及

一第一光学元件,连接至所述本体,并作为所述光导引结构。

20. 根据权利要求19所述的光学感测封装体,其特征在于,所述帽盖还包含一第二光学元件,连接至所述本体,并作为所述光导引结构。

21. 根据权利要求1所述的光学感测封装体,其特征在于,所述感光芯片与所述光学感测封装体的一面积比小于1,并大于或等于0.8。

## 光学感测封装体

### 技术领域

[0001] 本发明是有关于一种光学感测封装体,且特别是有关于一种利用芯片封装层包围感光芯片的侧面并定义出第一窗口来让感光芯片接收感测光的光学感测封装体。

### 背景技术

[0002] 现今的智能电话、平板计算机或其他手持装置搭配有光学模块,例如飞行时间(Time Of Flight,TOF)感测器,来达成手势检测、三维(3D)成像或近接检测或者相机对焦等功能。操作时,TOF感测器向场景中发射近红外光,利用光的飞行时间信息,测量场景中物体的距离。TOF感测器的优点是深度信息计算量小,抗干扰性强,测量范围远,因此已经渐渐受到青睐。

[0003] TOF感测器的核心组件包含:光源,特别是红外线垂直共振腔面射雷射(Vertical Cavity Surface Emitting Laser,VCSEL);光感测器,特别是单光子雪崩二极管(Single Photon Avalanche Diode,SPAD);和时间至数字转换器(Time to Digital Converter,TDC)。SPAD是一种具有单光子探测能力的光电探测雪崩二极管,只要有微弱的光信号就能产生电流。TOF感测器中的VCSEL向场景发射脉冲波,SPAD接收从待测物体反射回来的脉冲波,TDC记录发射脉冲波和接收脉冲波之间的时间间隔,利用飞行时间计算待测物体的深度信息。

[0004] 图1显示一种传统的TOF光学感测模块300的示意图。如图1所示,TOF光学感测模块300包含一帽盖(cap)310、一发光单元320、一感测器芯片330及一基板350。基板350譬如为印刷电路板。基板350上通过粘胶材料设置发光单元320及感测器芯片330。发光单元320及感测器芯片330电连接至基板350。感测器芯片330上形成有至少一感测像素341及/或至少一参考像素331。帽盖310具有一发射窗314及一接收窗312,并且设置于基板350的上方,以将基板350上的发光单元320及感测器芯片330容置于帽盖310的一腔室315中。发光单元320发出测量光L1通过发射窗314到达物体(未显示),感测像素341通过接收窗312接收物体反射的感测光L3。测量光L1被帽盖310反射后产生参考光L2朝参考像素331行进。借由计算感测像素341与参考像素331收到光线的的时间差,可以换算成距离信息。

[0005] 在上述的光学感测模块300中,感测像素341、参考像素331及发光单元320是通过传统的取放(pick and place)方式设置于基板350上方。接着,通过打线351而将感测像素341、参考像素331及发光单元320电连接至基板350,再从基板350的一侧拉出电连接点到电路板。然后,使用封装胶352来固定打线351。接着,将帽盖310组装至基板350上。因为用取放方式设置感测像素341、参考像素331及发光单元320,故很容易在生产时产生放置时的误差(例如几十微米)。再者,在组装帽盖310时,接收窗312与对应的感测像素341及/或发射窗314与对应的发光单元320的对准也都有组装精准度上的生产问题。更重要的是,由于采用取放的布置方式以及打线的电连接方式,使得传统封装的几何尺寸跟厚度不容易缩小,例如上述传统封装中,感测器芯片330及发光单元320占整体封装的面积比约为30%至35%,也就是说如果要跟上电子产品轻薄短小趋势的要求的话,则要求相关电子零组件也要有封

装及模块的轻薄短小特征。另一方面,当为了缩小光学感测模块300的体积而缩小感测像素341与发光单元320之间的间隙时,打线连接的工艺势必受到严格的挑战,且这种传统的封装,都是一个一个元件独立制造处理,在成本上也是另一问题。

## 发明内容

[0006] 因此,本发明的一个目的是提供一种光学感测封装体,利用芯片级封装的技术,并有助于缩小光学感测封装体的体积。

[0007] 为达上述目的,本发明提供一种光学感测封装体,至少包含:一感光芯片;及一芯片封装层,包围感光芯片的多个侧面,局部覆盖感光芯片的一正面,并且具有一第一窗口,使感光芯片的正面通过第一窗口接收感测光。

[0008] 于上述光学感测封装体中,芯片封装层可以包含:一模塑料层,包围感光芯片的所述多个侧面;多个导体,贯穿模塑料层;以及一窗口定义层,位于模塑料层与感光芯片上,并具有多条第一导线及包覆所述多条第一导线的一绝缘材料,其中感光芯片的正面上的多个电气接点分别通过所述多条第一导线及所述多个导体而电连接至芯片封装层的一背面的多个接点,其中窗口定义层具有第一窗口。上述光学感测封装体可以还包含一发光芯片,设置于感光芯片的一侧,并被模塑料层包围固定。窗口定义层还位于发光芯片上,并且还具有多条第二导线,发光芯片电连接至感光芯片,其中窗口定义层还具有第二窗口以露出发光芯片的一部分来发射测量光。

[0009] 借由上述的实施例,可以利用封装工艺的模塑料来封装感光芯片并定义出感光芯片的收光窗口,利用窗口定义层来定义出感光芯片的收光窗口,利用导体配合重新布线的方式来完成感光芯片与发光芯片的电连接输出及输入,实现电连接点的阵列的封装,缩小光学感测封装体的体积,还可利用重新布线层重新定义控制的发光范围及收光范围。

[0010] 为让本发明的上述内容能更明显易懂,下文特举较佳实施例,并配合所附图式,作详细说明如下。

## 附图说明

[0011] 图1显示一种传统的光学感测模块的示意图。

[0012] 图2A与图2B显示依据本发明较佳实施例的光学感测封装体的一个例子的制造方法的局部步骤的结构示意图。

[0013] 图2C与图2D显示依据本发明较佳实施例的光学感测封装体的另一例子的制造方法的局部步骤的结构示意图。

[0014] 图3显示依据本发明较佳实施例的光学感测封装体的示意图。

[0015] 图4至图8显示图3的光学感测封装体的数个变化例的示意图。

[0016] 附图标号:

[0017] A1:面积

[0018] A2:面积

[0019] CL:切割线

[0020] G:间隙

[0021] L1:测量光

- [0022] L2:参考光
- [0023] L3:感测光
- [0024] 10:处理晶圆
- [0025] 20:感光芯片
- [0026] 22:侧面
- [0027] 23:电气接点
- [0028] 24:正面
- [0029] 30:芯片封装层
- [0030] 40:模塑料层
- [0031] 50:导体
- [0032] 52:接点
- [0033] 60:窗口定义层
- [0034] 61:第一导线
- [0035] 62:第二导线
- [0036] 63:绝缘材料
- [0037] 64:第一窗口
- [0038] 65:第二窗口
- [0039] 66:光学镜头
- [0040] 67:光学镜头
- [0041] 70:发光芯片
- [0042] 80:挡墙体
- [0043] 84:第一中窗口
- [0044] 85:第二中窗口
- [0045] 90:帽盖
- [0046] 91:第一光学元件
- [0047] 92:第二光学元件
- [0048] 93:本体
- [0049] 94:第一上窗口
- [0050] 96:第二上窗口
- [0051] 100:光学感测封装体
- [0052] 300:TOF光学感测模块
- [0053] 310:帽盖
- [0054] 312:接收窗
- [0055] 314:发射窗
- [0056] 315:腔室
- [0057] 320:发光单元
- [0058] 330:感测器芯片
- [0059] 331:参考像素
- [0060] 341:感测像素

- [0061] 350:基板  
[0062] 351:打线  
[0063] 352:封装胶

### 具体实施方式

[0064] 本发明主要是采用晶圆级封装技术来制造一种光学感测封装体,其中封装体的平面尺寸接近于感光芯片的平面尺寸,可以改进前述公知封装技术的尺寸及厚度缺点,而且在制造上也不同于公知技术的个别芯片的布置及打线连接,而是可以利用晶圆级的批量制造工艺,来大量生产降低成本,并且通过整合性的光学制造,大幅改进发光芯片与感光芯片排列的精准度(甚至到微米级精度),完全解决前述公知技术所碰到的问题,详细说明如下。

[0065] 图2A至图2B显示依据本发明较佳实施例的光学感测封装体的制造方法的一个例子的局部步骤的结构示意图。如图2A所示,制造时,首先将多个感光芯片20间隔排列设置于一处理晶圆(handling wafer)10上,使得相邻的感光芯片20之间形成有间隙G。当然,为了让处理晶圆10可以被剥离再利用,也可以设置一剥离层(图中未示)于感光芯片20与处理晶圆10之间,由于本领域技术人员应了解,在此图并未明示。接着,在间隙G中填入模塑料以形成一模塑料(molding compound)层40。于一例中,模塑料层40可以利用热压成型来形成,但本发明当然不限于于此。于另一例中,也可以让模塑料满溢于感光芯片20上方,然后可以选择留下感光芯片20上方的模塑料,或者利用例如研磨方式将感光芯片20表面的模塑料去除。然后,在感光芯片20及模塑料层40上方形成一窗口定义层60,其具有透光的第一窗口64(亦称感测窗口)。于本例中,模塑料层40的模塑料为不透光材料,位于间隙G中,而窗口定义层60局部覆盖感光芯片20,且可以将透光材料(例如有机或无机介电材料)填入第一窗口64中形成透明层当作光传递介质,当然也可以在第一窗口64的材料表面形成具有聚焦功能的光学镜头66,例如曲面镜、绕射光学元件(Diffraction Optical Element,DOE)、滤光元件或其他光学元件等等。在模塑料仅充填于间隙G中的情况下,窗口定义层60可以由另一材料(可以是不透光的模塑料、其他不透光有机材料、其他不透光无机材料、或其他不透光有机与无机材料两者的组合)形成,或是由感光芯片20上方的重新布线层(Redistribution Layer,RDL)所形成,其中RDL包含形成导线的金属材料及包覆导线的绝缘材料。在模塑料从间隙G满溢于感光芯片20上方的情况下,窗口定义层60可以由所述模塑料所形成,也就是模塑料层40提供第一窗口64。在又另一例中,可以更进一步包含贯穿间隙G中的模塑料层40的导体50,例如,导电填孔(Through Molding Via, TMV)。导体50位于处理晶圆10与窗口定义层60之间。处理晶圆10的表面上可设置有第一重新布线(图中未示),且窗口定义层60上可设置有第二重新布线(图中未示)。借由第一重新布线、第二重新布线及导体50,来建构一种新的导线连接,例如扇出(fan-out)导线连接,来达成重新布置电连接的目的。

[0066] 封装完成后,可以采用物理或化学工艺(例如采用雷射照射上述剥离层)来剥离处理晶圆10,如图2B所示,并且沿着切割线CL进行切割,以产生多个光学感测封装体。借由导体50可以提供一条导电路径,从靠近感光芯片20的正面的电连接点(未显示)引导到靠近感光芯片20的背面的电连接点(未显示),所以可以通过表面安装技术(Surface Mount Technology, SMT)将光学感测封装体设置于一主机板(未显示)上。因此,可以利用晶圆级芯片尺寸封装的工艺将光学感测封装体的部分或全部元件置放于处理晶圆10之上,以达到缩

小封装面积或体积的目的。

[0067] 图2C与图2D显示依据本发明较佳实施例的光学感测封装体的另一例子的制造方法的局部步骤的结构示意图。如图2C与图2D所示,其制造方式与图2A或图2B相似,可以借由晶圆级制造技术的精准对位效果,更进一步将发光芯片70配置在感光芯片20旁及间隙G中,而模塑料层40填入间隙G中以固定住感光芯片20及发光芯片70,实现轻薄短小尺寸的整合式光学器件。另外,利用导体50、窗口定义层60及RDL,来完成发光芯片70的电连接,解决打线不易及溢胶的问题,并且利用模塑料层40以类似第一窗口64的方式配置一个透光的第二窗口65(亦称发射窗口)及填入第二窗口65的透明层当作光传递介质。当然,亦可在第二窗口65及透明层的上方设置类似光学镜头66的光学镜头67,以控制发光芯片70的发射角度及发光特性。于另一实施例中,光学感测封装体还可以包含一发光驱动模块(未显示),用于控制发光芯片70的操作。可以理解的,发光驱动模块可以与感光芯片20整合成一体,也可以与感光芯片20及发光芯片70分开,借由导线而电连接在一起,故于此不作特别限制。

[0068] 图3显示依据本发明较佳实施例的光学感测封装体的示意图。与图2A至图2D具有相同元件符号知元件具有相同功能,在此不再赘述。如图3所示,光学感测封装体100至少包括感光芯片20及一芯片封装层30。光学感测封装体100的功能并不特别受限于光的飞行时间的测量,也可以是单一光接收的功能,也可以是发射加上接收的功能。芯片封装层30包围感光芯片20的多个侧面22,局部覆盖感光芯片20的一正面24,并且具有第一窗口64,使感光芯片20的正面24局部露出芯片封装层30并通过第一窗口64接收来自目标物(未显示)的感测光L3。芯片封装层30对感光芯片20的外表面提供局部固定,而形成配合感光芯片20的感光功能的第一窗口64,并且对感光芯片20提供一定的保护。可选地,在第一窗口64中可形成透明层当作光传递介质,同时可保护感光芯片20的表面。在另一实施例中当然也可以在第一窗口64的透明层的表面形成上述光学镜头66、DOE、滤光元件或其他光学元件等等,以及在第二窗口65及透明层的上方设置类似光学镜头66的光学镜头67。由于使用晶圆级封装技术,故不需要打线工艺,可以让感光芯片20的面积A1与整个光学感测封装体100的面积A2的一面积比 $A1/A2$ 小于1且大于或等于0.5,0.6,0.7或0.8等等。

[0069] 芯片封装层30包含模塑料层40、导体50以及窗口定义层60(其内部具有RDL),模塑料层40包围感光芯片20的侧面22,以将感光芯片20固定住,并提供一个与感光芯片20齐平的平面。于本例中,由于模塑料层40的固定,故可以不需要封装基板向上支撑感光芯片20,因此可降低光学感测封装体100整体厚度,实现薄型化。导体50贯穿模塑料层40,以提供垂直方向的电连接。窗口定义层60位于模塑料层40与感光芯片20上,并具有多条第一导线61及包覆所述多条第一导线61的绝缘材料63,第一导线61提供水平方向及垂直方向的电连接。感光芯片20的正面24上的多个电气接点23分别通过所述多条第一导线61及所述多个导体50而电连接至光学感测封装体100的背面的接点52(以箭头示意表示)。接点的实施方式有很多,于此不特别限制。于一例中,接点包含一焊垫或一焊球,可以采用球栅网格阵列封装(Ball Grid Array,BGA)或平面网格阵列封装(Land Grid Array,LGA)。于另一例中,也可以在光学感测封装体100的背面配置有额外的RDL(图中未示)来将封装的焊垫或焊球做重新分布。借此,利用RDL配合TMV,不需要打线工艺,可以缩小封装面积或体积,同时,因为RDL中的金属材料也能隔绝光线,所以除了利用RDL的绝缘材料来配置第一窗口64以外,也可以利用RDL的金属材料来配置第一窗口64来控制感光芯片20的收光范围。



[0070] 发光芯片70的侧面亦被模塑料层40包围固定。实际制作时,可以借由晶圆级制造技术的精准对位效果,将发光芯片70与感光芯片20设置于处理晶圆10(可参见图2C)上,然后再用模塑料层40来固定发光芯片70与感光芯片20。接着,在感光芯片20、发光芯片70与模塑料层40上形成窗口定义层60。窗口定义层60可具有多条第二导线62,提供给发光芯片70对外界的电连接路径。窗口定义层60的绝缘材料63设置于第二导线62与第一导线61之间并且包覆第二导线62与第一导线61。因此,于本例中,窗口定义层60也包含了重新布线层及设置于其内的第一导线61及第二导线62,故可以通过导体50、第一导线61及第二导线62将感光芯片20和发光芯片70与外界做电性连接。在图3中,让发光芯片70通过所述多条第二导线62而电连接至感光芯片20,这样配置的好处在于发光芯片70的尺寸通常远小于感光芯片20的尺寸,所以让发光芯片70的电连接点统一在感光芯片20上作管理是比较方便的作法。窗口定义层60的第二窗口65露出发光芯片70的一部分来发射测量光L1,可控制发光芯片70的发光范围,使得测量光L1打到发光范围内的待测的目标物后产生感测光L3。

[0071] 于一实施例中,感光芯片20具有:光敏结构,例如光电二极管、雪崩二极管(Avalanche Photo Diode,APD)等等;位于光敏结构上方的准直结构(未显示),其中准直结构可以包含微透镜、滤光层、光孔等光学元件;以及感测电路,用于处理来自于光敏结构的电信号。感光芯片20的制造可以是使用例如互补式金属氧化物半导体(Complementary Metal-Oxide Semiconductor,CMOS)工艺,例如采用前面照度(Front Side Illumination,FSI)或背面照度(Back Side Illumination,BSI)工艺,抑或者其他半导体工艺,本发明并不以此为限。感光芯片20的材料可以包含半导体材料,半导体材料例如硅、锗、氮化镓、碳化硅、砷化镓、磷化镓、磷化铟、砷化铟、铋化铟、硅锗合金、磷砷镓合金、砷铝铟合金、砷铝镓合金、砷铟镓合金、磷铟镓合金、磷砷铟镓合金或上述材料的组合。像素基板上可以还包括一个或多个电气元件(如集成电路)。集成电路可以是类比或数字电路,类比或数字电路可以被实现为在芯片内形成并且根据芯片的电气设计与功能而达成电连接的主动元件、被动元件、导电层和介电层等等。此外,发光芯片70可具有VCSEL或发光二极管(Light-Emitting Diode,LED),例如红外线LED。

[0072] 图4至图8显示图3的光学感测封装体的数个变化例的示意图。如图4所示,本例类似于图3,差异点在于光学感测封装体100还包含一挡墙体80,可以利用晶圆级成型(Wafer-Level Molding)或组装方式设置于窗口定义层60上,挡墙体80具有一第一中窗口84及一第二中窗口85。第一中窗口84与第二中窗口85分别与第一窗口64和第二窗口65相通,并作为感测光L3及测量光L1的光限制结构,进一步限制发光与收光的角度,也避免杂散光进入感光芯片20。挡墙体80的材料可以与模塑料层40的材料相同或不同。

[0073] 如图5所示,本例类似于图4,差异点在于光学感测封装体100还包含位于第一中窗口84上方的一第一光学元件91。于另一实施例中,光学感测封装体100还包含位于第二中窗口85上方的一第二光学元件92,第一光学元件91可以是感光芯片20所需的光学镜头组件,而第二光学元件92可以是发光芯片70所需的光学镜头组件,上述光学镜头组件包含但不限于透光元件或者具有特殊光学功能的光学器件,例如特定波长的滤光元件等等,或者具有例如散光或聚光功能的镜头或DOE等等,抑或多个光学功能的结合。覆盖第一中窗口84的第一光学元件91或覆盖第二中窗口85的第二光学元件92可利用组装方式设置于挡墙体80上,作为感测光L3及测量光L1的光处理结构。借此,第一光学元件91或第二光学元件92提供类

似帽盖的结构,将感光芯片20或发光芯片70整体保护起来,并提供所需的光学处理的功能,实现一种组装式光学器件。

[0074] 可以理解的,感光芯片20还可具有一参考像素。第二光学元件92反射测量光L1的一部分而产生参考光,参考像素接收参考光,依据参考像素的收光时间与感测像素的收光时间的的时间差来判断光学感测封装体100与目标物的距离。

[0075] 如图6所示,本例类似于图3,差异点在于光学感测封装体100还包含一帽盖90,利用组装方式设置于窗口定义层60上,并局部位于第一窗口64及第二窗口65上,作为感测光L3及测量光L1的光限制结构及光导引结构。帽盖90包含作为光限制结构的一本体93,以及作为光导引结构并且连接至本体93的第一光学元件91与第二光学元件92。第一光学元件91与第二光学元件92封住本体93的第一上窗口94及第二上窗口96。借此,可以利用射出成型的方式形成一封装保护盖作为本体93,先将光学镜头组件完成或组装于封装保护盖中而形成帽盖90,再沿着箭头方向利用粘胶将帽盖90粘贴组装到窗口定义层60上。上述的组装工艺可以是芯片级或晶圆级方式进行。

[0076] 如图7所示,本例类似于图3,差异点在于发光芯片70设置于窗口定义层60上,发光芯片70通过窗口定义层60中RDL(未显示)电连接至感光芯片20。虽然图7所示的结构中,发光芯片70与感光芯片20投影在水平面的区域不重叠,但是于另一例子中,也可将让发光芯片70与感光芯片20投影在水平面的区域有局部重叠,借此可缩小光学感测封装体100的横向尺寸。

[0077] 如图8所示,本例类似于图7,差异点在于提供类似图6的帽盖90,将帽盖90设置于窗口定义层60上,具有图7与图6的整合优点。

[0078] 本发明除了将感光芯片及发光芯片设置于处理晶圆上的程序为非晶圆级工艺的取放工艺以外,其余可采用晶圆级的制造方式,特别在感光芯片与发光芯片上方,可以同时制造对应的光学元件,如前述的曲面镜、DOE、滤光元件、或其他光学组件等等,还可以免除组装时相对误差问题,也可以解决个别光学元件的组装及成本问题。

[0079] 借由上述的实施例的光学感测封装体,不管是借由集成化的光学元件的制造,或者借由组装方式的独立光学元件,都可以有效缩小封装体的面积或体积。此外,可以利用模塑料达成感光芯片的固定,再者也可利用重新布线层来完成感光芯片与发光芯片的电连接输出及输入,因不需打线工艺,故可解决感光芯片的打线溢胶的问题。此外,可以实现BGA或LGA的封装,缩小光学感测封装体的体积,以满足轻薄短小的电子装置的需求。亦可利用挡墙体与帽盖配合光学元件来提供一个包覆式的光学感测封装体,实现收光、收发光或飞行时间感测的效果。

[0080] 在较佳实施例的详细说明中所提出的具体实施例仅用以方便说明本发明的技术内容,而非将本发明狭义地限制于上述实施例,在不超出本发明的精神及申请专利范围的情况下,所做的种种变化实施,皆属于本发明的范围。

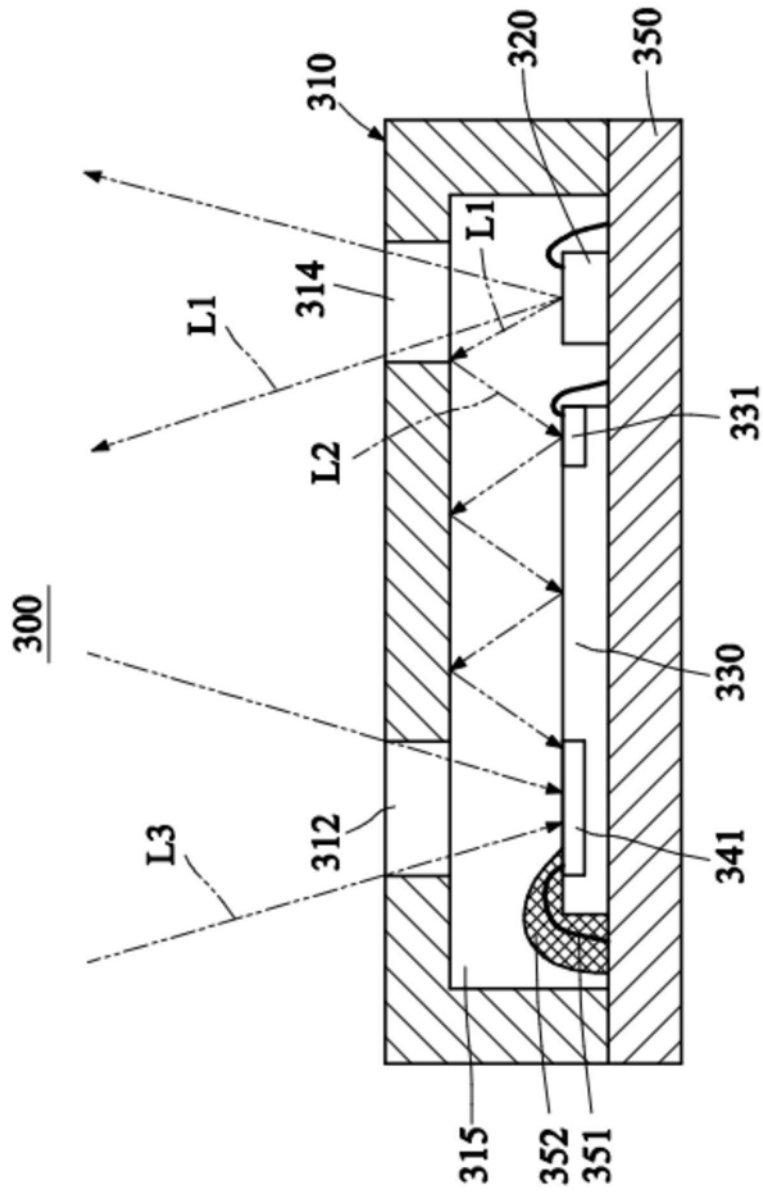


图1

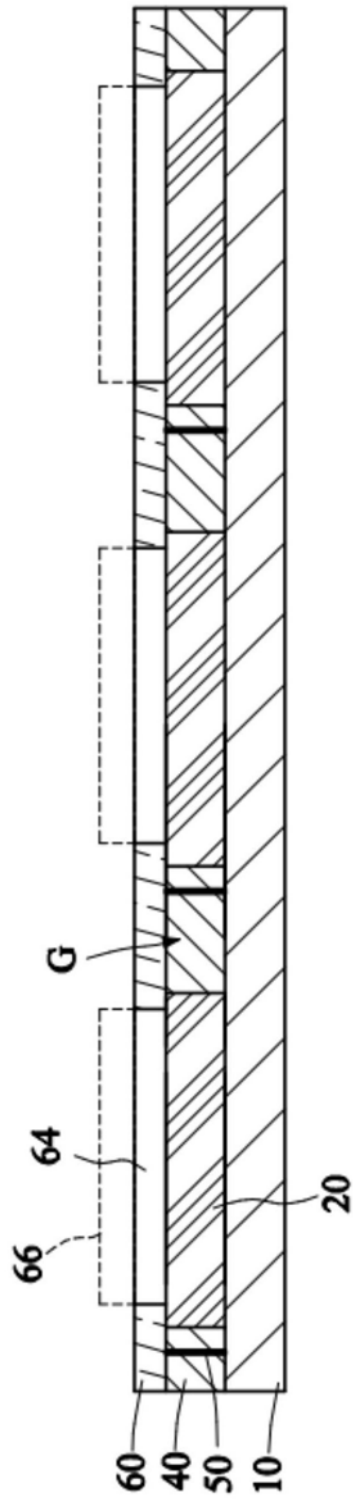


图2A

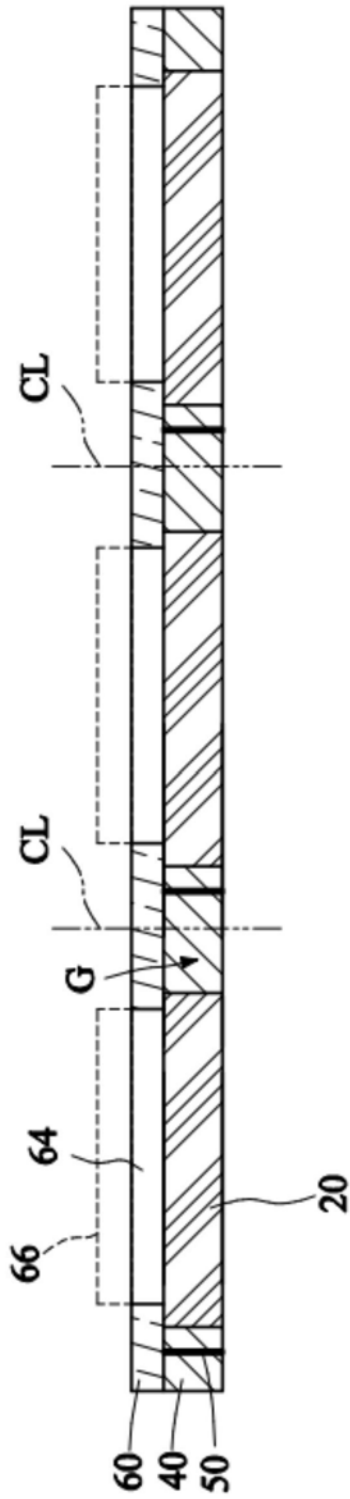


图2B

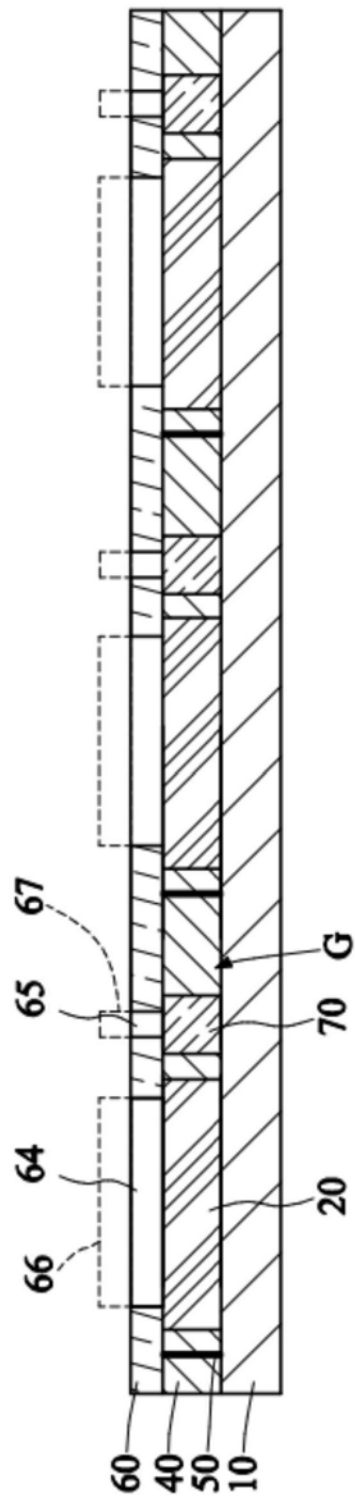


图2C

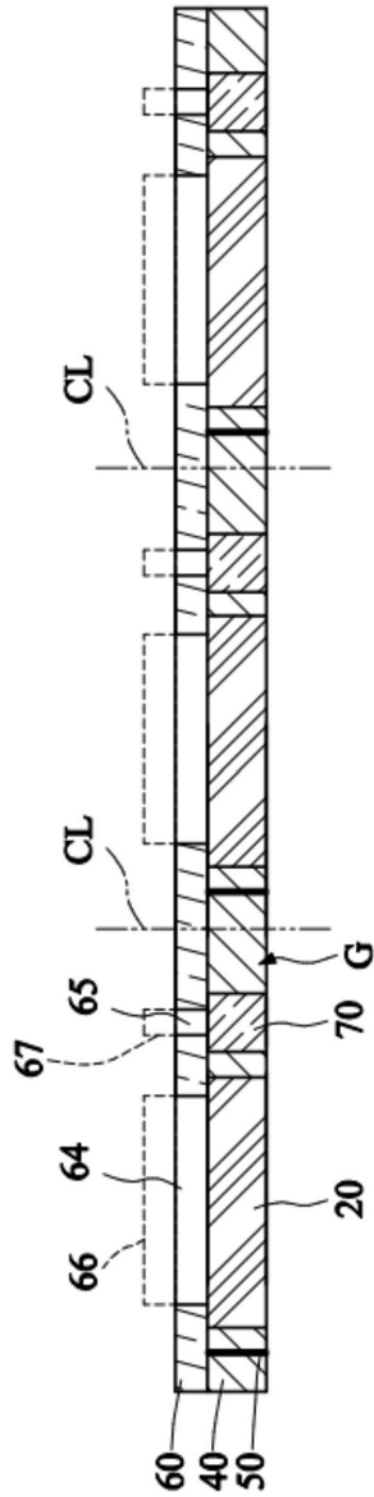


图2D

100

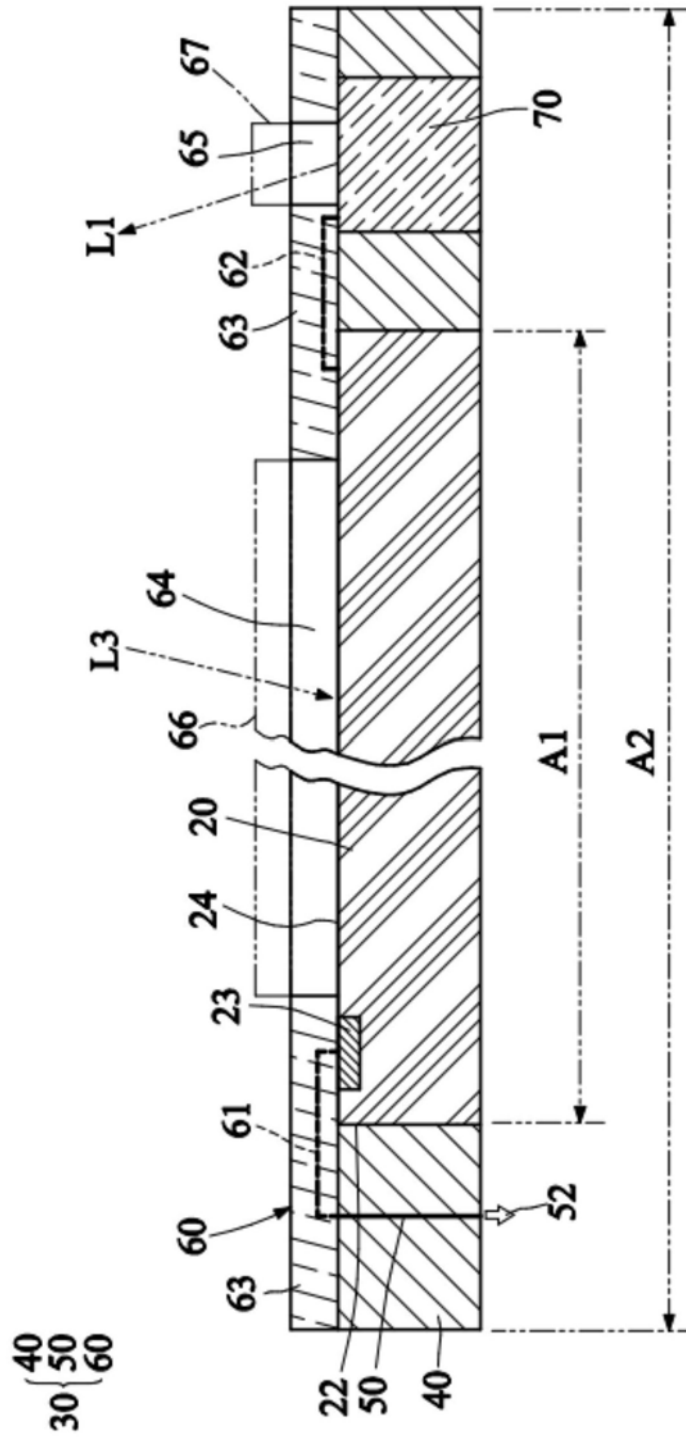


图3



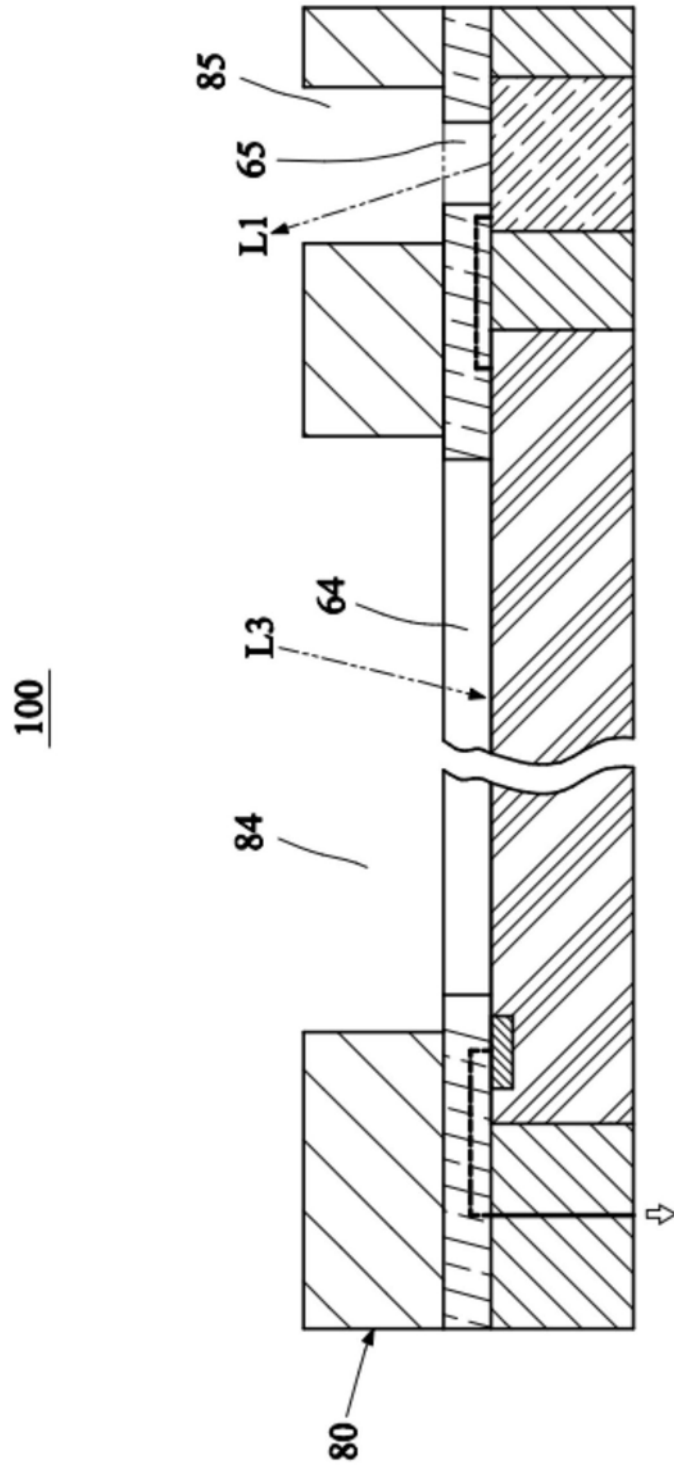


图4

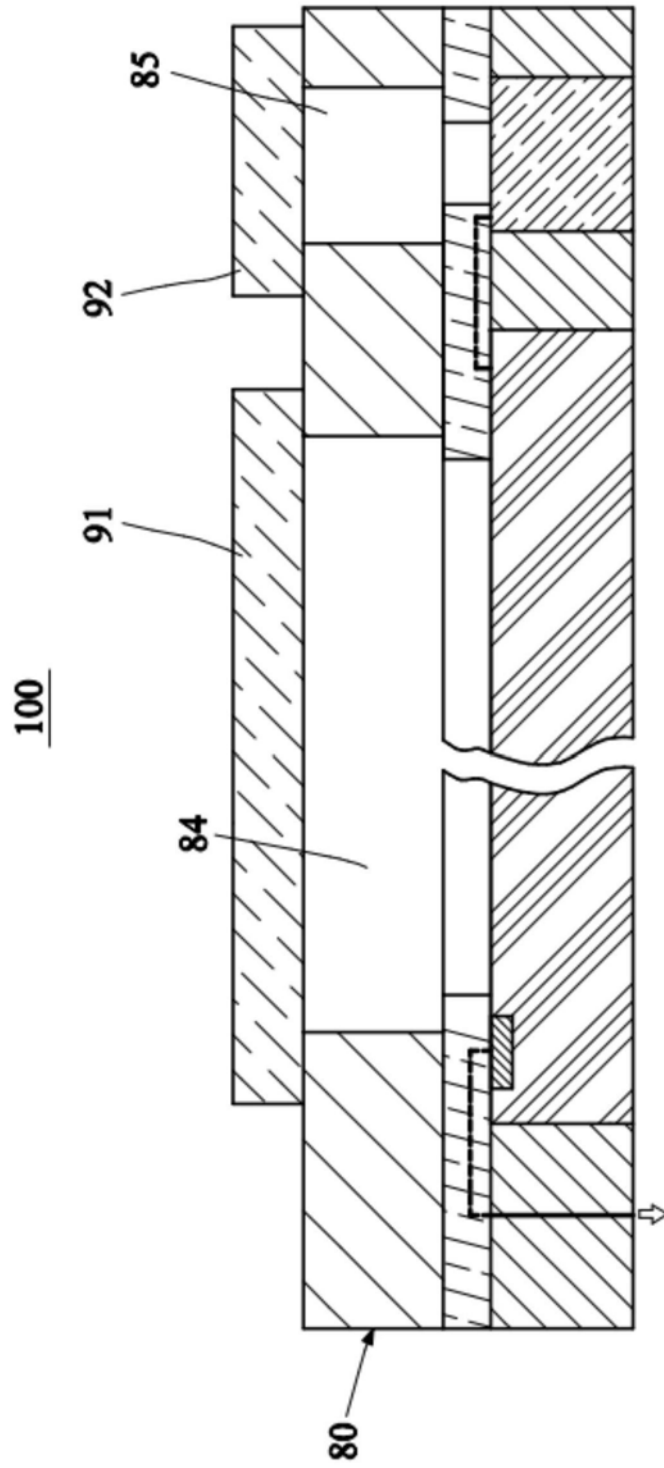


图5

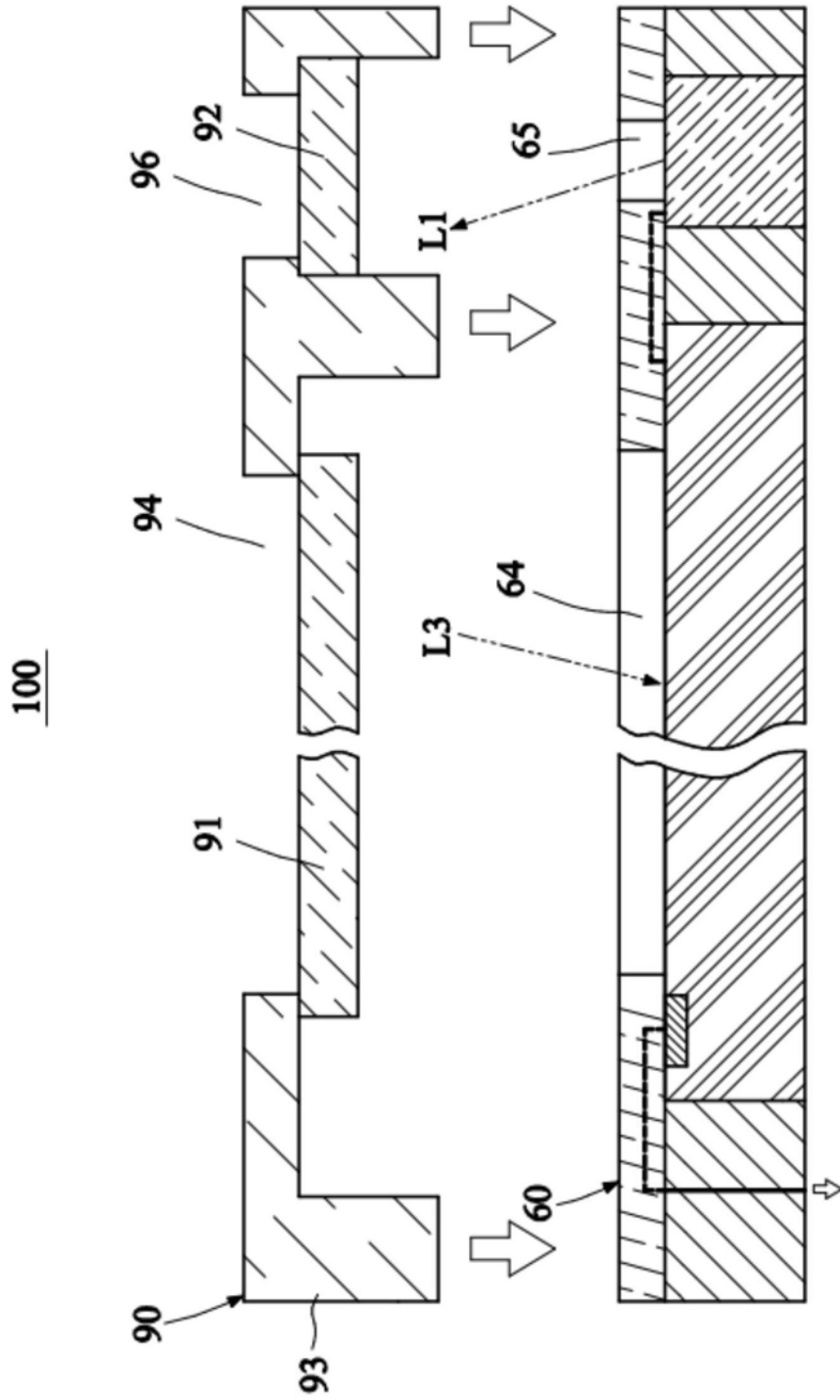


图6

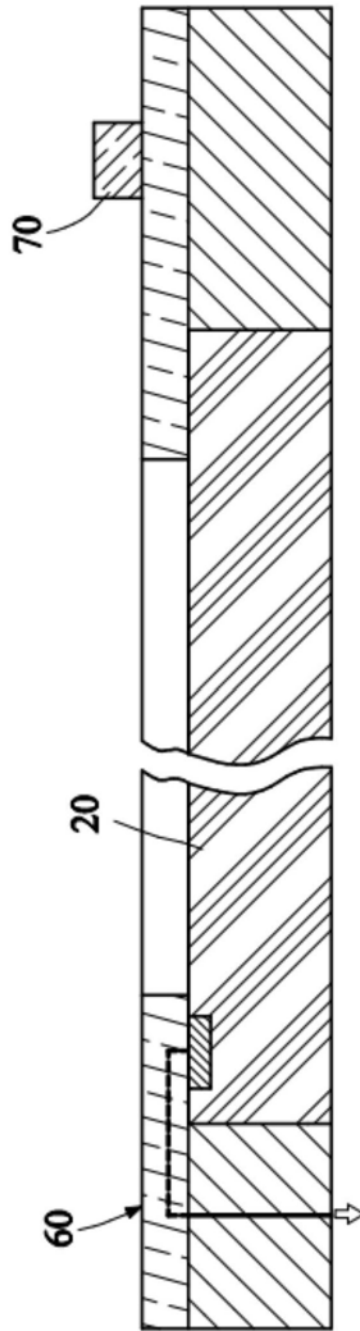


图7

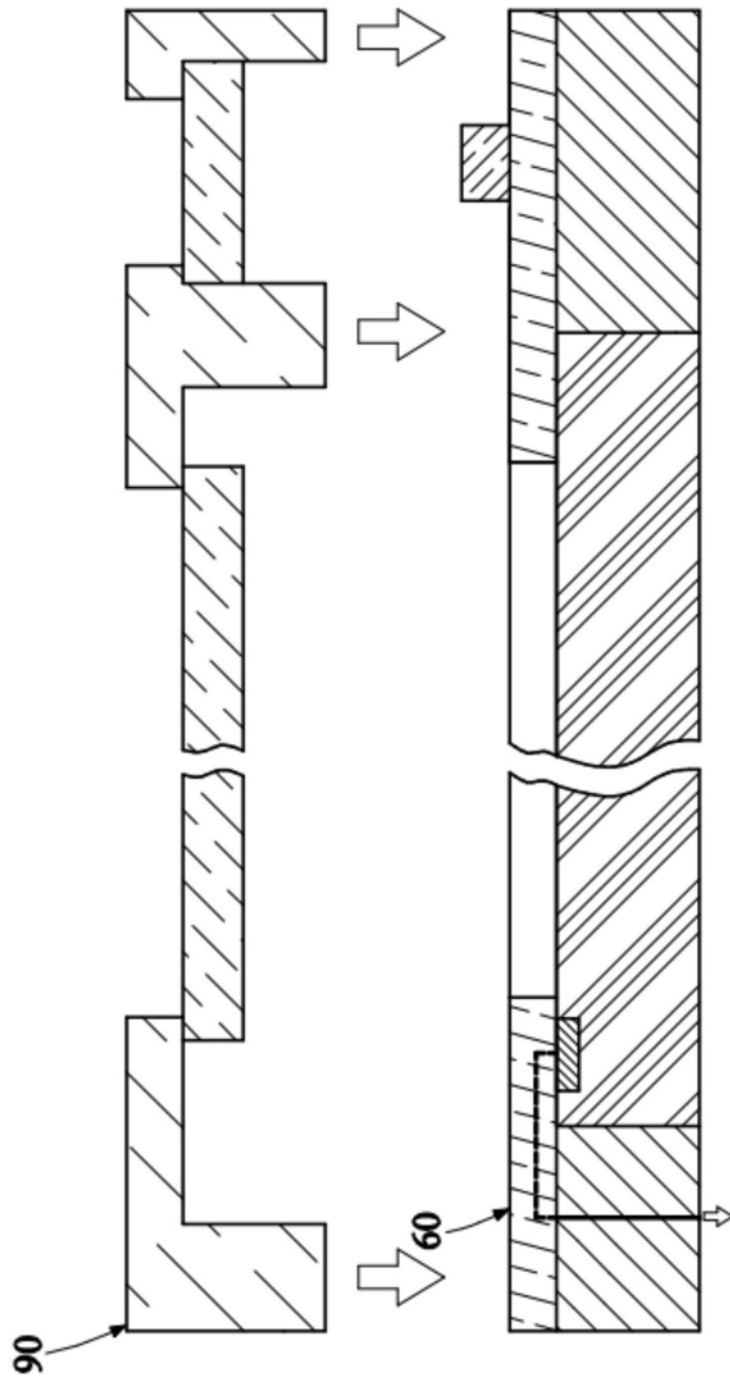


图8