



(12) 发明专利

(10) 授权公告号 CN 108878526 B

(45) 授权公告日 2021.11.09

(21) 申请号 201710328760.9
 (22) 申请日 2017.05.11
 (65) 同一申请的已公布的文献号
 申请公布号 CN 108878526 A
 (43) 申请公布日 2018.11.23
 (73) 专利权人 中芯国际集成电路制造(上海)有限公司
 地址 201203 上海市浦东新区张江路18号
 专利权人 中芯国际集成电路制造(北京)有限公司
 (72) 发明人 周飞
 (74) 专利代理机构 上海德禾翰通律师事务所
 31319
 代理人 侯莉

(51) Int.Cl.
 H01L 29/78 (2006.01)
 H01L 29/06 (2006.01)
 H01L 21/336 (2006.01)
 (56) 对比文件
 CN 106601620 A, 2017.04.26
 CN 106601678 A, 2017.04.26
 CN 104733313 A, 2015.06.24
 US 2017069549 A1, 2017.03.09
 CN 105990430 A, 2016.10.05
 CN 106611789 A, 2017.05.03
 审查员 陈泽

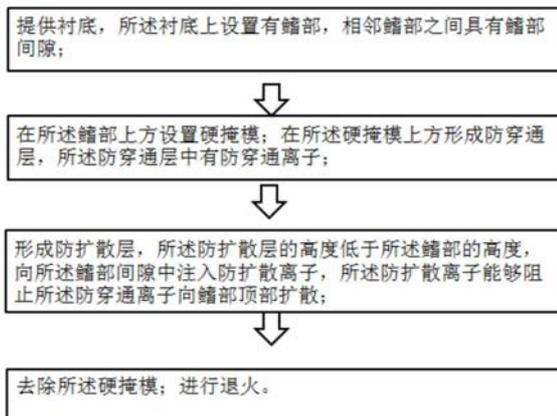
权利要求书2页 说明书6页 附图7页

(54) 发明名称

半导体结构及其形成方法

(57) 摘要

一种半导体结构的形成方法,包括:提供衬底,所述衬底上设置有鳍部,相邻鳍部之间具有鳍部间隙;在所述鳍部上方设置硬掩模;在所述硬掩模上方形成防穿透层,所述防穿透层中有防穿透离子;形成防扩散层,所述防扩散层的高度低于所述鳍部的高度,向所述鳍部间隙中注入防扩散离子,所述防扩散离子能够阻止所述防穿透离子向鳍部顶部扩散;去除所述硬掩模;进行退火。



1. 一种半导体结构的形成方法,其特征在于,包括:
提供衬底,所述衬底上设置有鳍部,相邻鳍部之间具有鳍部间隙;
在所述鳍部上方设置硬掩模;
形成覆盖所述硬掩模、所述鳍部和所述鳍部间隙的防穿透层,所述防穿透层中有防穿透离子,用于防止所述半导体结构中的源区和漏区穿透;
形成防扩散层,所述防扩散层的高度低于所述鳍部的高度;
刻蚀所述防穿透层,使得所述防穿透层的高度与所述防扩散层齐平;
向所述鳍部间隙中注入防扩散离子,所述防扩散离子能够阻止所述防穿透离子向鳍部顶部扩散;
去除所述硬掩模;
进行退火。
2. 如权利要求1所述的半导体结构的形成方法,其特征在于,退火温度大于或等于850℃。
3. 如权利要求1所述的半导体结构的形成方法,其特征在于,向所述防扩散层中注入的离子是碳离子、锗离子和氮离子中的一种或多种组合。
4. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述防穿透层上方形成有保护层,所述保护层防止所述防穿透离子向上方扩散。
5. 如权利要求4所述的半导体结构的形成方法,其特征在于,所述保护层的材料是氮化硅、SiON、SiCB、SiBCN、SiOCN中的一种或几种。
6. 如权利要求1所述的半导体结构的形成方法,其特征在于,形成防扩散层包含:
形成初始防扩散层,所述初始防扩散层覆盖整个鳍部,所述初始防扩散层采用流体化学气相沉积工艺形成;
对所述初始防扩散层进行第一退火工艺,所述第一退火工艺温度为400℃-650℃;
对所述初始防扩散层进行热离子注入,所述热离子注入工艺温度为450℃-500℃;
刻蚀所述初始防扩散层,使之高度低于所述鳍部的高度,形成防扩散层。
7. 如权利要求6所述的半导体结构的形成方法,其特征在于,在进行热离子注入后,对所述初始防扩散层进行第二退火工艺,所述第二退火工艺温度为500℃-700℃。
8. 如权利要求6所述的半导体结构的形成方法,其特征在于,所述热离子注入工艺中,注入的离子是He。
9. 如权利要求6所述的半导体结构的形成方法,其特征在于,所述热离子注入的能量为1-50Kev,注入的剂量为 $1.0e14-1.0e19\text{atm}/\text{cm}^2$ 。
10. 如权利要求4所述的半导体结构的形成方法,其特征在于,形成防扩散层后,刻蚀所述防穿透层和所述保护层,使防穿透层和所述保护层的高度与所述防扩散层齐平。
11. 如权利要求1所述的半导体结构的形成方法,其特征在于,在设置硬掩模后,在硬掩模上方覆盖氧化层,所述氧化层在形成防穿透层之前去除。
12. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述衬底包含第一晶体管区和第二晶体管区,所述防穿透离子掺杂类型与其对应的区域的晶体管掺杂类型相反。
13. 如权利要求12所述的半导体结构的形成方法,其特征在于,所述第一晶体管区是NMOS晶体管,所述第一晶体管区中的防穿透离子掺杂类型是P型。

14. 如权利要求12所述的半导体结构的形成方法,其特征在于,防穿通层仅形成在所述第一晶体管区。

15. 如权利要求13所述的半导体结构的形成方法,其特征在于,所述第一晶体管区中的防穿通层离子是硼离子或氟化硼离子。

16. 一种半导体结构,采用如权利要求1-15所述的任一项的方法形成。

半导体结构及其形成方法

技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种半导体结构及其形成方法。

背景技术

[0002] 随着半导体器件集成度的提高,晶体管的关键尺寸不断缩小,关键尺寸的缩小意味着在芯片上可布置更多数量的晶体管,进而提高器件的性能。然而,随着晶体管尺寸的急剧减小,栅介质层厚度与工作电压不能相应改变使抑制短沟道效应的难度加大,从而使晶体管的沟道漏电流增大。

[0003] 鳍式场效应晶体管(Fin Field-Effect Transistor, FinFET)的栅极成类似鱼鳍的叉状3D架构。FinFET的沟道凸出衬底表面形成鳍部,栅极覆盖鳍部的顶面和侧壁,从而使反型层形成在沟道各侧上,可于鳍部的多侧控制电路的接通与断开。这种设计能够增加栅极对沟道区的控制,从而能够很好地抑制晶体管的短沟道效应。然而,鳍式场效应晶体管仍然存在短沟道效应。

[0004] 为了进一步减小短沟道效应对半导体器件的影响,降低沟道漏电流。一种方法是通过对鳍部底部进行防穿透注入,减少漏源穿透的可能性,降低短沟道效应。

[0005] 然而,所述半导体结构的形成方法容易影响所形成半导体结构的性能。

发明内容

[0006] 本发明解决的问题是提供一种半导体及其形成方法,能够改善半导体结构性能。

[0007] 为解决上述问题,本发明提供一种半导体结构的形成方法,包括:提供衬底,所述衬底上设置有鳍部,相邻鳍部之间具有鳍部间隙;在所述鳍部上方设置硬掩模;在所述硬掩模上方形成防穿透层,所述防穿透层中有防穿透离子;形成防扩散层,所述防扩散层的高度低于所述鳍部的高度,向所述鳍部间隙中注入防扩散离子,所述防扩散离子能够阻止所述防穿透离子向鳍部顶部扩散;去除所述硬掩模;进行退火。

[0008] 可选的,退火温度大于或等于850℃。

[0009] 可选的,向所述防扩散层中注入的离子是碳离子、锆离子和氮离子中的一种或多种组合。

[0010] 可选的,所述防穿透层上方形成有保护层,所述保护层防止所述防穿透离子向上方扩散。

[0011] 可选的,所述保护层的材料是氮化硅、SiON、SiCB、SiBCN、SiOCN中的一种或几种。

[0012] 可选的,所述防穿透层覆盖所述鳍部间隙。

[0013] 可选的,形成防扩散层包含:形成初始防扩散层,所述初始防扩散层覆盖整个鳍部,所述初始防扩散层采用流体化学气相沉积工艺形成;对所述初始防扩散层进行第一退火工艺,所述第一退火工艺温度为400℃-650℃;对所述初始防扩散层进行热离子注入,所述热离子注入工艺温度为450℃-500℃;刻蚀所述初始防扩散层,使之高度低于所述鳍部的高度,形成防扩散层。

- [0014] 可选的,在进行热离子注入后,对所述初始防扩散层进行第二退火工艺,所述第二退火工艺温度为500℃-700℃。
- [0015] 可选的,所述热离子注入工艺中,注入的离子是He。
- [0016] 可选的,所述热离子注入的能量为1-50Kev,注入的剂量为 $1.0e14-1.0e19\text{atm}/\text{cm}^2$ 。
- [0017] 可选的,形成防扩散层后,刻蚀所述防穿通层和所述保护层,使防穿通层和所述保护层的高度与所述防扩散层齐平。
- [0018] 可选的,在设置硬掩模后,在硬掩模上方覆盖氧化层,所述氧化层在形成防穿通层之前去除。
- [0019] 可选的,所述衬底包含第一晶体管区和第二晶体管区,所述防穿通离子掺杂类型与其对应的区域的晶体管掺杂类型相反。
- [0020] 可选的,所述第一晶体管区是NMOS晶体管,所述第一晶体管区中的防穿通离子掺杂类型是P型。
- [0021] 可选的,防穿通层仅形成在所述第一晶体管区。
- [0022] 可选的,所述第一晶体管区中的防穿通层离子是硼离子或氟化硼离子。
- [0023] 本发明还包括一种半导体结构,采用上述任一项方法形成。
- [0024] 与现有技术相比,本发明实施例的技术方案具有以下有益效果:
- [0025] 本发明的半导体形成方法中,形成有防穿通层,能够阻止或减少源区与漏区之间的穿通,从而减小漏电流;
- [0026] 进一步的,防穿通层旁边设置有防扩散层和保护层,保护层能够防止防穿通离子向外部扩散,防扩散层能够减小扩散进入晶体管沟道中的防穿通离子。
- [0027] 进一步的,防扩散离子形成在相邻鳍部间隙的防扩散层中,工艺操作更方便,同时有效地阻止防穿通层中的离子向鳍部顶部扩散。
- [0028] 进一步的,本发明例采用三步工艺制备防扩散层,并结合退火、热离子注入等工艺,引入热离子注入工艺降低了FCVD氧化物致密化的温度,使得形成的扩散层质量更高。

附图说明

- [0029] 图1-图3是一种半导体结构的形成方法各步骤的结构示意图。
- [0030] 图4-图13是本发明半导体结构的形成方法一实施例各步骤的结构示意图。
- [0031] 图14是本发明半导体结构形成步骤示意图。

具体实施方式

- [0032] 下面将结合示意图对本发明的晶圆测试结构进行更详细的描述,其中表示了本发明的优选实施例,应该理解本领域技术人员可以修改在此描述的本发明,而仍然实现本发明的有利效果。因此,下列描述应当被理解为对于本领域技术人员的广泛知道,而并不作为对本发明的限制。
- [0033] 半导体结构的形成方法存在诸多问题,难以保证所形成的半导体结构性能稳定。
- [0034] 经过研究发现,随着用于形成鳍式场效应晶体管的鳍部尺寸不断缩小,形成于鳍部内的源区和漏区底部容易发生底部穿通(punch through)现象,即所述源区和漏区的底

部之间发生短接,在所述源区和漏区的底部产生漏电流。为了克服所述底部穿通现象,一种方法是在所述源区和漏区底部之间的区域内注入反型离子,以隔离源区和漏区底部。

[0035] 图1至图3是一种半导体结构的形成方法各个步骤的结构示意图。

[0036] 请参考图1,提供衬底,衬底100上方设置有鳍部101以及位于所述鳍部101顶部上的硬掩膜110。所述衬底包括:第一晶体管区A和第二晶体管区B。

[0037] 继续参考图1,在所述衬底100上形成防穿通层102,所述防穿通层102表面低于所述鳍部101顶部表面。

[0038] 请参考图2,对所述防穿通层102进行离子注入,注入的是防穿通离子。

[0039] 请参考图3,防穿通离子注入之后,进行退火处理,使防穿通离子扩散进入鳍部101底部。

[0040] 其中,进行退火的过程中,防穿通离子容易向鳍部101顶部扩散,从而导致后续形成的晶体管的阈值电压升高,进而影响晶体管性能。

[0041] 为解决所述技术问题,本发明提供了一种半导体结构的形成方法,包括,提供衬底,所述衬底上设置有鳍部,相邻鳍部之间具有鳍部间隙;在所述鳍部上方设置硬掩模;在所述硬掩模上方形成防穿通层,所述防穿通层中有防穿通离子;形成防扩散层,所述防扩散层的高度低于所述鳍部的高度,向所述鳍部间隙中注入防扩散离子,所述防扩散离子能够阻止所述防穿通离子向鳍部顶部扩散;去除所述硬掩模;进行退火。

[0042] 其中,本发明的半导体结构的形成方法中,在进行所述退火处理之前,形成防扩散层,向相邻鳍部的间隙,也就是防扩散层、防穿通层中注入防扩散离子,防扩散离子位于防扩散层、防穿通层的顶部,同时由于掺杂特性,掺杂浓度从防扩散离子掺杂源点向外逐渐浓度减小,因此防扩散离子也同时存在于鳍部,防扩散离子能够阻止所述防穿通层中的离子向鳍部顶部扩散,从而能够减小扩散进入晶体管沟道中的防穿通离子。因此,所述半导体结构的形成方法能够降低防穿通离子对所形成晶体管阈值电压的影响,从而改善所形成半导体结构的性能。此外,防扩散离子形成在防扩散层中,工艺操作更方便,同时有效地阻止防穿通层中的离子向鳍部顶部扩散。

[0043] 此外,本发明的防穿通层中具有防穿通离子,能够防止或减轻所述半导体结构中的源区和漏区穿通,从而减小漏电流。

[0044] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0045] 图4至图13是本发明半导体结构的形成方法一实施例各步骤的结构示意图。

[0046] 本实施例中,所述衬底包括:第一晶体管区A和第二晶体管区B。在其他实施例中,所述衬底还可以仅包括第一晶体管区或第二晶体管区。

[0047] 本实施例中,所述第一晶体管区A用于形成NMOS晶体管;所述第二晶体管区B用于形成PMOS。在其他实施例中,所述第一晶体管区还可以用于形成PMOS晶体管;所述第二晶体管区用于形成NMOS。

[0048] 请参照图4,衬底还包括:位于所述鳍部202顶部上的硬掩模204,所述硬掩模204能够在后续防穿通离子注入的过程中,保护鳍部202顶部不注入防穿通离子,从而减少防穿通离子注入对晶体管性能的影响。

[0049] 本本发明一个实施例中,所述衬底的形成步骤包括:提供初始衬底;在所述初始衬

底上形成图形化的硬掩模204;以所述硬掩模204为掩膜,图形化所述初始衬底,形成衬底200和位于所述衬底200上的鳍部202,所述鳍部202用于形成晶体管沟道。

[0050] 可选地,在设置硬掩模后,在硬掩模204上方覆盖氧化层203,氧化层203覆盖硬掩模204、鳍部202以及鳍部间隙20。氧化层203的材料可以是SiO₂。氧化层203后续会在防穿通层形成之前去除。

[0051] 请参考图5,去除氧化层203,并形成防穿通层205,所述防穿通层205中具有防穿通离子,防穿通层覆盖所述鳍部及鳍部间隙,用于防止所述半导体结构中的源区和漏区穿通,从而减小漏电流。

[0052] 请参照图6,在本发明一个实施例中,所述衬底包括第一晶体管区A和第二晶体管区B。可选地,第一晶体管区A是NMOS晶体管,第二晶体管区B是PMOS晶体管。防穿通离子掺杂类型与其对应的区域的晶体管掺杂类型相反。可选地,所述第一晶体管区的防穿通离子为P型离子,例如硼离子或氟化硼离子,所述第二晶体管区的防穿通离子为N型离子,例如磷离子或砷离子。

[0053] 可选地,所述防穿通层仅设置在第一晶体管区A区域。具体地,在图5的工艺基础上,刻蚀掉第二晶体管区B中的防穿通层部分,仅保留第一晶体管区A中的防穿通层部分。或者在沉积防穿通层的工艺步骤中,利用掩模板,遮挡第二晶体管区B,使得防穿通层仅形成在第一晶体管区A中的防穿通层部分。这样设置是因为相比于PMOS晶体管,NMOS晶体管掺杂离子(例如B离子)损失更严重,从而更容易遭受电流穿通。

[0054] 可选地,在本发明一个实施例中,所述衬底包括第一晶体管区A和第二晶体管区B。对第一晶体管区A进行第一防穿通离子注入,对第二晶体管区B进行第二防穿通离子注入。在其他实施例中,当所述衬底仅包括第一晶体管区或第二晶体管区,则所述防穿通离子注入的步骤仅包括:对第一晶体管区进行第一防穿通离子注入,或者对第二晶体管区进行第二防穿通离子注入。

[0055] 如果防穿通层205的厚度过大,容易产生材料浪费;如果防穿通层205的厚度过小,很难充分实现防止所形成晶体管出现源漏穿通的作用。因此,本实施例中,所述穿通层205的厚度为20埃~60埃。

[0056] 本实施例中,如果所述防穿通层205中穿通离子的浓度过高,防穿通离子容易穿过防扩散层向鳍部202顶部扩散,从而容易影响所形成晶体管的性能;如果所述防穿通层205中防穿通离子的浓度过低,很难实现防止所形成晶体管出现源漏穿通的作用。因此,本实施例中,所述防穿通层205中防穿通离子的浓度为 $1.0E13atoms/cm^2$ - $1.0E15atoms/cm^2$ 。

[0057] 本实施例中,防穿通离子注入的工艺参数包括:注入剂量为 $1.0E13atoms/cm^2$ - $1.0E15atoms/cm^2$;注入能量为5KeV-100KeV。

[0058] 请参照图7,在本发明一个实施例中,所述防穿通层205上方还形成有保护层206,所述保护层206防止所述防穿通层205中的防穿通离子在退火中向上方扩散。由于防穿通层205的目的是阻止半导体器件中的源区、漏区穿通,若防穿通离子向上扩散,则不能实现这个目的,因此设置保护层206,阻止防穿通离子向上扩散。可选地,所述保护层的材料是氮化硅、SiON、SiCB、SiBCN、SiOCN中的一种或几种。

[0059] 请参照图8,在本发明一个实施例中,形成初始防扩散层208,所述初始防扩散层208覆盖整个鳍部202,即覆盖鳍部的顶端及侧面,所述初始防扩散层208的材料可以是二氧

化硅,初始防扩散层208可以采用流体化学气相沉积(FCVD)工艺形成,相比于其他沉积工艺,流体化学气相沉积的材料以高分子材料为载体,流动性好,填充能力佳。

[0060] 随后,对所述初始防扩散层208进行第一退火工艺,所述第一退火工艺温度为400℃-650℃,第一退火工艺主要为了使高分子材料挥发,在第一次退火工艺中,Si-O键逐渐形成。随后对所述初始防扩散层208进行热离子注入,所述热离子注入工艺温度为450℃-500℃。由于材料中还包含大量水分,水分子间具有氢键,本次热离子注入的目的就是利用注入的离子的应力,打断其中多余的氢键。可选地,热离子注入工艺中注入的离子是He,注入的能量为1-50Kev,注入的剂量为 $1.0e14-1.0e19\text{atm}/\text{cm}^2$ 。可选地,可以对所述初始防扩散层208进行第二退火工艺,所述第二退火工艺温度为500℃-700℃,去除其中的H离子,同时固化形成的初始防扩散层;

[0061] 最后刻蚀所述初始防扩散层208,使之高度低于所述鳍部的高度,形成防扩散层207(如图9所示)。本实施例采用三步工艺制备防扩散层,并结合退火、热离子注入等工艺,引入热离子注入工艺降低了FCVD氧化物致密化的温度,使得形成的扩散层质量更高。

[0062] 本实施例中,所述初始防扩散层208、防扩散层207的材料可以为氧化硅或氮氧化硅。

[0063] 请参照图10,形成防扩散层207后,刻蚀所述防穿通层205和所述保护层206,使防穿通层205和所述保护层206的高度与所述防扩散层齐平。

[0064] 请参照图11,向所述鳍部间隙20中注入防扩散离子,所述防扩散离子能够阻止所述防穿通层中的离子向鳍部顶部扩散。具体地,防扩散离子注入在防扩散层207、保护层206以及防穿通层205中,由于掺杂特性,掺杂浓度从防扩散离子掺杂源点向外浓度逐渐降低,因此防扩散离子也同时存在于鳍部,例如防扩散离子存在于图12所示的掺杂区209,防扩散离子能够阻止所述防穿通层中的离子向鳍部顶部扩散,从而能够减小扩散进入晶体管沟道中的防穿通离子。

[0065] 防扩散离子的元素为第四主族元素或不容易与鳍部原子成键的原子元素。第四主族元素原子的最外层与鳍部202的原子最外层电子数相同,从而不容易在所述鳍部202中形成多子,因此,不容易改变所述鳍部202的导电性;不容易与鳍部原子成键的原子在后续的退火过程中,不容易被激活。因此,不容易与鳍部原子成键的原子也不容易改变所述鳍部202的导电性。此外,所述防扩散离子可以进入所述鳍部202原子形成的间隙位置,从而阻挡防穿通离子通过所述间隙扩散到鳍部202顶部从而能够改善所形成半导体结构的性能。

[0066] 因此,所述防扩散层207能够在后续的退火过程中阻挡鳍部202中的防穿通离子向鳍部202顶部扩散,从而能够减小扩散进入晶体管沟道中的防穿通离子,降低防穿通离子对所形成晶体管阈值电压的影响,从而改善所形成半导体结构的性能。

[0067] 本实施例中,所述防扩散离子包括:碳离子、锗离子和氮离子中的一种或多种组合。碳离子、锗离子和氮离子进入鳍部202原子间隙后,能够阻挡防穿通离子向鳍部202顶部扩散。此外,在退火过程中氮离子不容易被激活从而不容易影响鳍部202的导电性;碳、锗为第四主族元素,在退火过程中被激活也不容易影响鳍部202的导电性能。

[0068] 如果所述防扩散层207中防扩散离子的浓度过高,容易影响鳍部202的导电性,降低晶体管性能;如果所述防扩散层207的浓度过低,很难阻挡防穿通离子向鳍部202顶部扩散。因此,本实施例中,所述防扩散层207中防扩散离子的浓度为 $1.0E13\text{atoms}/\text{cm}^2$ -

1.0E16atoms/cm²。

[0069] 本实施例中,防扩散离子注入的工艺参数包括:注入能量为1KeV-30KeV;注入剂量为1.0E13atoms/cm²-1.0E16atoms/cm²。

[0070] 请参照图13,最后对半导体结构去除硬掩模并进行退火。

[0071] 所述退火处理用于激活所述防穿透离子,从而使所述防穿透离子起到防止源漏穿透的作用。在所述退火处理的过程中,所述防扩散层207中的防扩散离子能够阻挡所述防穿透层中的防穿透离子向鳍部202顶部扩散,从而能够减小防穿透离子对所形成晶体管的影响,进而改善半导体结构性能。

[0072] 本实施例中,所述退火处理的退火温度大于或等于850℃。

[0073] 需要说明的是,本实施例中,进行退化处理之后,所述形成方法还包括:形成横跨所述鳍部202的栅极结构,所述栅极结构覆盖所述鳍部203部分侧壁和顶部表面。

[0074] 本实施例中,所述防穿透层的顶部与所述防扩散层的底部齐平。在其他实施例中,所述防穿透层的顶部还可以低于所述防扩散层的底部,或者所述防穿透层的顶部高于所述防扩散层顶部,且所述防穿透层的底部低于所述防扩散层顶部。

[0075] 图14是本发明半导体结构形成步骤示意图。

[0076] 本发明还包含一种半导体结构,采用上述的半导体形成方法制成。

[0077] 综上,本发明的半导体形成方法中,形成有防穿透层,能够阻止或减少源区与漏区之间的穿透,从而减小漏电流;

[0078] 进一步的,防穿透层旁边设置有防扩散层和保护层,保护层能够防止防穿透离子向外部扩散,防扩散层能够减小扩散进入晶体管沟道中的防穿透离子。

[0079] 进一步的,防扩散离子形成在相邻鳍部间隙的防扩散层中,工艺操作更方便,同时有效地阻止防穿透层中的离子向鳍部顶部扩散。

[0080] 进一步的,本发明例采用三步工艺制备防扩散层,并结合退火、热离子注入等工艺,引入热离子注入工艺降低了FCVD氧化物致密化的温度,使得形成的扩散层质量更高。

[0081] 因此,所述半导体结构的形成方法能够改善所形成半导体结构的性能。

[0082] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

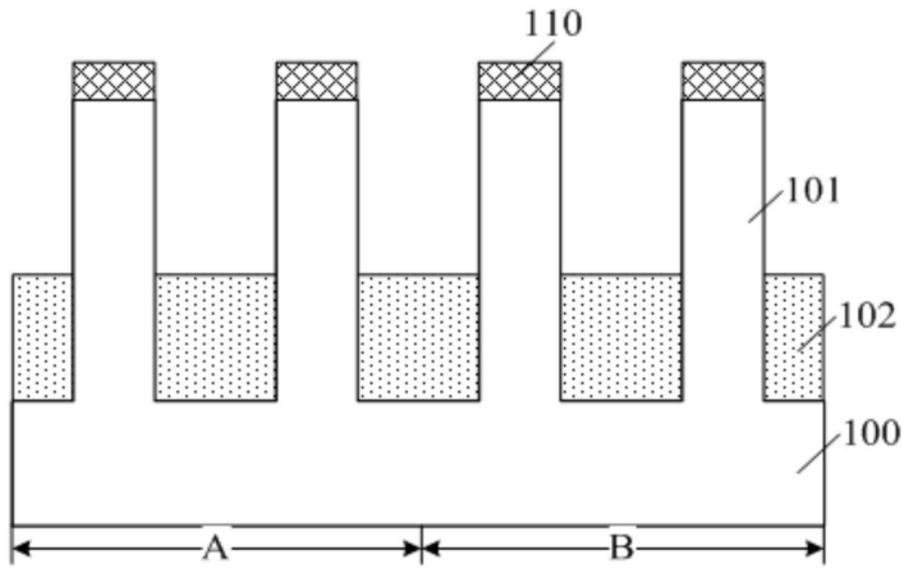


图1

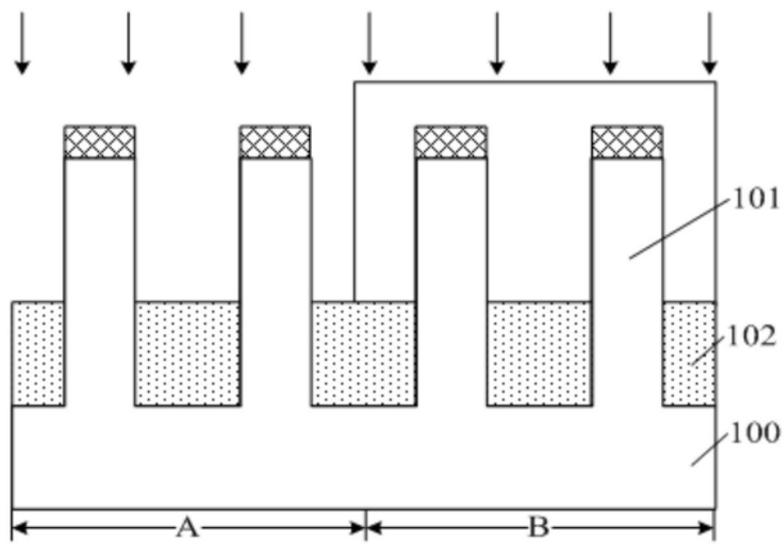


图2

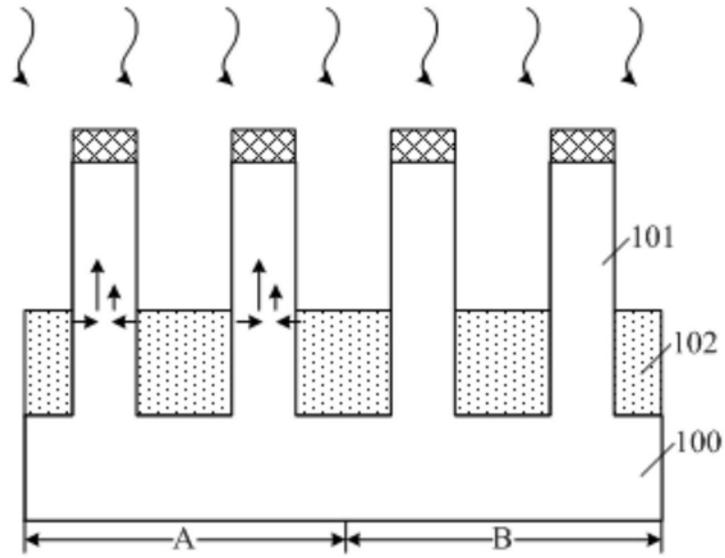


图3

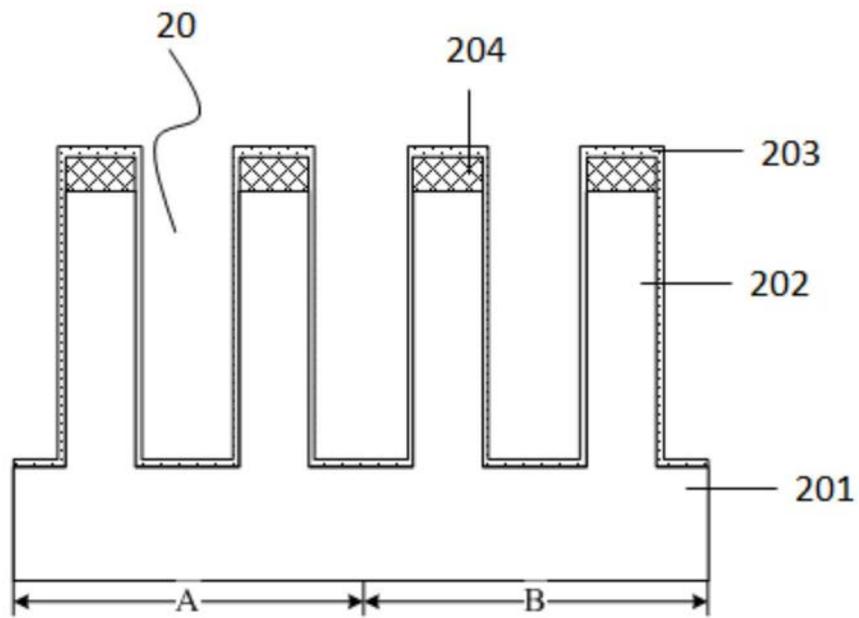


图4

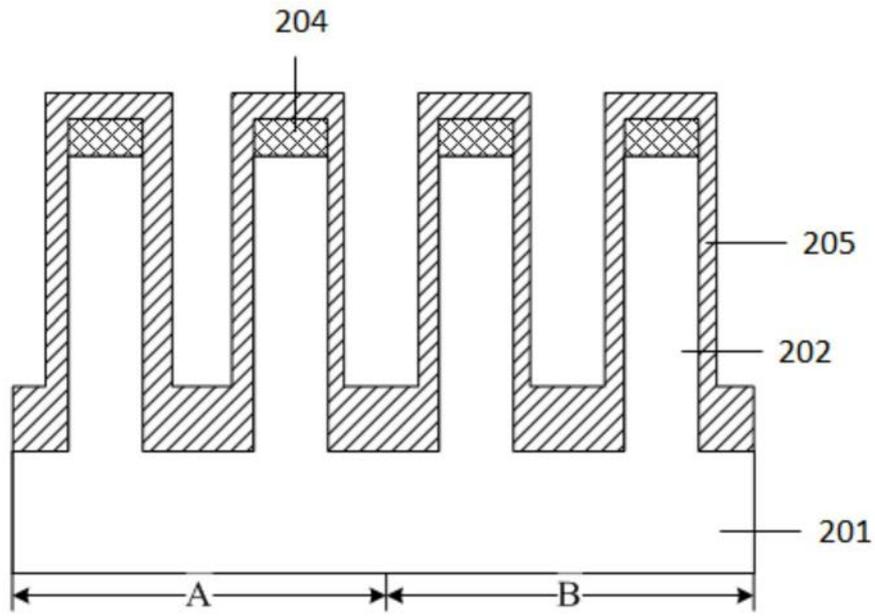


图5

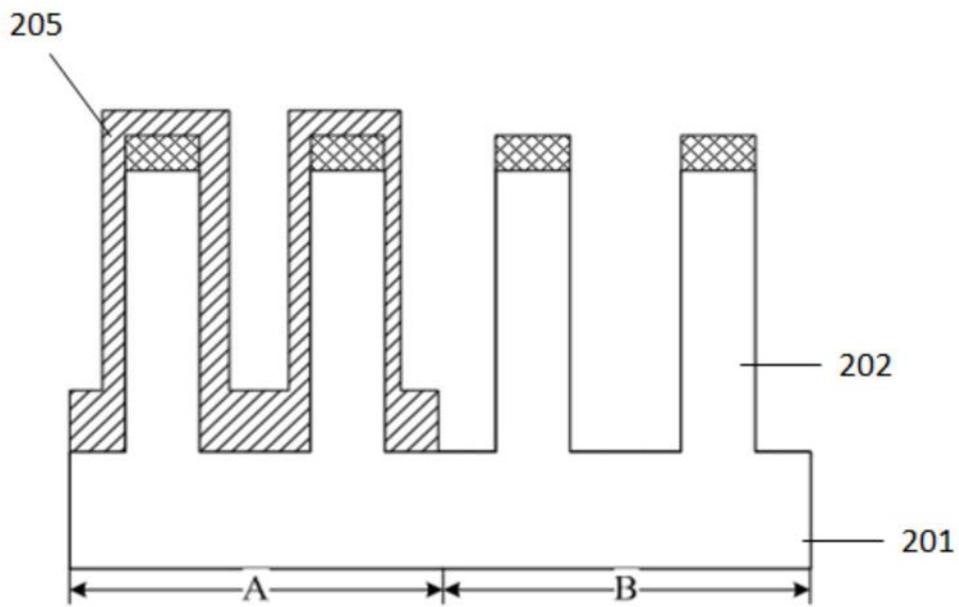


图6

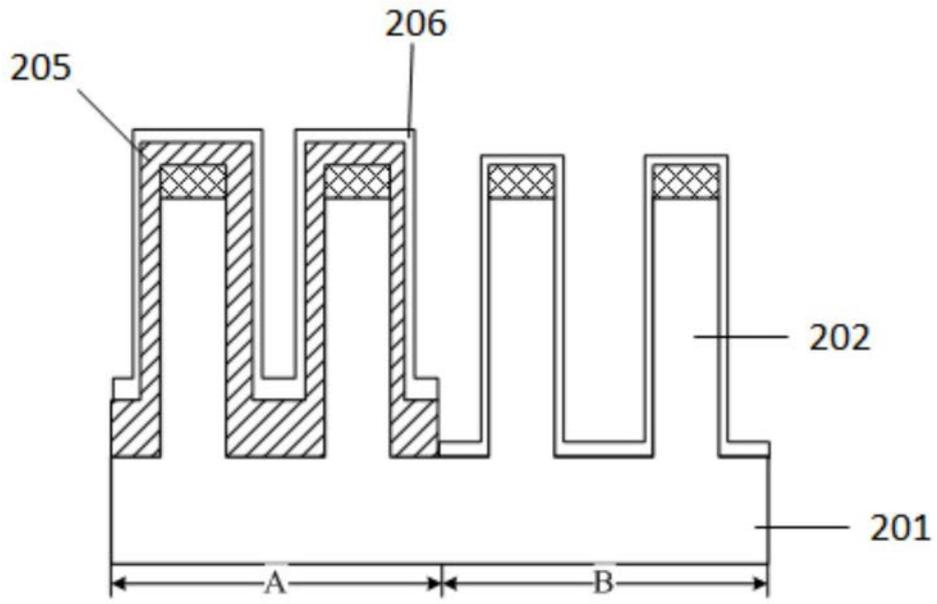


图7

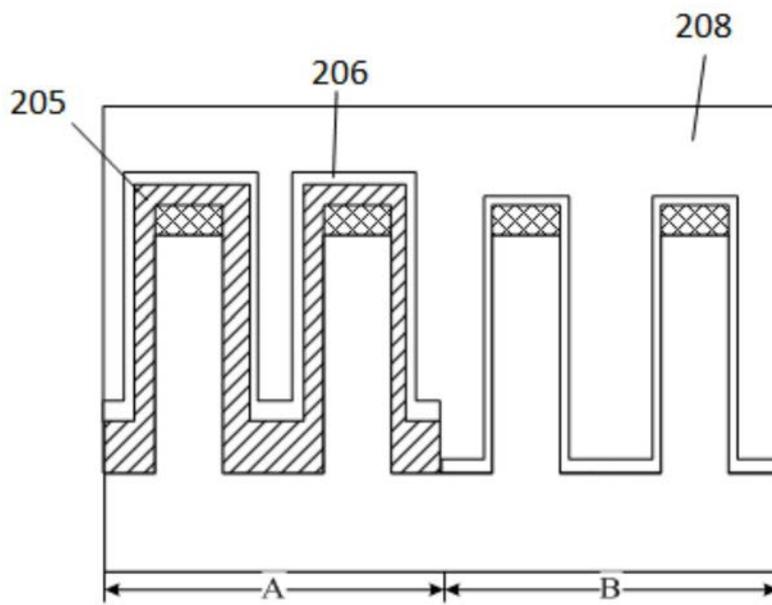


图8

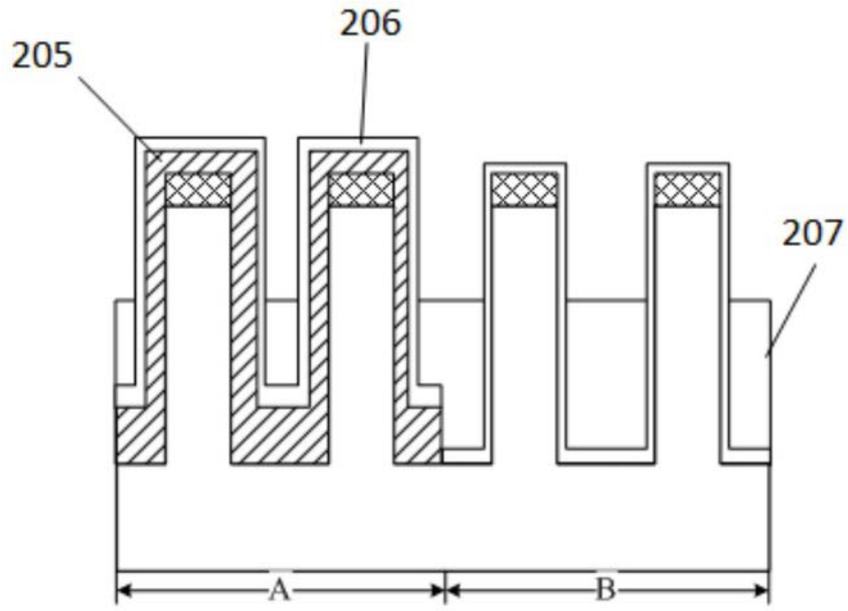


图9

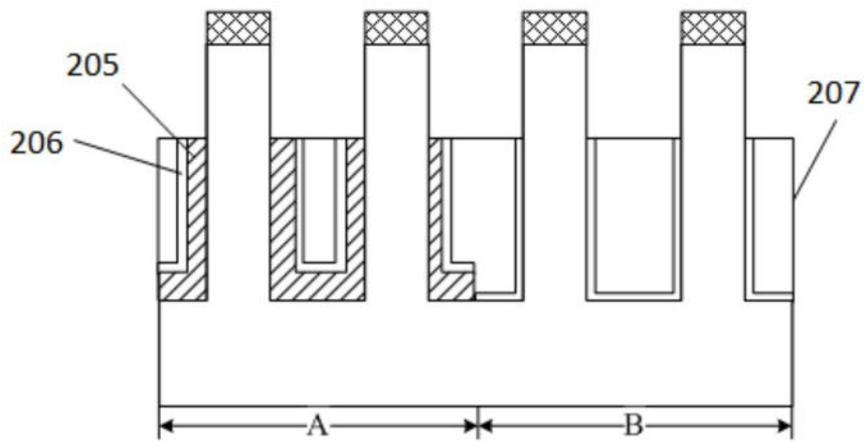


图10

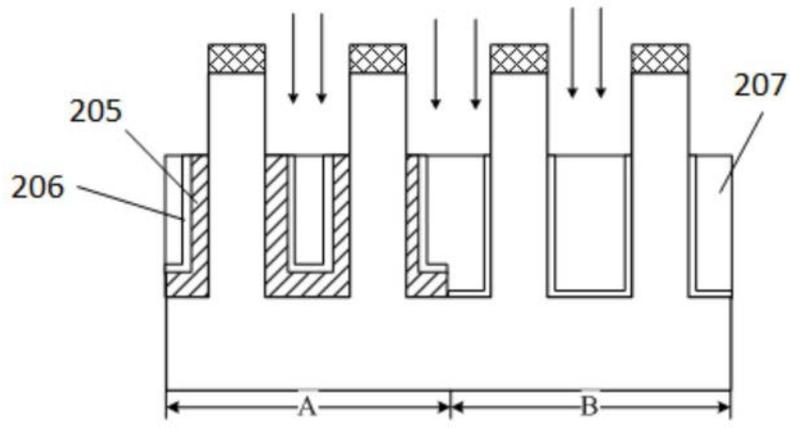


图11

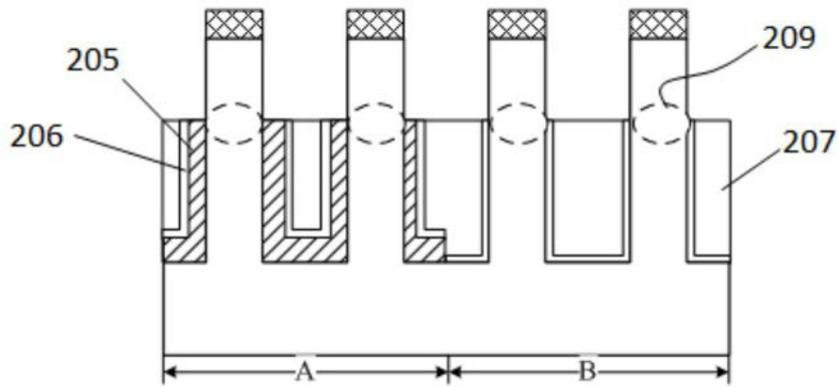


图12

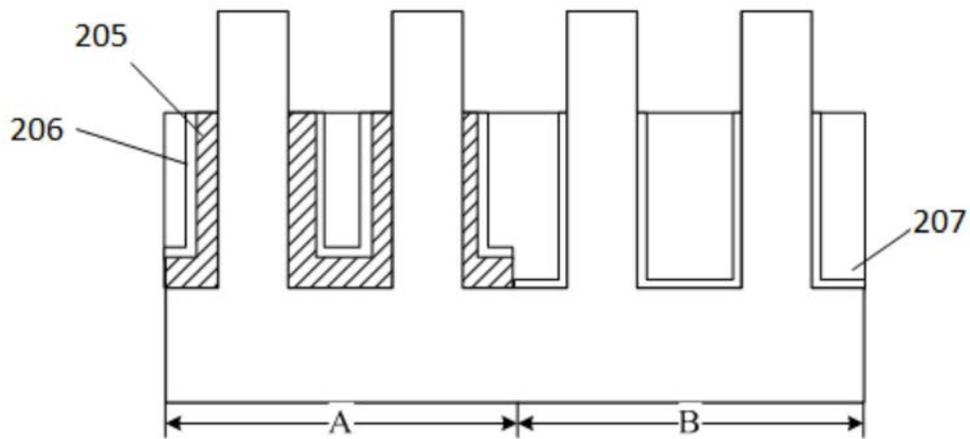


图13

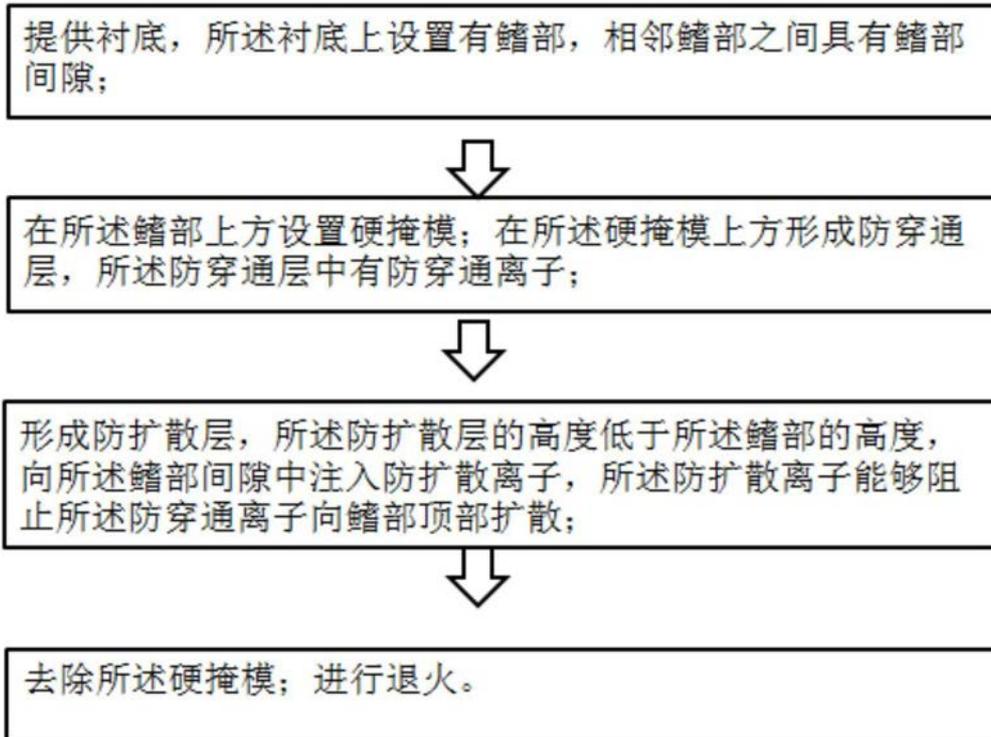


图14