

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H04N 7/13	(45) 공고일자 1999년03월20일	(11) 등록번호 특0166721	(24) 등록일자 1998년09월24일
(21) 출원번호 특1992-020265	(65) 공개번호 특1994-010800	(43) 공개일자 1994년05월26일	
(22) 출원일자 1992년10월30일			
(73) 특허권자 삼성전자주식회사 윤종용			
(72) 발명자 김재현			
	경기도 수원시 권선구 매탄동 416번지		
	경기도 수원시 권선구 매탄동 임광아파트 3-603		
	장광옥		
(74) 대리인 조의제	경기도 안산시 초지동 604번지 313동 303호		

심사관 : 이금옥

(54) 가변장 복호화기

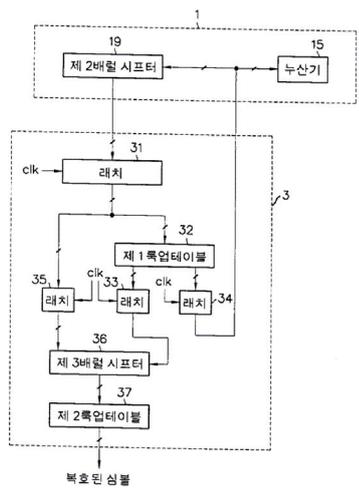
요약

각 심볼에 코드워드 및 여분비트가 할당된 방식으로 부호화된 비트시퀀스로부터 해당 심볼을 복호화하기 위한 본 발명의 가변장복호화기는, 데이터전송제어부(1), 및 복호화제어부(3)를 구비한다. 데이터전송제어부(1)는 복호된 누적코드길이정보에 따라 입력버퍼로부터 N비트시퀀스를 공급받아 재구성된 2N비트시퀀스내의 시작위치로부터 복호된 코드길이만큼 시프트된 N비트시퀀스를 복호화제어부(3)로 공급한다.

복호화제어부(3)는 데이터전송제어부(1)로부터 공급되는 N비트시퀀스내의 시작위치로부터의 코드워드최대길이를 갖는 비트시퀀스로부터 첫 번째 코드워드에 대응하는 정보를 복호하며, 이 정보에 근거한 코드길이(코드워드길이+여분비트길이)정보를 상기 데이터전송제어부(1)로 공급하며, 상기 코드워드복호정보에 근거한 코드워드길이정보에 따라 상기 데이터전송제어부(1)로부터의 N비트시퀀스내의 시작위치로부터 코드워드를 제거하고, 이 코드워드가 제거된 나머지 비트시퀀스의 시작위치로부터의 첫 번째 여분비트에 대응하는 심볼을 최종적으로 복호한다.

이로써, 본 발명은 각 심볼에 코드워드 및 여분비트를 할당하는 방식으로 부호화된 비트시퀀스로부터 코드워드 및 여분비트를 분리하고, 코드워드를 복호한 길이정보에 따라 여분비트를 복호하므로써 대응하는 심볼을 효율적이며 실시간으로 복호하는 가변장복호화기를 제공한다.

대표도



명세서

- [발명의 명칭]
가변장복호화기
- [도면의 간단한 설명]

다. 이러한 엔트로피부호화방식에 따른 심볼에 대응하는 코드의 구조는 다음과 같다; 코드 = 코드워드 + 여분비트(사인비트 + 추가비트).

한편, 종래의 가변장복호화기는, 각 심볼에 하나의 부호어를 할당하는 방식으로 부호화된 데이터가 채널 전송된 비트스트림을 메모리로부터 독출하여 최대부호어길이보다 작을 때까지 복호화과정을 수행하게 된다. 이러한 과정은 하나의 심볼이 단순히 하나의 허프만부호어로 부호화된 것을 다시 복호화하는 것으로서 이의 실시간처리구현을 위한 방법은 이미 논문으로 발표된 바 있다.

이하, 첨부한 제1도를 참조하여 종래의 가변장복호화기를 설명한다.

제1도에 나타난 가변장복호화기는, 1993년 9월 14일자로 특허된 Ming-Ting Sun의 미국특허번호, 5245338호인 HIGH-SPEED VARIABLE-LENGTH DECODER는 HD-TV시스템과 같은 고속시스템에서 사용할 수 있는 가변장복호화기를 기술한다. 제1도는 나타난 복호화기는, N비트단위로 구획되어 전송되는 가변장부호어들의 데이터시퀀스를 입력받아 재구성된 2N비트시퀀스중 복호화제어부(2)부터의 복호된 부호어의 길이만큼 시프팅된 N비트시퀀스를 복호화제어부(2)로 공급하며, 상기 복호된 부호어들의 누적길이가 N비트를 초과할 때마다 N비트의 데이터시퀀스를 입력버퍼로부터 독출하는 데이터전송제어부(1); 및 데이터전송제어부(1)로부터 공급되는 N비트시퀀스의 시작위치로부터 첫 번째 부호어에 대응하는 심볼을 복호하며 이 복호된 부호어의 길이를 상기 데이터전송제어부(1)로 공급하는 복호화제어부(2)로 대별된다. 그리고, 제1도의 신호처리는 직렬로 할 수도 있으나, 보다 신속한 데이터처리를 가능케하는 병렬처리시스템을 사용한다.

데이터전송제어부(1)는 입력버퍼로서 FIFO메모리(미도시)를 구비한다. 이 입력버퍼는 가변장부호화기측으로부터 전송되는 데이터스트림을 저장하며, 독출신호(READ)가 인가될 때마다, 그리고 초기상태에서 전송데이터스트림의 첫 번째 N비트시퀀스(N1)가 PLA(22)에 공급될 때까지 N비트단위의 데이터시퀀스를 출력하도록 설계된다.

래치(10)는 클럭이 뜨고 캐리신호 1이 인가될 때마다 인에이블되어 FIFO메모리로부터의 N비트시퀀스를 래칭(latching)한다. 즉, 래치(10)는 클럭이 뜰 때 캐리신호 1이 인가되면, 클럭이 뜨기직전 입력대기중인 데이터를 입력받아 출력하며, 다음 클럭 및 캐리신호 1이 뜰때까지 이 데이터를 보유한다. 래치(11)는 클럭이 뜨고 캐리신호 1이 인가될 때마다 인에이블되어 래치(10)로부터 공급되는 N비트시퀀스를 래칭한다.

제1멀티플렉서(12)는 인가되는 캐리신호가 1이면 FIFO메모리로부터의 N비트시퀀스를 선택하고 인가되는 캐리신호가 0이면 래치(10)로부터의 N비트시퀀스를 래칭한다.

제2멀티플렉서(13)는 인가되는 캐리신호가 1이면 래치(10)로부터의 N비트시퀀스를, 인가되는 캐리신호가 0이면 래치(11)로부터의 N비트시퀀스를 래칭한다. 여기서, 제1 및 2멀티플렉서(12, 13)는 소정의 초기화 구간동안 캐리신호가 1이 인가되도록 설계한다. 제1배럴시프터(14)는 제2멀티플렉서(13)로부터의 N비트시퀀스가 제1멀티플렉서(12)로부터의 N비트시퀀스보다 앞서도록 구성된 2N비트시퀀스중에서 인가되는 누적부호어길이만큼 윈도우(windowing)된 N비트시퀀스를 출력한다.

래치(17)는 클럭이 뜰때마다 제1배럴시프터(14)로부터 공급되는 N비트시퀀스를 래칭한다. 제2배럴시프터(19)는 래치(18)로부터의 N비트의 시퀀스가 래치(17)로부터의 N비트시퀀스보다 앞서도록 구성된 2N비트시퀀스중에서 래치(21)로부터 인가되는 복호된 부호어길이만큼 윈도우된 N비트시퀀스를 출력한다. 래치(18)는 제2배럴시프터(19)로부터 캐환되는 N비트시퀀스를 클럭이 뜰때마다 래칭한다.

프로그램머블로직어레이(PLA; Programmable Logic Array; 22)는 제2배럴시프터로부터 공급되는 N비트시퀀스의 시작위치로부터 첫 번째 부호어에 해당하는 고정길이 심볼을 복호하며, 이 복호된 부호어의 길이를 래치(21)로 출력한다. 래치(21)는 클럭이 뜰때마다 PLA(22)로부터 공급되는 부호어길이를 래칭하며, 이를 제2배럴시프터(19) 및 누산기(15)로 공급한다.

누산기(15)는 래치(21)로부터의 부호어길이를 누적하며, 이 누적부호어길이를 모듈러-N연산하여 몫이 존재하면 캐리신호 1과 나머지 누적부호어길이를 출력하고, 몫이 존재하지 않으면 캐리신호 0과 나머지 누적부호어길이를 출력한다. 이 캐리신호는 래치들(10, 11)로 인에이블/디스에이블신호로서 인가되고 멀티플렉서들(12, 13)로는 선택신호로 인가되며, 나머지 누적부호어길이는 시프트길이로서 제1배럴시프터(14)로 인가된다.

래치(16)는 누산기(15)로부터의 캐리신호 및 누적부호어길이를 클럭이 뜰때마다 래칭하며, 캐리신호는 데이터독출신호(READ)로서 입력버퍼(FIFO)로 인가하고 누적부호어길이는 누산기(15)로 캐환시킨다.

이러한 구성들을 갖는 제1도의 가변장복호화기의 동작을 간략히 설명하면 다음과 같다.

첫 번째 클럭(CLK1)이 뜨면, 래치(10)는 FIFO메모리로부터 독출되는, 전송데이터스트림중 첫 번째 N비트시퀀스(N1)를 래칭한다. 이 N비트시퀀스는 래치(11) 및 제1멀티플렉서(12)로 공급된다. 래치(11)는 첫 번째 클럭이 뜨는 시점에서 입력데이터가 없으므로 래칭되는 데이터가 없다. 그리고, 제1멀티플렉서(12)는 초기화구간의 캐리신호 1에 의하여 FIFO메모리로부터의 첫 번째 N비트시퀀스를 선택하여 출력한다.

제1배럴시프터(14)는 제2멀티플렉서(13)로부터의 N비트노이즈데이터가 제1멀티플렉서(12)로부터의 첫 번째 N비트시퀀스보다 앞서도록 2N비트시퀀스를 구성하며, 누산기(15)로부터의 누적부호어길이가 제로이므로 유의미한 데이터를 출력하지 않는다.

두 번째 클럭(CLK2)이 뜨면, 래치(10)는 FIFO메모리로부터의 두 번째 N비트시퀀스(N2)를, 래치(11)는 래치(10)로부터의 첫 번째 N비트시퀀스(N1)를 각각 래칭한다. 제1멀티플렉서는 FIFO메모리로부터의 두 번째 N비트시퀀스(N2)를, 제2멀티플렉서는 첫 번째 N비트시퀀스(N1)를 각각 선택한다.

제1배럴시프터(14)는 제2멀티플렉서(13)로부터의 N1이 제1멀티플렉서(12)로부터의 N2보다 앞서도록 구성된 2N비트시퀀스중에서 인가되는 누적부호어길이가 0이므로 윈도우되지 않은 첫 번째 N비트시퀀스(N1)를 래치(17)로 공급한다. 래치(17)는 두 번째 클럭이 뜨는 시점에서 입력되는 데이터가 없으므로 래칭되는

데이터가 없다.

세 번째 클럭(CLK3)이 뜨면, 래치(18)는 입력데이터가 없으므로 래칭되는 데이터가 없고, 래치(17)는 이전 클럭의 제1배럴시프터(14)로부터 공급되는 첫 번째 N비트시퀀스(N1)를 래칭하고, 제2배럴시프터(19)는 래치(18)로부터의 노이즈N비트시퀀스가 래치(17)로부터의 첫 번째 N비트시퀀스(N1)보다 앞서도록 구성된 2N비트시퀀스중, 래치(21)로부터 인가되는 부호여길이가 N이므로(왜냐하면, 초기화구간동안 시스템의 정상 동작을 위하여 N이 인가되도록 설계됨) 좌측으로부터 N비트 원도잉된 N1을 래치(18) 및 PLA(22)로 공급한다.

PLA(22)는 입력되는 첫 번째N비트시퀀스(N1)중 시퀀스의 시작위치에서부터의 첫 번째 가변장부호어에 대응하는 심볼을 복호하며, 이 첫 번째 가변장부호어의 길이를 구하는 래치(21)로 공급한다.

전술한 바와 같은 제1도장치의 동작에 따라, 네 번째 클럭이 뜨면 래치(18)는 N1을, 래치(17)는 N2를, 래치(11)는 N2를 래치(10)는 N3을 각각 래칭하며, 제2배럴시프터는 래치(21)로부터 인가되는 이전 클럭의 복호된 부호어의 길이만큼 원도잉하고, 원도잉된 위치로부터 시작되는 N비트시퀀스를 (즉, 2N비트시퀀스중 이전 클럭에서 복호된 부호어를 제외한 N비트시퀀스)출력한다.

또한, 누산기는 상기 복호되는 부호어들의 길이를 누적하며, 누적된 부호어길이가 N을 초과하면 FIFO메모리로는 독출신호를, 래치들(11,10)로는 인에이블신호를, 멀티플렉서들(13,12)로는 선택신호를 인가하고, 제1배럴시프터(14)로는 누적된 나머지 부호어길이를 출력한다. 이에 따라 제1배럴시프터(14)는 누적된 부호어의 길이만큼 원도잉된 N비트시퀀스를 래치(17)로 공급한다.

이러한, 제1도의 구성들을 갖는 가변장복호화기는, 가변장부호화된 데이터들로부터 고정길이심볼을 실시간으로 복호처리할 수 있다.

하지만, 제1도에 나타낸 종래의 가변장복호화기는 하나의 심볼에 하나의 가변장부호어가 할당된 코드를 실시간으로 복호처리할 수 있으나, JPEG 또는 일부 MPEG의 엔트로피부호화방식에 채용된 하나의 심볼에 상기 코드워드 및 여분비트를 할당하는 방식으로 부호화된 비트스트림으로부터 해당심볼을 복호할 수 없다는 문제점을 갖는다.

이러한 문제점을 해결하기 위한 본 발명의 목적은, 종래의 하나의 가변장부호어를 부호하기 위한 가변장복호기에, 상기 코드워드 및 여분비트를 분리하는 수단, 및 이들로부터 심볼을 복호하는 수단을 유기적으로 결합시켜 해당심볼을 효율적으로 복호하며, 이 복호화과정을 실시간으로 처리할 수 있는 가변장복호화기를 제공함에 있다.

상기 목적을 달성하기 위한 본 발명의 가변장복호화기는, 각 심볼에 코드워드 및 여분비트를 갖는 코드로 부호화된 비트스트림으로부터 해당 심볼을 복호하기 위한 가변장복호화기에 있어서, 각 심볼에 대응하는 코드최대길이인 이전 클럭의 N비트시퀀스가 현재 클럭의 N비트시퀀스보다 앞서도록 구성된 2N비트시퀀스중, 인가되는 복호된 코드길이만큼 원도잉된 N비트시퀀스를 출력하는 제1배럴시프터와; 상기 복호된 코드길이들을 누적하여 모듈러-N연산하며, 이 연산결과 및 그에 따른 캐리신호 및 그 나머지만큼 누적잔여 코드길이를 발생하는 누산기와; 누산기로부터의 캐리신호 및 누적잔여코드 길이에 따라 입력N비트시퀀스를 상기 제1배럴시프터로 공급하는 수단들을 구비한 데이터전송수단; 상기 제1배럴시프터로부터의 N비트시퀀스를 클럭이 뜰때마다 래칭하는 제1저장수단; 상기 제1저장수단으로부터의 N비트시퀀스중 코드워드최대길이를 갖는 비트시퀀스를 공급받아 이 비트시퀀스의 시작위치로부터의 첫 번째 코드워드에 대응하는 정보를 복호하고, 이에 근거하여 코드워드길이와 여분비트의 길이를 합한 코드길이, 및 코드워드길이를 각각 출력하는 제1록업데이터블; 상기 제1저장수단으로부터의 N비트시퀀스와, 상기 제1록업데이터블로부터의 코드워드길이와 코드길이를 클럭이 뜰 때 마다 각각 래칭하는 래치들을 구비하며, 상기 코드길이는 상기 제1배럴시프터 및 누산기로 공급하는 제2저장수단; 상기 제2저장수단의 해당래치로부터의 공급되는 N비트시퀀스의 시작위치에서부터 상기 제2저장수단의 다른 래치로부터 공급되는 코드워드길이만큼 원도잉된 여분비트최대길이를 갖는 비트시퀀스를 출력하는 제2배럴시프터; 및 상기 제2배럴시프터로부터 공급되는 여분비트최대길이의 비트시퀀스의 시작위치로부터의 첫 번째 여분비트에 대응하는 심볼을 복호하는 제2록업데이터블을 포함한다.

이하, 첨부한 제2도를 참조하여 본 발명에 따른 바람직한 일시예인 가변장복호화기를 설명한다.

제2도를 참조하면, 본 발명에 따른 가변장복호화기는, 제1도에 나타낸 데이터전송제어부(1)와 동일한 부호로 표시되며 동일한 구성 및 기능을 갖는 데이터전송제어부(1); 및 상기 제1도의 복호화제어부(2)를 대체하여 상기 데이터전송제어부(1)에 유기적으로 결합되며, 본 발명에 의한 코드워드 및 여분비트를 분리하여 최종적으로 여분비트로부터 심볼을 효율적으로 복호하며 실시간처리가 가능한 복호화제어부(3)를 구비한다.

제2도의 데이터전송제어부(1)는 제1도의 데이터전송제어부(1)와 동일한 구성 및 동작을 하므로 상세한 설명을 생략한다. 다만, 제1도의 데이터전송제어부(1)는 하나의 심볼에 하나의 가변장부호어가 할당된 비트시퀀스를 처리하는 반면에 제2도의 데이터전송제어부(1)는 하나의 심볼에 가변장코드워드 및 여분비트를 할당하는 방식으로 부호화된 비트시퀀스(코드워드와 여분비트의 분리가 되어있지 않은 상태임)를 처리한다는 점에서 상이하다.

제2도에 나타낸 복호화제어부(3)는, 각 심볼에 대응하는 코드워드 및 여분비트를 포함하는 코드의 최대 길이인 N비트시퀀스를 제2배럴시프터로부터 공급받으며, 이 데이터를 클럭이 뜰때마다 래칭하는 래치(31)를 구비한다.

제1록업데이터블(32)은 래치(31)로부터의 N비트시퀀스의 시작위치로부터의 코드워드최대길이를 갖는 비트시퀀스를 공급받으며, 이 비트시퀀스의 시작위치로부터의 첫 번째 코드워드에 대응하는 정보를 복호하고, 이에 근거하여 코드워드의 길이와 여분비트의 길이를 합한 코드의 전체길이 및 상기 복호된 코드워드의 길이를 각각 출력한다.

여기서, 제1록업테이블(32)은 입력되는 부호화된 코드워드가 DC성분일 때에는 1차허프만복호테이블을 참조하며, AC성분일 때에는 (런, 레벨) 쌍에 대응하는 2차허프만복호테이블을 참조한다.

래치(35)는 래치(31)로부터의 N비트시퀀스를 클럭이 올때마다 래칭한다. 래치(33)는 제1록업테이블(32)로부터의 코드워드길이 정보를 클럭이 올때마다 래칭한다. 래치(34)는 제1록업테이블(32)로부터의 코드길이정보를 클럭이 올때마다 래칭하며, 이를 상기 데이터전송제어부(1)의 제2배럴시프터 및 누산기(15)로 인가한다. 이에 따라 제2배럴시프터(19)는 상기 2N비트시퀀스중 인가되는 코드길이만큼 윈도잉(windowing)된 (즉, 복호된 코드길이만큼 시프트된) N비트시퀀스를 출력한다.

또한, 누산기(15)는 인가되는 코드길이를 누적하여 N비트를 초과할 때에는 캐리신호 1과 그 나머지인 누적잔여코드길이를 발생하고, N비트를 초과하지 않을 때에는 캐리신호 0과 그 나머지인 누적잔여코드길이를 발생한다. 이 캐리신호에 의하여 복호된 코드길이 N비트를 초과하면 FIFO메모리로부터 새로운 N비트시퀀스를 공급받고, 누적잔여코드길이에 의하여 복호된 나머지 코드길이만큼 시프트된 N비트시퀀스가 상기 제2배럴시프터(19)로 공급된다.

제3배럴시프터(36)는 래치(35)로부터 공급되는 N비트시퀀스의 시작위치에서부터 래치(33)로부터 인가되는 코드워드길이만큼 윈도잉된(즉, 코드워드가 제거된) 여분비트최대길이를 갖는 비트시퀀스를 출력한다. 제2록업테이블(37)은 제3배럴시프터(36)로부터 공급되는 비트시퀀스의 시작위치로부터의 첫 번째 여분비트에 대응하는 심볼을 복호한다. 여기서, 제2록업테이블(37)은 여분비트가 DC성분인지 AC성분인지에 따라 서로 다른 여분비트를 위한 복호테이블을 참조한다. 이로써, 최종적으로 여분비트에 대응하는 고정길이 심볼이 효율적으로 복호된다.

또한, 래치(31)로부터의 N비트시퀀스 및 이에 근거한 코드워드길이정보 및 코드길이정보에 한 클럭 지연되어 래치들(35,33,34)에 래칭됨으로써 복호화제어부(3)가 데이터를 실시간처리할 수 있게 하며, 상기 코드길이정보에 의하여 데이터전송제어부(1)는 복호화제어부(3)에 의하여 복호된 코드길이만큼 윈도잉된(시프트된) N비트시퀀스를 실시간으로 공급할 수 있게 함으로써 제2도의 장치가 전체적으로 유기적인 동작을 수행한다.

이로써, 본 발명은 각 심볼에 코드워드 및 여분비트를 할당하는 방식으로 부호화된 비트시퀀스로부터 코드워드 및 여분비트를 분리하고, 코드워드의 복호에 따른 소정 길이정보들에 따라 여분비트에 대응하는 심볼을 최종적으로 실시간으로 복호처리하는, 효율적인 가변장복호기를 제공하는 효과를 갖는다.

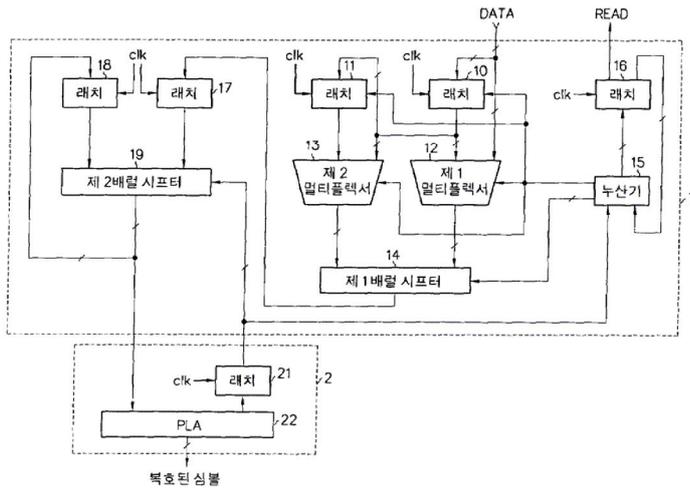
(57) 청구의 범위

청구항 1

각 심볼에 코드워드 및 여분비트를 갖는 코드로 부호화된 비트스트림으로부터 해당 심볼을 복호하기 위한 가변장복호화기에 있어서, 각 심볼에 대응하는 코드최대길이인 이전클럭의 N비트시퀀스가 현재클럭의 N비트시퀀스보다 앞서도록 구성된 2N비트시퀀스중, 인가되는 복호된 코드길이만큼 윈도잉(windowing)된 N비트시퀀스를 출력하는 제1배럴시프터와; 상기 복호된 코드길이들을 누적하여 모듈러-N연산하며, 이 연산결과 뒤편에 따른 캐리신호 및 그 나머지길이를 발생하는 누산기와; 상기 누산기로부터의 캐리신호 및 누적코드길이에 따라 입력N비트시퀀스를 상기 제1배럴시프터로 공급하는 수단들을 구비한 데이터전송수단; 상기 제1배럴시프터로부터의 N비트시퀀스를 클럭이 올때마다 래칭하는 제1저장수단; 상기 제1저장수단으로부터의 N비트시퀀스내의 시작위치로부터의 코드워드최대길이를 갖는 비트시퀀스를 공급받아 이 비트시퀀스내의 시작위치로부터의 첫 번째 코드워드에 대응하는 정보를 복호하고, 이에 근거하여 코드워드 길이와 여분비트의 길이를 합한 코드길이, 및 코드워드길이를 각각 출력하는 제1록업테이블; 상기 제1저장수단으로부터의 N비트시퀀스와, 상기 제1록업테이블로부터의 코드워드길이와 코드길이를 클럭이 올때마다 각각 래칭하는 래치들을 구비하며, 상기 코드길이는 상기 제1배럴시프터 및 누산기로 공급하는 제2저장수단, 상기 제2저장수단의 해당래치로부터의 공급되는 N비트시퀀스내의 시작위치로부터 상기 제2저장수단의 다른 래치로부터 공급되는 코드워드길이만큼 윈도잉된 여분비트최대길이를 갖는 비트시퀀스를 출력하는 제2배럴시프터; 및 상기 제2배럴시프터로부터 공급되는 여분비트최대길이의 비트시퀀스내의 시작위치로부터의 첫 번째 여분비트에 대응하는 심볼을 복호하는 제2록업테이블을 포함하는 가변장복호화기.

도면

도면1



도면2

