

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4493830号
(P4493830)

(45) 発行日 平成22年6月30日(2010.6.30)

(24) 登録日 平成22年4月16日(2010.4.16)

(51) Int. Cl. F I
HO4B 1/707 (2006.01) HO4J 13/00 D
HO4L 27/38 (2006.01) HO4L 27/00 G

請求項の数 5 (全 23 頁)

(21) 出願番号	特願2000-322966 (P2000-322966)	(73) 特許権者	000001122
(22) 出願日	平成12年10月23日 (2000.10.23)		株式会社日立国際電気
(65) 公開番号	特開2002-135168 (P2002-135168A)		東京都千代田区外神田四丁目14番1号
(43) 公開日	平成14年5月10日 (2002.5.10)	(74) 代理人	100093104
審査請求日	平成19年9月28日 (2007.9.28)		弁理士 船津 暢宏
		(74) 代理人	100092772
			弁理士 阪本 清孝
		(72) 発明者	今泉 市郎
			東京都中野区東中野三丁目14番20号
			株式会社日立国際電気内
		(72) 発明者	渡邊 淳
			東京都中野区東中野三丁目14番20号
			株式会社日立国際電気内
		審査官	富澤 哲生

最終頁に続く

(54) 【発明の名称】 RACH受信装置

(57) 【特許請求の範囲】

【請求項1】

ロングコード、位相回転情報及びシグネチャによりスペクトラム拡散された受信信号を復調するRACH受信装置において、

受信信号とロングコード及び位相回転情報にて演算された第1の逆拡散符号とを乗算する第1の乗算手段と、

前記第1の乗算手段から出力される複数の乗算結果を特定間隔で加算する第1の加算手段と、

前記第1の加算手段から出力される複数の加算結果とシグネチャの第2の逆拡散符号とを乗算する第2の乗算手段と、

前記第2の乗算手段から出力される乗算結果を加算して相関出力を得る第2の加算手段とを有し、

第1の加算手段と第2の乗算手段との間に、受信信号に対する複素演算を行う複素演算手段を設けたことを特徴とするRACH受信装置。

【請求項2】

ロングコード、位相回転情報及びシグネチャによりスペクトラム拡散された受信信号を復調するRACH受信装置において、

受信信号に対して複素演算処理を行う複素演算処理手段と、

前記複素演算結果におけるI相成分及びQ相成分とロングコードの第1の逆拡散符号との乗算を各々行う第1の乗算手段と、

前記第1の乗算手段から各々出力されるI相成分及びQ相成分の複数の乗算結果を特定間隔で各々加算する第1の加算手段と、

前記第1の加算手段から各々出力される複数の加算結果とシグネチャの第2の逆拡散符号とを乗算する第2の乗算手段と、

前記第2の乗算手段から出力される乗算結果を加算して相関出力を得る第2の加算手段とを有することを特徴とするRACH受信装置。

【請求項3】

第1の乗算手段は、受信信号におけるI相成分及びQ相成分と第1の逆拡散符号との乗算を、それぞれ時分割に又は記載のRACH受信装置。

10

【請求項4】

第2の乗算手段は、入力される演算結果と第2の逆拡散符号との乗算を、前記第2の逆拡散符号の種類数倍の速度で行い、第2の加算手段は、前記第2の逆拡散符号の種類数倍の速度で加算を行うことを特徴とする請求項3記載のRACH受信装置。

【請求項5】

第1の乗算手段は、受信信号におけるI相成分及びQ相成分と第1の逆拡散符号との乗算を、前記I成分及び前記Q成分の取り込みタイミングを入力信号のサンプリング速度の整数倍の速度とし、これに対して前記第1の逆拡散符号の取り込みタイミングを前記速度の2倍の速度として時分割に行い、第1の加算手段は、前記整数倍の2倍の速度で加算を行うことを特徴とする請求項4記載のRACH受信装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、移動体通信や無線LAN等におけるスペクトラム拡散通信システムの受信機側で用いられるスペクトラム拡散通信用相関回路に係り、特に、RACHを検出する簡単且つ小規模な構成のRACH受信装置に関する。

【0002】

【従来の技術】

一般に移動体通信又は無線LAN(Local Area Network)等に用いられるスペクトラム拡散(Spread Spectrum:SS)通信システムでは、送信側で送信データに対して狭帯域変調(1次変調)を行い、更に拡散変調(2次変調)を行う、2段階の変調を行ってデータを送信する。

30

受信側では、受信データに対して逆拡散を行って1次変調に戻してから、通常の検波回路でベースバンド信号の再生を行うようになっている。

【0003】

しかし、W-CDMAの3GPPで決まったRACHに関するPreamble部分の変調方式は、着信データのデータレートは常に一定で、それにセクタ毎に決められた1種のロングコードと、4種の位相回転(45度、135度、225度、315度の様に)により変調し、さらに16種類のシグネチャ(16種類の拡散コード)により変調されている。シグネチャは16チップ長であり、それが単に256回繰り返される(参考文献:3GPP仕様書:3GTS25.213等)。

40

【0004】

RACHは、Preamble部と、Message部に分かれており、移動機は基地局との登録が済んでいない場合には最初に仕様で決められた手順で、Preamble部をパースト的に基地局に対して送信する。基地局では、それを検出し、見つかった場合には、返事をAICHにて送信する。移動機はこれを受け、その後Message部を送信することになる。ここで基地局として重要なことは、パースト的に送られてくるPreamble部を如何に検出するかにある。

【0005】

そして、RACHの受信には、パースト送信のためその位相が確立されていないことから

50

、いわゆる図9に示すMF (Matched Filter) が従来用いられている。図9は、従来のRACHの復調部のブロック図である。

MFはシグネチャとロングコード、及び位相回転設定後、ある範囲の窓にて待ちかまえる。

【0006】

窓の大きさとしてここでは256チップとしてあるが、その大きさについては後で説明する。通常、位相回転は複素であるので、この演算には入力I/Q2本のシフトレジスタ92、符号I/Q2本のレジスタ93 (符号発生器も必要)、4組の積和演算器94と、4組の積和演算の結果を加減算し、複素演算を完成させる2つの加算器99により構成されている。

10

なお、シグネチャの種類は全部で16種存在するが、一時に16種全部に対応する必要がなく、そのうちの何種かを用意しておけばよい。その種類数だけ上記符号レジスタ、4組の積和演算器が必要となる。

【0007】

MFの窓の大きさは、基地局から移動機までの往復に要する時間により決まり、いわゆる基地局がカバーするセル半径によって決まる。たとえば、セル半径を15kmとすると、その時間(基地局 移動機 基地局に信号が行き来する時間)はおよそ100 μ sとなる。これはチップ数で言うと約256チップとなり、MFとして必要な窓は256チップ以上となる。つまり、16チップ長のシグネチャを256チップ長分繰り返し待ち受けることになる。

20

【0008】

また、セル半径50kmの場合には1284チップ以上となる。これは基地局から観ると、移動機がカバーする範囲のどこに存在するかは分かっていないので、一番近くの移動機も、一番遠くの移動機に対してもその信号(RACH)を検出しなければならないからである。MFとしては、この窓時間だけ経過すると、次に続くロングコードに換えて同じ動作を256回繰り返すことにより、Preamble部分を検出する。

【0009】

尚、移動機がPreamble部を送信出来るタイミングは決められており、基地局から常時送られているPCCPCHを基準に作られる上りアクセススロットに限定されている。従って、上記で述べた関係が成立する。

30

【0010】

上記従来のRACHの復調部について図9を用いて説明する。

図9に示す復調部は、フリップフロップ(F/F)92と、コードレジスタ93と、積和演算器94と、加算器99とから構成されている。この構成は通常のMFの構成である。

【0011】

入力信号は、符号分割多重(Code Division Multiple Access : CDMA)変調されて送信され、アンテナ(図示せず)で受信されたアナログ信号(I成分とQ成分の2組の信号)を、A/D変換器(アナログ/デジタル変換器)(図示せず)でデジタル信号に変換している。

変換される時、チップ時間間隔に比べ高速のクロックを用い、いわゆるオーバーサンプルされる。図9では4倍オーバーサンプルとしている。そのため256チップの信号は1024サンプルの信号になっている。尚、A/D変換器のビット数は複数であり、4~8ビットが用いられる。

40

【0012】

コードレジスタ93は、送信側でCDMA変調に用いられたのと同じ拡散符号である符号コードを出力するレジスタであり、256チップのF/Fで構成されている。符号発生器そのものであってもよい。コードレジスタにはすでにロングコードとシグネチャと位相回転を演算した結果が入っており、256チップ時間毎に、続くコードと入れ替えられる。これもI成分とQ成分の2組がある。

【0013】

50

1024タップのF/F92は、入力信号を順次(サンプル時間毎に)シフトする機能を有している。図9では4タップ毎に積和演算器と乗算をするための出力端子を有している。入力信号にはI成分とQ成分の2組があるので、本レジスタも2本必要である。

【0014】

積和演算器94は、1024タップF/F92の4タップ毎の値と、コードレジスタ(256タップ)93の値を乗算し、その乗算結果をすべて加算する。このためハード規模は大きくなる。

尚、複素演算のため、4組の積和演算器94が必要である。演算は入力信号のI成分とコードのI成分の積和演算、入力信号のQ成分とコードのI成分の積和演算、入力信号のQ成分とコードのQ成分の積和演算、入力信号のI成分とコードのQ成分の積和演算をそれぞれ実行する。

10

【0015】

加算器99は、4組の積和演算器94の4出力を加減算し、複素演算を完成させる。すなわち、入力信号のI成分とコードのI成分の積和演算結果と入力信号のQ成分とコードのQ成分の積和演算結果を加算、入力信号のQ成分とコードのI成分の積和演算結果と入力信号のI成分とコードのQ成分の積和演算結果との減算を行う。

【0016】

上記構成で1種のシグネチャに対応出来る。従って、シグネチャの数が増えれば、その数だけ構成を増やさねばならない。但し、入力及び入力をシフトするレジスタは、共通に使用可能である。

20

【0017】

尚、図9の従来MFの動作速度は、以下のようになっている。

アンテナで受信された受信データのアナログ信号は元々送信側でCDMA変調されているが、そのチップレートは約4Mcps(正確には3.84Mcps)であり、通常A/D変換器でデジタル信号に変換される場合は、その4倍の約16MHz(15.36MHz)のサンプルレートで変換される。したがって、それ以後のコードレジスタ93、積和演算器94などの演算速度はいずれも約16MHzである。

【0018】

CDMA変調を施す符号のビット数は1であるので、図9のMFのハード規模としては、積和演算器94内の加算器が大半を占めている。乗算器は、符号が1の場合には、そのまま入力信号を出力し、0の場合は入力信号を符号反転して出すだけの論理回路で構成可能である。それに対し、加算器は長ビット(6ビットから十数ビット)の加算を実行しなければならず、ハード規模が大きくなる。レジスタすなわちF/Fは、入力信号のビット数だけF/Fを並列にならべればよい。

30

【0019】

尚、従来マッチドフィルタに関連する記述は、平成9年(1997年)7月31日公開の特開平9-200179号公報「マルチユーザ復調方法および装置」(出願人:国際電気株式会社、株式会社鷹山、発明者:占部健三他)等がある。

【0020】

【発明が解決しようとする課題】

このように、上記従来マッチドフィルタ(MF)では、RACHのプレアンブル(Preamble)部を基地局にて検出するためには、シグネチャの数だけ複素MFが必要となるため、ゲート数が多くなり、回路規模が増大し、LSI価格が高くなるという問題点があった。

40

【0021】

本発明は上記実情に鑑みて為されたもので、構成素子を小規模にできるRACH受信装置を提供することを目的とする。

【0023】

【課題を解決するための手段】

上記従来例の問題点を解決するための本発明は、ロングコード、位相回転情報及びシグ

50

ネチユアによりスペクトラム拡散された受信信号を復調する R A C H 受信装置において、受信信号とロングコード及び位相回転情報にて演算された第 1 の逆拡散符号とを乗算する第 1 の乗算手段と、第 1 の乗算手段から出力される複数の乗算結果を特定間隔で加算する第 1 の加算手段と、第 1 の加算手段から出力される複数の加算結果とシグネチユアの第 2 の逆拡散符号とを乗算する第 2 の乗算手段と、第 2 の乗算手段から出力される乗算結果を加算して相関出力を得る第 2 の加算手段とを有し、第 1 の加算手段と第 2 の乗算手段との間に、受信信号に対する複素演算を行う複素演算手段を設けたものであり、第 1 の逆拡散符号を用いた復調処理と第 2 の逆拡散符号を用いた復調処理とを二段階に分けて行うことで、加算器の総数を低減して回路規模を縮小し、消費電力を低減することができる。

【 0 0 2 4 】

また、本発明は、ロングコード、位相回転情報及びシグネチユアによりスペクトラム拡散された受信信号を復調する R A C H 受信装置において、受信信号に対して複素演算処理を行う複素演算処理手段と、複素演算結果における I 相成分及び Q 相成分とロングコードの第 1 の逆拡散符号との乗算を各々行う第 1 の乗算手段と、第 1 の乗算手段から各々出力される I 相成分及び Q 相成分の複数の乗算結果を特定間隔で各々加算する第 1 の加算手段と、第 1 の加算手段から各々出力される複数の加算結果とシグネチユアの第 2 の逆拡散符号とを乗算する第 2 の乗算手段と、第 2 の乗算手段から出力される乗算結果を加算して相関出力を得る第 2 の加算手段とを有するものであり、回路規模を縮小し、消費電力を低減することができる。

【 0 0 2 5 】

また、本発明は、上記 R A C H 受信装置において、第 1 の乗算手段は、受信信号における I 相成分及び Q 相成分と第 1 の逆拡散符号との乗算を、それぞれ時分割に入力信号のサンプリング速度の整数倍の速度で行い、第 1 の加算手段は、該整数倍の速度で加算を行うものであり、第 1 の逆拡散符号を用いた復調処理の速度を上げることで、回路規模を一層縮小できる。

【 0 0 2 6 】

また、本発明は、上記 R A C H 受信装置において、第 2 の乗算手段は、入力される演算結果と第 2 の逆拡散符号との乗算を、第 2 の逆拡散符号の種類数倍の速度で行い、第 2 の加算手段は、第 2 の逆拡散符号の種類数倍の速度で加算を行うものであり、第 2 の逆拡散符号を用いた復調処理を行う乗算器及び加算器の数を低減でき、回路規模を縮小できる。

【 0 0 2 7 】

また、本発明は、上記 R A C H 受信装置において、第 1 の乗算手段は、受信信号における I 相成分及び Q 相成分と第 1 の逆拡散符号との乗算を、I 成分及び Q 成分の取り込みタイミングを入力信号のサンプリング速度の整数倍の速度とし、これに対して第 1 の逆拡散符号の取り込みタイミングを該速度の 2 倍の速度として時分割に行い、第 1 の加算手段は、該整数倍の 2 倍の速度で加算を行うものであり、第 1 の逆拡散符号を用いた復調処理を行う乗算器及び加算器の数を低減でき、回路規模を縮小できる。

【 0 0 2 8 】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら説明する。
尚、以下で説明する機能実現手段は、当該機能を実現できる手段であれば、どのような回路又は装置であっても構わず、また機能の一部又は全部をソフトウェアで実現することも可能である。更に、機能実現手段を複数の回路によって実現してもよく、複数の機能実現手段を単一の回路で実現してもよい。

【 0 0 2 9 】

本発明の実施の形態に係る R A C H 受信装置は、ロングコード、位相回転情報及びシグネチユアによりスペクトラム拡散された受信信号を復調するものであって、受信信号とロングコード及び位相回転情報にて演算された第 1 の逆拡散符号とを乗算する第 1 の乗算手段と、第 1 の乗算手段から出力される複数の乗算結果を特定間隔で加算する第 1 の加算手段と、第 1 の加算手段から出力される複数の加算結果とシグネチユアの第 2 の逆拡散符号と

10

20

30

40

50

を乗算する第2の乗算手段と、第2の乗算手段から出力される乗算結果を加算して相関出力を得る第2の加算手段とを有するものであり、第1の逆拡散符号を用いた復調処理と第2の逆拡散符号を用いた復調処理とを二段階に分けて行うことで、加算器の総数を低減して回路規模を縮小し、消費電力を低減することができるものである。

【0030】

また、本発明の実施の形態に係るRACH受信装置は、ロングコード、位相回転情報及びシグネチャによりスペクトラム拡散された受信信号を復調するものであって、受信信号に対して複素演算処理を行う複素演算処理手段と、複素演算結果におけるI相成分及びQ相成分とロングコードの第1の逆拡散符号との乗算を各々行う第1の乗算手段と、第1の乗算手段から各々出力されるI相成分及びQ相成分の複数の乗算結果を特定間隔で各々加算する第1の加算手段と、第1の加算手段から各々出力される複数の加算結果とシグネチャの第2の逆拡散符号とを乗算する第2の乗算手段と、第2の乗算手段から出力される乗算結果を加算して相関出力を得る第2の加算手段とを有するものであり、回路規模を縮小し、消費電力を低減することができるものである。

10

【0031】

また、本発明の実施の形態に係るRACH受信装置は、第1の乗算手段と第1の加算手段の動作速度を上げ、また第2の乗算手段と第2の加算手段の動作速度を上げることで、更に回路規模を縮小できるものである。

【0032】

尚、請求項における第1の乗算手段は受信でレジスタ列、コードレジスタ、コードレジスタ乗算部に相当し、第1の加算手段はコードレジスタ加算部に、第2の乗算手段はシグネチャ乗算部に、第2の加算手段はシグネチャ加算部に、複素演算手段は複素演算部に、複素演算処理手段は複素乗算器と位相回転レジスタにそれぞれ相当する。

20

【0033】

まず、本発明のRACH受信装置で用いるMFの原理について説明する。

従来の技術で既述したように、RACHで扱う無線送信信号のPreamble部は、ロングコード及び位相回転により変調された後、さらにシグネチャによって変調されている。シグネチャは3GPP仕様書で規定されているように、16チップ長の符号コードからなり、この符号コードが256回繰り返して用いられる。またシグネチャは全部で16種類規定されている。

30

【0034】

よってRACH受信機では最低限、16チップ分の受信データに対して相関出力を行うMFを用いて復調処理を行うことが可能であるといえるが、基地局のセル内の通信を行うには不十分であること、雑音の影響により確度の高い検出が行えない等の通信上の理由により、16チップ以上の受信データに対応したMFを用意する必要がある。

【0035】

上記従来のMFでは、コードレジスタにおいて、ロングコード、位相回転及びシグネチャコードの演算処理を既に施した符号コードを記憶しており、この符号コードを用いて受信データの復調処理を行っていた。本発明のRACH受信装置では、復調処理を二段階に分けて行うMFを用いる。すなわち第1の復調処理では、ロングコード及び位相回転分に対する復調処理を行い、第2の復調処理でシグネチャコードに対する復調処理を行うMFを用いる。

40

【0036】

具体的には、コードレジスタにはロングコード及び位相回転の演算処理を施した符号コードを記憶させておき、1チップ毎に受信データとの乗算処理、すなわち第1の復調処理を行う。この復調処理で得られた1チップ毎の乗算結果を16チップ置きに加算していき、それぞれの加算結果に対してシグネチャコードを乗算することで第2の復調処理を行い、第2の復調処理の処理結果を加算し、相関出力を行う。

このような処理を行うMFを用いることで、MF回路の大半を占める加算器の数を低減することができるため、結果的にRACH受信機の回路規模を縮小することができる。

50

【 0 0 3 7 】

本発明の第 1 の実施の形態に係る復調部 (M F) の構成について、図 1 及び図 7 を用いて説明する。図 1 は、本発明の第 1 の実施の形態 (以下、実施の形態 1 という) に係る復調部 (M F) のブロック図である。図 1 の M F は、4 倍オーバーサンプリングで取得した 2 5 6 チップ分の R A C H の複素変調受信データに対して、相関出力を行うものである。

本発明の実施の形態 1 に係る M F は、A / D 変換器 (図示せず) と、受信データレジスタ列 (1 0 2 4 タップの F / F) 1 2 と、コードレジスタ (2 5 6 タップの F / F) 1 3 と、コードレジスタ乗算部 (2 5 6 タップの乗算器) 1 4 と、コードレジスタ加算部 (加算器 1 5 個 * 1 6 * 4) 1 5 と、シグネチャレジスタ 1 6 - 1 及び 1 6 - 2 と、シグネチャ乗算部 (乗算器 1 6 個 * 4 組) 1 7 - 1 及び 1 7 - 2 と、シグネチャ加算部 (加算器 1 5 個 * 4 組) 1 8 - 1 及び 1 8 - 2 と、複素演算部 (加算器 2 個) 1 9 - 1 及び 1 9 - 2 とから構成される。

10

【 0 0 3 8 】

A / D 変換器は、R A C H 受信機のアンテナ (図示せず) で受信したアナログ信号を、アナログ信号の送信レートの 4 倍の速度でデジタル受信信号に変換する。ここでアナログ信号の送信速度は 4 M c p s であり、A / D 変換器は、同相成分 (I 成分) 及び直交成分 (Q 成分) の 1 ビットのアナログ信号に対し、それぞれ 4 倍の速度の 1 6 M b p s で多ビットのデジタル受信信号に変換する。

【 0 0 3 9 】

受信データレジスタ列 1 2 は、1 系列が直列に接続した 1 0 2 4 タップの F / F からなり、A / D 変換器から受信データが入力されると、各々の F / F に格納されている受信データを順次、次段の F / F にシフトする。

20

また、受信データレジスタ列 1 2 は、4 タップ置き of F / F に出力端子を有しており、サンプル時間毎に出力端子から受信データをコードレジスタ乗算部 1 4 にタップ出力する。受信データレジスタ列 1 2 は、同相成分ならびに直交成分の受信データを格納するため、上述した動作を行う F / F 列が 2 系列設けられている。

【 0 0 4 0 】

すなわち、受信データレジスタ列 1 2 は、4 倍オーバーサンプリングされた 2 5 6 チップ分の受信データを格納でき、サンプル時間毎に各チップにおける 2 5 6 個の受信データを出力する。

30

実施の形態 1 の受信データレジスタ列 1 2 は、F / F を直列接続した構成であるが、上述した受信データの格納機能を有するものであれば、他の構成、例えばメモリ等であってもよい。

【 0 0 4 1 】

コードレジスタ 1 3 は、1 系列が 2 5 6 タップの F / F からなり、受信データの変調時に用いられた変調符号コードのうち、ロングコード及び位相回転の演算処理を施したもの (以下、中途復調符号コードという) を 2 5 6 タップ分記憶しており、コードレジスタ乗算部 1 4 にタップ出力する。コードレジスタ 1 3 も、同相成分ならびに直交成分の中途復調符号コードを記憶するため、上述した動作を行う F / F 群が 2 系列設けられている。

実施の形態 1 の受信コードレジスタ 1 3 は、上述した中途復調符号コードを記憶できるものであれば、他の構成、例えばメモリ等であってもよい。実施の形態 1 のコードレジスタ 1 3 は、中途復調符号コードを生成する装置又は回路を用いてもよい。

40

【 0 0 4 2 】

コードレジスタ乗算部 1 4 は、1 系列が 2 5 6 個の乗算器からなり、受信データレジスタ列 1 2 から出力された各成分の受信データと、コードレジスタ 1 3 から出力された各成分の中途復調符号コードとの乗算を 2 5 6 タップ分行い、乗算結果をコードレジスタ加算部 1 5 に出力する。

コードレジスタ乗算部 1 4 では、相関演算処理のために各成分の受信データと各成分の中途復調符号コードの乗算を全ての組み合わせにおいて行うので、4 通りの乗算を行う必要がある。このため、上述した乗算処理を行う乗算器群が 4 系列設けられている。したがっ

50

てコードレジスタ乗算部 14 では、サンプル時間毎に $256 * 4 = 1024$ の乗算結果が出力される。

また各乗算は 256 タップ分のデータについて行われるため、コードレジスタ乗算部 14 では全部で $256 * 4 = 1024$ 個の乗算器が必要になる。

【0043】

コードレジスタ加算部 15 は、コードレジスタ乗算部 14 から出力された 4 種類の乗算結果に対して、それぞれの種類について 16 タップ毎の乗算結果を加算し、加算結果をシグネチャ乗算部 17 - 1 及び 17 - 2 に出力する。

図 7 は、コードレジスタ加算部 15 の構成ブロック図である。図 7 は 1 種類の乗算結果に対応して加算を行う構成部分を示したものであり、実際はコードレジスタ加算部 15 には図 7 で示す構成が 4 系列設けられている。

図 7 に示すように、1 種類の乗算結果に対して加算を行うためコードレジスタ加算部 15 は、15 個の加算器からなる回路群を 16 基設置した構成となっている。各回路群は 16 タップ毎の乗算結果を加算し、出力する。図 7 において、実線の枠で囲まれている部分が回路群である。

【0044】

また、図 7 において、各回路群の左端に記載されている数字は乗算結果のタップ番号を表しており、乗算結果のタップ番号には 0 ~ 255 が割り振られている。最上段の回路群は、0 番目から 16 番置ききのタップ番号を有する 16 個の乗算結果の総和を出力する。したがって 16 個の乗算結果に対する総和を求めるために、回路群は加算器を階層構造に配置

したことで 15 個の加算器を必要とする。

【0045】

以下、次段以降の回路群では、1 番目から 16 番置ききのタップ番号の乗算結果の総和、2 番目から 16 番置ききのタップ番号の乗算結果の総和...、を求めていくことになり、最終的に 16 個の総和が各回路群から出力されることになる。コードレジスタ加算部 15 では、図 7 に示した回路群の構成が全部で 4 系統必要になるため、加算器は $15 * 16 * 4 = 960$ 個必要となり、出力される加算結果は全部で $16 * 4 = 64$ 個となる。

実施の形態 1 のコードレジスタ加算部 15 では、各回路群における加算を加算器の階層順に時分割で行うようにしてもよい。

【0046】

シグネチャレジスタ 16 - 1 及び 16 - 2 は、受信データの変調時に用いられたシグネチャコードを記憶する。各シグネチャレジスタには異なるシグネチャコードが記憶されており、シグネチャレジスタ 16 - 1 はシグネチャ乗算器 17 - 1 に、シグネチャレジスタ 16 - 2 はシグネチャ乗算器 17 - 2 に、それぞれが記憶している 16 タップ長のシグネチャコードを出力する。

実施の形態 1 のシグネチャレジスタ 16 - 1 及び 16 - 2 は、シグネチャコードを生成する装置又は回路を用いてもよい。

【0047】

シグネチャ乗算器 17 - 1 及び 17 - 2 は、コードレジスタ加算部 15 から出力された $16 * 4$ の加算結果及びシグネチャレジスタ 16 - 1 及び 16 - 2 から出力されたシグネチャコードの乗算を行い、乗算結果をシグネチャ加算部 18 - 1 及び 18 - 2 に出力する。

具体的には、シグネチャ乗算器 17 - 1 では、加算結果とシグネチャレジスタ 16 - 1 で記憶されているシグネチャコードとの乗算結果をシグネチャ加算部 18 - 1 に、シグネチャ乗算器 17 - 2 では、加算結果とシグネチャレジスタ 16 - 2 で記憶されているシグネチャコードとの乗算結果をシグネチャ加算部 18 - 2 にそれぞれ出力する。

【0048】

シグネチャ乗算部 17 - 1 及び 17 - 2 では、コードレジスタ加算部 15 から出力されたそれぞれが 16 個ある 4 種類の乗算結果に対して、各種類の各乗算結果ごとにシグネチャコードを 1 チップずつ乗算する。また、シグネチャ乗算部 17 - 1 及び 17 - 2 はそれぞれ、 $16 * 4 = 64$ 個の乗算器で構成される。

【0049】

シグネチャ加算部 18 - 1 及び 18 - 2 は、シグネチャ乗算部 17 - 1 及び 17 - 2 から出力された 4 種類の 16 個のシグネチャコードとの乗算結果に対して、各種類毎の乗算結果の総和を求め、出力する。

具体的には、シグネチャ加算部 18 - 1 は、シグネチャ乗算部 17 - 1 から、シグネチャ加算部 18 - 2 は、シグネチャ乗算部 17 - 2 から出力された乗算結果に対する

10

総和を求め、出力する。シグネチャ加算部 18 - 1 及び 18 - 2 はそれぞれ、図 7 で示されたコードレジスタ加算部 15 における各回路群が 4 組配置された構成からなり、加算器は $15 * 4 = 60$ 個必要となる。

【0050】

複素演算部 19 - 1 及び 19 - 2 は、シグネチャ加算部 18 - 1 及び 18 - 2 から出力された 4 種類の加算結果に対して加減算処理による複素演算を行い、演算結果を相関出力として出力する。

具体的には、複素演算部 19 - 1 はシグネチャ加算部 18 - 1 から、複素演算部 19 - 2 はシグネチャ加算部 18 - 2 から出力された加算結果に対して複素演算を行う。複素演算部 19 - 1 及び 19 - 2 はそれぞれ、加算器 2 個で構成される。

20

【0051】

本発明の実施の形態 1 の MF において扱うデジタル受信信号は、復調処理を行うために通常 8 ビットのデータとして処理を行う必要があるが、RACH の Preamble 部の検出には 4 ビットデータとして扱えば十分である。

よって受信データレジスタ列 12 において 4 ビットの受信データを格納する場合、F / F は全部で $1024 * 4 = 4096$ 個必要となる。すなわち 1 タップ = 4 ビットとなる。

同様にコードレジスタ 13 においても 1 種類の中途復調符号コードを記憶するためには、 $256 * 4 = 1024$ ビットの容量が必要である。さらに実施の形態 1 の MF を構成する各装置で用いる加算器及び乗算器は、4 ビット以上の演算に対応していなければならない

30

【0052】

上述した本発明の実施の形態 1 に係る MF を構成する各装置は、それぞれ 16 MHz の速度で動作する。

また、本発明の実施の形態 1 に係る MF において、シグネチャレジスタ 16、シグネチャ乗算器 17、シグネチャ加算器 18 及び複素演算部 19 は、変調の際に用いられたシグネチャコードの種類数分設置する必要がある。

【0053】

次に、本発明の実施の形態 1 の MF の動作について図 1 及び図 7 を用いて説明する。

RACH 受信機のアンテナにおいて受信された複素変調アナログ信号は、A / D 変換器において同相成分ならびに直交成分のデジタル受信信号に変換される。A / D 変換器は、4 Mcps の速度で送信されるアナログ信号に対して、4 倍の速度の 16 Mbps でデジタル受信信号に変換する。

40

【0054】

A / D 変換器で変換された各成分のデジタル受信信号は、受信データレジスタ列 12 に入力される。デジタル受信信号が入力されると受信データレジスタ列 12 では、各 F / F に格納されている受信データが次段にシフトされ、4 タップ毎に設けられている出力端子から受信データが出力される。すなわちサンプル時間毎に、受信データレジスタ列 12 は各成分について 256 チップの受信データを出力している。

また、コードレジスタ 13 は、記憶している各成分の中途復調符号コードをサンプル時間

50

毎に256チップ分出力する。

【0055】

受信データレジスタ列12から出力された各成分の受信データ及びコードレジスタ13から出力された各成分の中途復調符号コードは、コードレジスタ乗算部14に出力される。同相成分、直交成分の受信データをそれぞれ R_I 、 R_Q 、同相成分、直交成分の拡散符号をそれぞれ C_I 、 C_Q とすると、複素変調方式で変調された受信データを復調するためには、 $R_I * C_I$ 、 $R_I * C_Q$ 、 $R_Q * C_I$ 、 $R_Q * C_Q$ の乗算結果が必要となる。各々の乗算結果を得るためにコードレジスタ乗算部14では、各々の乗算を256チップ分行える乗算群が4系列設けられている。

コードレジスタ乗算部14の各乗算群で乗算が行われると、それぞれが256チップ分を有する4種類の乗算結果がコードレジスタ加算部15に出力される。以上で第1の復調処理が完了する。

【0056】

コードレジスタ加算部15では上述した通り、個々が15個の加算器からなる16基の回路群によって、1種類の乗算結果を16タップ置きに加算していき、各回路群から16個の総和が出力される。すなわち各回路群では、加算の開始チップ位置が異なる16個置きのチップ別の乗算結果の総和が16個算出されることになる。これらの動作を4種類の乗算結果全てに対して行うため、全体として $16 * 4 = 64$ の加算結果がシグネチャ乗算部17-1及び17-2に出力される。

【0057】

シグネチャ乗算部17-1、17-2に出力された、それぞれが16個ある4種類の加算結果は、シグネチャレジスタ16-1、16-2に記憶されているシグネチャコードとそれぞれ乗算が行われる。シグネチャコードはチップ長16の1ビットのデータであり、各シグネチャ乗算部において、各種別の加算結果との乗算が行われる。シグネチャ乗算部17-1、17-2では $16 * 4 = 64$ 個の乗算結果がシグネチャ加算部18-1、18-2にそれぞれ出力される。シグネチャ乗算部17-1及び17-2における乗算処理によって、第2の復調処理が行われたことになる。

【0058】

コードレジスタ加算部15から出力された加算結果はそれぞれ、受信データと中途復調符号コードとの乗算結果を16チップ毎に加算したものである。また1種類中の16個の加算結果は、それぞれ加算の開始チップ位置が異なるものであるため、それぞれの加算結果に対し対応するチップ位置のシグネチャコードのビットデータと乗算を行うことで、最終的には受信データをロングコード、位相回転、シグネチャコードにより復調し、16チップ毎に加算することと同様の結果が得られる。

【0059】

シグネチャ乗算部17-1、17-2における各種別の乗算結果は、シグネチャ加算部18-1及び18-2において、各種別の乗算結果の総和が求められる。上述したようにシグネチャ加算部18-1及び18-2は、図7のコードレジスタ加算部における回路群が4個設けられており、それぞれの回路群で種類別の乗算結果の総和を算出している。シグネチャ加算部18-1及び18-2における加算処理によって、256チップ分の受信データ復調処理結果の総和が、種類毎に得られることになる。

【0060】

シグネチャ加算部18-1、18-2の加算結果は、複素演算部19-1、19-2にそれぞれ出力される。複素演算部19-1及び19-2では、種類毎の復調処理結果の総和に基づいて複素演算を行い、演算結果を相関出力として出力する。

同相成分と直交成分の復調受信データ T_I 、 T_Q は、先に定義した記号を用いると、下式の通りに表される。

$$T_I = R_I * C_I - R_Q * C_Q \quad \dots (1)$$

$$T_Q = R_Q * C_I + R_I * C_Q \quad \dots (2)$$

(1)(2)式で表される演算式を実現するため、複素演算部19-1及び19-2は2

10

20

30

40

50

個の加算器を用いて構成される。

【 0 0 6 1 】

複素演算部 1 9 - 1 及び 1 9 - 2 における加算処理によって、各シグネチャコードで変調された同相成分及び直交成分の受信データの 2 5 6 チップ分の相関出力を得ることができる。相関出力はサンプルタイミング毎に出力されており、サンプルタイミング毎の相関出力に基づいて最適なタイミングを検出でき、さらに R A C H の Preamble 部を検出することができる。

【 0 0 6 2 】

本発明の実施の形態 1 に係る M F では、複素変調された R A C H の受信データに対して、ロングコード及び位相回転の演算処理を施した符号コードを乗算する第 1 の復調処理、乗算結果を 1 6 チップ毎に加算し、加算結果に対してシグネチャコードを乗算する第 2 の復調処理の二段階に分けて復調処理を行う構成としたことにより、従来の M F と比較して必要な加算器の総数を低減することができる。

10

【 0 0 6 3 】

本発明の実施の形態 1 に係る M F で用いる加算器の数は、レジスタコード加算部 1 5 において $1 5 * 1 6 * 4 = 9 6 0$ 個、シグネチャ加算部 1 8 において $1 5 * 4 = 6 0$ 個、複素演算部 1 9 において 2 個である。変調の際に用いられたシグネチャコードの種類数が n であるとすれば、本発明の実施の形態 1 の M F で用いる加算器の総数は $9 6 0 + 6 2 * n$ で表される。従来の M F では、積和演算器 9 4 において $2 5 5 * 4 = 1 0 2 0$ 個、加算器 9 9 において 2 個の加算器を要するため、加算器の総数は $1 0 2 2 * n$ となる。

20

【 0 0 6 4 】

単純に加算器の総数で比較すれば、シグネチャコードを 1 種類だけ用いる場合、本発明の実施の形態 1 の M F の加算器使用数は従来と同じであるが、シグネチャコードの種類が増えるにつれ、その差は顕著となる。例えば 8 種類のシグネチャコードによってアナログ信号が変調された場合、本発明の実施の形態 1 の M F は従来の M F と比較して、必要な加算器の総数の約 1 8 % ですむ。

【 0 0 6 5 】

従来の M F では、コードレジスタにはロングコード、位相回転及びシグネチャコードの演算処理を施した符号コードをあらかじめ記憶しておき、この符号コードを用いて積和演算部で積和演算を行っていた。このため用いるシグネチャの種類数が増える毎に、個別にコードレジスタ及び積和演算部を設けなければならなかった。

30

本発明の実施の形態 1 の M F では、シグネチャによる復調処理を個別に第 2 の復調処理として行うこととしたので、シグネチャの種類数によらず、コードレジスタ 1 3 及びコードレジスタ乗算部 1 4、最も加算器を使用するコードレジスタ加算部 1 5 は 1 組ずつで済み、シグネチャの種類毎にシグネチャレジスタ 1 6、シグネチャ乗算部 1 7、シグネチャ加算部 1 8 及び復調演算部 1 9 を設けるだけでよい。

【 0 0 6 6 】

本発明の実施の形態 1 に係る M F によれば、R A C H の受信データに対する復調処理を、ロングコード及び位相回転に関する第 1 の復調処理、シグネチャコードに関する第 2 に復調処理との二段階に分けて行うような構成としたため、回路規模を縮小できる効果がある。とりわけ M F 回路の大半を占める加算器の数を低減することができるため、M F 回路の回路規模を大幅に縮小でき、R A C H 受信装置の回路規模を縮小できる効果がある。また従来と比較して演算速度に変化なく M F 回路規模を縮小できることにより、消費電力を低減できる効果がある。

40

【 0 0 6 7 】

図 2 は、本発明の第 2 の実施の形態に係る復調部のブロック図である。以下、本発明の第 2 の実施の形態（以下、実施の形態 2 という）に係る復調部（M F）の構成及び動作について、図 1 の M F との相違点を中心に図 2 を用いて説明する。

図 2 の M F は、レジスタコード加算部 2 5 とシグネチャ乗算器 2 7 との間に複素演算部 2 9 を設けており、シグネチャ加算部 2 8 - 1 及び 2 8 - 2 の出力結果がそのまま相関

50

出力となる点が図1のMFと異なる。

【0068】

RACHで用いるシグネチャコードは複素数ではないため、シグネチャコードによる復調処理前に複素演算を行っても受信データの復調結果に影響はない。図2のMFはこの性質を利用し、図1のMFでシグネチャ加算部による加算結果に基づいて複素演算を行っていた複素演算部を、シグネチャ乗算部の前に設け、シグネチャコードによる復調処理前に複素演算処理を行うようにしたものである。

【0069】

図2のMFでは、A/D変換器、受信データレジスタ列22～コードレジスタ加算部25の構成及び動作は、図1のMFと同じである。コードレジスタ加算部25から出力される、それぞれが256チップ分を有する4種類の加算結果は、複素演算部29に出力される。

10

図2の複素演算部29は、種類が異なるが、同じ開始チップ位置から16チップ置きに加算された加算結果同士で復調演算を行うため、同相成分及び直交成分の復調演算を行う2個の加算器が16組必要になる。すなわち複素演算部29では上述した複素演算式(1)(2)が、 $2 * 16$ の加算器によって実現される。

【0070】

複素演算部29から出力される16組の同相成分及び直交成分の演算結果は、シグネチャ乗算部27-1及び27-2に出力され、それぞれ対応するシグネチャコードとの乗算が行われる。

20

シグネチャ乗算部27-1及び27-2はそれぞれ、全ての同相成分及び直交成分の演算結果とシグネチャコードとの乗算を行うため、乗算器が $16 * 2$ 個必要となる。同相成分及び直交成分の演算結果は、それぞれの演算結果に対し対応するチップ位置のシグネチャコードのビットデータと乗算されるため、シグネチャコードによる復調処理は正確に行われる。

【0071】

シグネチャ乗算部27-1、27-2では $16 * 2 = 32$ 個の乗算結果がシグネチャ加算部28-1、28-2にそれぞれ出力される。シグネチャ乗算部27-1、27-2における16組の同相成分及び直交成分の乗算結果は、シグネチャ加算部28-1及び28-2において、各成分毎の乗算結果の総和が得られる。シグネチャ加算部28-1及び28-2は、図7のコードレジスタ加算部における回路群が2個設けられており、それぞれの回路群で成分別に乗算結果の総和を算出し、算出結果を同相成分及び直交成分の相関出力として出力する。

30

【0072】

上述した本発明の実施の形態2に係るMFを構成する各装置は、それぞれ16MHzの速度で動作する。

また、本発明の実施の形態2に係るMFにおいて、シグネチャレジスタ26、シグネチャ乗算器27、シグネチャ加算器28は、変調の際に用いられたシグネチャコードの種類数分設置する必要がある。その他の各装置の構成及び動作については、図1のMFと同様である。

40

【0073】

本発明の実施の形態2に係るMFで用いる加算器の数は、レジスタコード加算部25において $15 * 16 * 4 = 960$ 個、複素演算部29において2個、シグネチャ加算部28において $15 * 2 = 30$ 個である。変調の際に用いられたシグネチャコードの種類数が n であるとすれば、本発明の実施の形態2のMFで用いる加算器の総数は $962 + 30 * n$ で表され、実施の形態1のMFで用いる加算器数より少ないことが明らかである。

【0074】

本発明の実施の形態2に係るMFによれば、シグネチャによる復調処理前に、受信データに対して複素演算を行う構成にしたことにより、さらに使用する加算器の数を低減でき、MF回路の回路規模を一層縮小できて、RACH受信装置の回路規模を縮小できる効果

50

がある。また、演算速度に変化なくMF回路規模を縮小できることにより、消費電力を低減できる効果がある。

【0075】

図3は、本発明の第3の実施の形態に係る復調部(MF)のブロック図である。以下、本発明の第3の実施の形態(以下、実施の形態3という)に係るMFの構成及び動作について、図2のMFとの相違点を中心に図3を用いて説明する。

図3のMFでは、A/D変換器31-1、31-2において16Mbpsの速度でそれぞれ変換された同相成分と直交成分のデジタル受信データを、セレクタ310で32Mbpsの速度で交互に切り替えて受信データレジスタ列32に出力する。

【0076】

受信データレジスタ列32は、直列に接続した2048タップのF/Fからなり、セレクタ310から受信データが入力されると、各々のF/Fに格納されている受信データを順次、次段のF/Fにシフトする。また受信データレジスタ列32は、8タップ置きにF/Fに出力端子を有しており、サンプル時間の半分、つまり32Mbpsの速度で出力端子から受信データをコードレジスタ乗算部34にタップ出力する。

【0077】

すなわち、受信データレジスタ列32には、セレクタ310から32Mbpsの速度で出力される同相成分及び直交成分の受信データが交互にF/Fに入力、シフトされる。また受信データレジスタ列32は、4倍オーバーサンプリングされた256チップ分の同相成分及び直交成分の受信データを格納でき、32Mbpsの速度で各チップにおける256

【0078】

コードレジスタ33は、図1及び図2のコードレジスタと同様、同相成分及び直交成分の中途復調符号コードを記憶している256タップのF/Fを2系列有しており、それぞれのF/Fは記憶している中途復調コードをレジスタ乗算部34に16Mbpsの速度で出力する。

【0079】

コードレジスタ乗算部34は、256個の乗算器からなる乗算器群を2系列有し、受信データレジスタ列12から出力された各成分の受信データと、コードレジスタ33から出力された各成分の中途復調符号コードとの乗算を32Mbpsの速度で256タップ分行い、乗算結果をコードレジスタ加算部35に出力する。

【0080】

上述した通り、コードレジスタ乗算部34には、受信データレジスタ列32から32Mbpsの速度で各成分の受信データが交互に入力される。例えば、あるタイミングで受信データレジスタ列32から同相成分の受信データ R_I が入力されると、コードレジスタ乗算部34では $R_I * C_I$ 、 $R_I * C_Q$ の乗算が行われ、1/2サンプル時間後に直交成分の受信データ R_Q が入力されるので、さらに $R_Q * C_I$ 、 $R_Q * C_Q$ の乗算が行われる。これらの乗算は1サンプル時間内に完了し、しかも復調の際に必要な受信データ及び拡散符号の積の全ての組み合わせが得られるため、乗算器群は2系列あれば足りる。

【0081】

コードレジスタ乗算部34から出力された、それぞれが256タップ分を有する4種類の乗算結果は、コードレジスタ加算部35に入力される。上述したように、コードレジスタ乗算部34は4種類の乗算結果のうち、2種類ずつを32Mbpsの速度で交互に出力するので、コードレジスタ加算部35は図7のコードレジスタ加算部における構成が2組設けられ、32Mbpsの速度で $16 * 2 = 32$ 個の加算結果を出力する。コードレジスタ加算部35の加算処理については、図1及び図2のMFにおけるコードレジスタ加算部と同様である。

【0082】

コードレジスタ加算部35から出力された、それぞれが16個ある4種類の加算結果は、複素演算部39に入力され複素演算が行われる。複素演算部39は図2の複素演算部29

10

20

30

40

50

と同一の構成であるが、32Mbpsの速度で演算を行う。

複素演算を行うには4種類の受信データ及び拡散符号の積の組み合わせが必要であるが、既述したように全ての組み合わせが揃うには1サンプル時間が経過しなければならないため、複素演算部39は16Mbpsの速度で16組の同相成分及び直交成分の複素演算結果を出力することになる。

【0083】

複素演算部39から出力される16組の同相成分及び直交成分の演算結果は、シグネチャ乗算器37-1及び37-2に出力され、以後16Mbpsの速度においてシグネチャによる復調処理及び相関出力が行われる。シグネチャレジスタ36、シグネチャ乗算部37及びシグネチャ加算部38の構成及び動作は、図2のMFにおいて対応する装置と同一であるので、説明は省略する。

また、本発明の実施の形態3に係るMFにおいても、シグネチャレジスタ36、シグネチャ乗算器37、シグネチャ加算器38は、変調の際に用いられたシグネチャコードの種類数分設置する必要がある。

【0084】

図3のMFでは、中途復調符号コードによる復調処理を行う装置において処理速度を2倍にしたことにより、処理速度を上げた装置の消費電力は図2のMFと比較して2倍となる。一方、回路規模では図2のMFと比較して、コードレジスタ乗算部34において乗算器群を4系列から2系列に半減、乗算器の数で $256 * 2 = 512$ 個、コードレジスタ加算部35において加算器を $15 * 16 * 2 = 480$ 個低減できる。図3のMFで用いる加算器の総数は、 $480 + 30 * n$ と表される。

【0085】

本発明の実施の形態3に係るMFによれば、中途復調符号コードによる復調処理を行う装置の処理速度を上げ、時分割によって復調処理を行う構成にしたことにより、中途復調符号コードによる復調処理を行う装置における乗算器及び加算器の数を低減できるため、MF回路の回路規模を一層縮小でき、RACH受信装置の回路規模を縮小できる効果がある。

【0086】

図4は、本発明の第4の実施の形態に係る復調部(MF)のブロック図である。以下、本発明の第4の実施の形態(以下、実施の形態4という)に係るMFの構成及び動作について、図3のMFとの相違点を中心に図4を用いて説明する。図4は、本発明の実施の形態3のMFにおいて、4種類のシグネチャによる復調処理を行う装置の処理速度を上げ、時分割によって復調処理を行うようにしたものである。

【0087】

図4のMFにおいて、A/D変換器、受信データレジスタ列42~複素演算部49の構成及び動作については、図3のMFにおいて対応する装置と同一であるので、説明は省略する。すなわち図4のMFにおいても図3のMFと同様、32Mbpsの速度で同相成分及び直交成分の受信データに対して中途復調符号コードによる復調処理を時分割で行い、16チップ毎の加算処理を行った後、それぞれの加算結果に対して複素演算を行っている。複素演算部49からは、16Mbpsの速度で16組の同相成分及び直交成分の複素演算結果が出力される。

【0088】

複素演算部49から出力された16組の同相成分及び直交成分の複素演算結果は、シグネチャ乗算部47に入力される。シグネチャ乗算部47の構成及び動作は図3のシグネチャ乗算部37と同一であるが、処理速度は4倍の64MHzである。

またシグネチャレジスタ46-1~46-4は各々が記憶しているシグネチャコードを64MHzの速度でシグネチャ乗算部47に時分割で切り換えて出力している。シグネチャレジスタ46-1~46-4は、このような動作を循環して行っている。

したがってシグネチャ乗算部47は、同一の複素演算結果に対し、64MHzの速度でそれぞれ異なるシグネチャコードとの乗算を行うことで、一つの乗算部によって複数の

10

20

30

40

50

シグネチャによる復調処理を行っている。

【 0 0 8 9 】

シグネチャ乗算部 4 7 から出力される 1 6 組の同相成分及び直交成分の乗算結果は、シグネチャ加算部 4 8 において各成分の総和が算出され、相関出力として出力される。シグネチャ加算部 4 8 の構成及び動作は図 3 のシグネチャ加算部 3 8 と同一であるが、処理速度は 6 4 M H z であるため、シグネチャの種類別に相関出力を出力することができる。

【 0 0 9 0 】

図 4 の M F では、シグネチャによる復調処理を行う装置において処理速度をシグネチャの種類数倍上げたことにより、シグネチャ乗算部 4 7 及びシグネチャ加算部 4 8 の設置数を低減できる。

10

図 4 の M F では、4 種類のシグネチャによる復調処理を 1 組のシグネチャ乗算部 4 7 及びシグネチャ加算部 4 8 で対応しているため、図 3 の M F で 4 種類のシグネチャを扱う場合と比較して乗算器を $1 6 * 2 * 3 = 9 6$ 個、加算器を $1 5 * 2 * 3 = 9 0$ 個低減できる。

本発明の実施の形態 4 に係る M F において、シグネチャの種類数に応じて、シグネチャレジスタ、シグネチャ乗算部及びシグネチャ加算部の組を並列的に設置してもよい。これらの組の装置の処理速度は、この装置に組に含まれるシグネチャの種類数に合わせる事が好適である。

【 0 0 9 1 】

20

本発明の実施の形態 4 に係る M F によれば、シグネチャによる復調処理を行う装置の処理速度をシグネチャの種類数倍に上げ、時分割によって複数種のシグネチャによる復調処理を行う構成にしたことにより、シグネチャによる復調処理を行う装置における乗算器及び加算器の数を低減でき、更に M F 回路の回路規模を一層縮小できて、R A C H 受信装置の回路規模を縮小できる効果がある。

【 0 0 9 2 】

図 5 は、本発明の第 5 の実施の形態に係る復調部 (M F) のブロック図である。以下、本発明の第 5 の実施の形態 (以下、実施の形態 5 という) に係る M F の構成及び動作について、図 4 の M F との相違点を中心に図 5 を用いて説明する。図 5 は、本発明の実施の形態 4 の M F において、コードレジスタ 5 3 及びコードレジスタ乗算部 5 4 の処理速度を上げ、時分割によって復調処理を行うようにしたものである。

30

【 0 0 9 3 】

図 5 の M F において、A / D 変換器、受信データレジスタ列 5 2 の構成及び動作については図 4 の M F において対応する装置と同一であるので、説明は省略する。受信データレジスタ列 5 2 は、3 2 M b p s の速度で 2 5 6 チップ分の同相成分及び直交成分の受信データを交互に切り替えてコードレジスタ乗算部 5 4 に出力することができる。

【 0 0 9 4 】

一方、ロングコードレジスタ 5 3 - 1、5 3 - 2 はそれぞれ、同相成分の中途復調符号コードを記憶する同相成分コードレジスタ 5 3 - 1 及び直交成分の中途復調符号コードを記憶する直交成分コードレジスタ 5 3 - 2 とが設けられており、それぞれ 6 4 M H z の速度で記憶している中途復調符号コードをコードレジスタ乗算部 5 4 に交互に切り替えて出力する。同相成分コードレジスタ 5 3 - 1 及び直交成分コードレジスタ 5 3 - 2 はそれぞれ、2 5 6 タップの F / F で構成されている。

40

【 0 0 9 5 】

コードレジスタ乗算部 5 4 は、2 5 6 個の乗算器からなる乗算器群を 1 系列有し、各成分の受信データ及び各成分の中途復調符号コードとの乗算を 6 4 M H z の速度で 2 5 6 タップ分行い、乗算結果をコードレジスタ加算部 5 5 に出力する。

受信データレジスタ列 5 2 からは 3 2 M b p s の速度で各成分の受信データが交互に出力されるが、各成分の受信データが出力される間に同相成分コードレジスタ 5 3 - 1 及び直交成分コードレジスタ 5 3 - 2 からはそれぞれ各成分の中途復調符号コードが出力される

50

。よって1/4サンプル時間毎に受信データ及び中途復調符号コードとの乗算が1通りずつ行われ、1サンプル時間で全ての組み合わせについての乗算結果が得られるため、乗算器群は1系列で十分である。

【0096】

コードレジスタ乗算部54から出力された、それぞれが256タップ分を有する4種類の乗算結果は、コードレジスタ加算部35に入力される。上述したように、コードレジスタ乗算部54は4種類の乗算結果のうち、1種類ずつ64Mbpsの速度で交互に出力するので、コードレジスタ加算部55は図7のコードレジスタ加算部における構成が1組設けられ、64Mbpsの速度で16個の加算結果を出力する。コードレジスタ加算部55の加算処理については、図1～図4のMFにおけるコードレジスタ加算部と同様である。

10

【0097】

コードレジスタ加算部55から出力された、それぞれが16個ある4種類の加算結果は、複素演算部59に入力され複素演算が行われる。複素演算部59は図4の複素演算部49と同一の構成であるが、64Mbpsの速度で演算を行う。

複素演算を行うには4種類の受信データ及び拡散符号の積の組み合わせが必要であるが、既述したように全ての組み合わせが揃うには1サンプル時間が経過しなければならないため、複素演算部59は16Mbpsの速度で16組の同相成分及び直交成分の複素演算結果を出力することになる。

【0098】

複素演算部59から出力される16組の同相成分及び直交成分の演算結果は、シグネチャ乗算器57に出力され、以後64Mbpsの速度において複数種のシグネチャによる復調処理及び相関出力が行われる。シグネチャレジスタ56-1～56-4、シグネチャ乗算部57及びシグネチャ加算部58の構成及び動作は、図4のMFにおいて対応する装置と同一であるので、説明は省略する。

20

図5のMFにおいて、シグネチャの種類数に応じて、シグネチャレジスタ、シグネチャ乗算部及びシグネチャ加算部の組を並列的に設置してもよい。これらの組の装置の処理速度は、この装置の組に含まれるシグネチャの種類数に合わせる事が好適である。

【0099】

図5のMFでは、同相成分コードレジスタ53-1及び直交成分コードレジスタ53-2を64MHzの速度で交互に切り替えてコードレジスタ乗算部54に出力し、コードレジスタ乗算部54において処理速度を64MHzにしたことにより、コードレジスタ乗算部54において乗算器群を2系列から1系列、乗算器の数で256個、コードレジスタ加算器55において加算器を15*16=240個低減できる。

30

【0100】

本発明の実施の形態5に係るMFによれば、コードレジスタ53及びコードレジスタ乗算部54の処理速度を上げ、時分割によって復調処理を行う構成にしたことにより、コードレジスタ乗算部54及びコードレジスタ加算部53で用いる乗算器及び加算器の数を低減でき、MF回路の回路規模を一層縮小できて、RACH受信装置の回路規模を縮小できる効果がある。

40

【0101】

図6は、本発明の第6の実施の形態に係る復調部(MF)のブロック図である。以下、本発明の第6の実施の形態(以下、実施の形態6という)に係るMFの構成及び動作について、図1～図5のMFとの相違点を中心に図6を用いて説明する。図6のMFは、受信データに対しまず位相回転及び複素演算処理を行い、複素演算結果に対してロングコードによる復調処理及びシグネチャによる復調処理を行い、相関出力を行うものである。

【0102】

図6のMFにおいて、A/D変換器で変換された同相成分及び直交成分の受信データは、まず複素乗算器611に入力される。複素乗算器611には位相回転レジスタ612で記憶されている同相成分及び直交符号の位相回転符号も出力されており、複素乗算器611

50

はこれらの複素演算を行い、各成分の複素演算結果を出力する。

【 0 1 0 3 】

図 8 は、複素乗算器 6 1 1 の構成ブロック図である。図 8 の構成ブロック図において、I、Q は同相成分と直交成分の受信データを、i、q は、同相成分と直交成分の位相回転符号をそれぞれ示している。

また図 8 に示す複素乗算器 6 1 1 の回路構成は、複素演算式 (1) (2) を実現するものであることに他ならない。よって複素乗算器 6 1 1 は位相回転処理を行うと同時に、受信データの複素演算処理も行っている。

【 0 1 0 4 】

複素乗算器 6 1 1 から出力された各成分の複素演算結果のうち、同相成分の複素演算結果は受信データレジスタ列 6 2 - 1 に、直交成分の複素演算結果は受信データレジスタ列 6 2 - 2 にそれぞれ出力される。

以後、同相成分の複素演算結果はコードレジスタ乗算器 6 4 - 1 において、コードレジスタ 6 3 - 1 に記憶されている同相成分のロングコードとの乗算が行われ、乗算結果はさらにコードレジスタ加算器 6 5 - 1 において 16 チップ毎の加算が行われることによりロングコードによる復調処理が完了し、16 個の加算結果が出力される。直交成分の複素演算結果においても、対応する装置においてロングコードによる復調処理が行われる。

【 0 1 0 5 】

図 6 の MF において、受信データレジスタ列 6 2、コードレジスタ 6 3、コードレジスタ乗算部 6 4、コードレジスタ加算部 6 5 はそれぞれ、図 1 の MF の対応する各装置の 1 系列の回路群を有する構成となっている。受信データは既に複素演算処理が成されており、各成分の複素演算結果に対してロングコードによる復調処理を行えばよいため、各装置は 1 系列の回路群で足りる。

【 0 1 0 6 】

コードレジスタ加算部 6 5 - 1、6 5 - 2 から出力された 16 個の各成分の加算結果は、シグネチャ乗算部 6 7 - 1、6 7 - 2 にそれぞれ出力される。同相成分の複素演算結果の加算結果は、シグネチャ乗算部 6 5 - 1 でシグネチャレジスタ 6 6 に記憶されているシグネチャコードとの乗算が行われ、さらに乗算結果はシグネチャ加算部 6 8 - 1 において総和が求められ、結果を同相成分の相関出力として出力する。直交成分の複素演算結果の加算結果も、対応する装置において同様の方法により処理され、シグネチャ加算部 6 8 - 2 から直交成分の相関出力として出力される。

図 6 の MF において、シグネチャ乗算部 6 7、シグネチャ加算部 6 8 は、図 1 の MF の対応する各装置の 1 系列の回路群を有する構成となっている。

【 0 1 0 7 】

図 6 の MF を構成する各装置は、それぞれ 16 MHz の速度で動作する。また、図 6 の MF において、シグネチャレジスタ 6 6、シグネチャ乗算部 6 7 - 1 及び 6 7 - 2、シグネチャ加算部 6 8 - 1 及び 6 8 - 2 はそれぞれ、変調の際に用いられたシグネチャコードの種類数分設置する必要がある。

また図 6 の MF において、図 3 ~ 図 5 の MF で説明したように、ロングコードによる復調処理又はシグネチャによる復調処理を時分割処理で行うよう、各装置の構成及び処理速度を変更してもよい。

【 0 1 0 8 】

図 6 の MF では、同相成分及び直交成分の受信データに対し、まず複素乗算器 6 1 1 において位相回転処理及び複素演算処理を行ったのち、得られた各成分の複素演算結果に対してロングコードによる復調処理及びシグネチャによる復調処理を行うことにより、図 2 の MF と比較して、コードレジスタ乗算部 6 4 において乗算器群を 4 系列から 2 系列、乗算器の数で 5 1 2 個、コードレジスタ加算部 6 5 において加算器を $15 * 16 * 2 = 480$ 個、シグネチャ乗算部 6 7 において乗算器を $16 * 2 = 32$ 個、シグネチャ加算部 6 8 において加算器を $15 * 2 = 30$ 個低減できる。またシグネチャの種類数が n 個である場合、図 6 の MF で用いられる加算器の総数は $482 + 30 * n$ で表される。

10

20

30

40

50

図6のMFでは、処理速度が同じである図2のMFと比較して、乗算器及び加算器の数を低減することができるため、図3～図5で説明したような時分割処理を行う構成にすることで、図3～図5よりもさらに乗算器及び加算器の数を低減できることが明らかである。

【0109】

本発明の実施の形態6に係るMFによれば、受信データに対して位相回転処理及び複素演算処理を行った後に、ロングコードによる復調処理及びシグネチャによる復調処理を行う構成にしたことにより、MF全体で用いる乗算器及び加算器の数を低減できるため、MF回路の回路規模を縮小でき、RACH受信装置の回路規模を縮小できる効果がある。また、従来と同じ演算速度でMF回路規模を縮小できることにより、消費電力を低減できる効果がある。

10

【0110】

本発明のRACH受信装置の復調部(MF)によれば、従来と比較してMFの回路規模を縮小できることにより、MF回路で用いられるLSIの価格を低減できる効果がある。また、本発明のMFでは、実施の形態3から実施の形態5において、MFを構成する装置の処理速度を上げて時分割処理を行うMFについて説明したが、現状のCMOSでは100Mbpsの処理速度を実現しているため、将来的にも問題なく実施できるものである。

【0112】

【発明の効果】

本発明によれば、ロングコード、位相回転情報及びシグネチャによりスペクトラム拡散された受信信号を復調するRACH受信装置において、受信信号とロングコード及び位相回転情報にて演算された第1の逆拡散符号とを第1の乗算手段で乗算し、第1の乗算手段から出力される複数の乗算結果を特定間隔で第1の加算手段により加算し、第1の加算手段から出力される複数の加算結果とシグネチャの第2の逆拡散符号とを第2の乗算手段で乗算し、第2の乗算手段から出力される乗算結果を第2の加算手段で加算して相関出力を得るようにし、第1の加算手段と第2の乗算手段との間に、受信信号に対する複素演算を行う複素演算手段を設けたRACH受信装置としているので、第1の逆拡散符号を用いた復調処理と第2の逆拡散符号を用いた復調処理とを二段階に分けて行うことで、加算器の総数を低減して回路規模を縮小し、消費電力を低減することができる効果がある。

20

【0113】

本発明によれば、ロングコード、位相回転情報及びシグネチャによりスペクトラム拡散された受信信号を復調するRACH受信装置において、受信信号に対して複素演算処理を複素演算処理手段で行い、複素演算結果におけるI相成分及びQ相成分とロングコードの第1の逆拡散符号との乗算を第1の乗算手段で各々行い、第1の乗算手段から各々出力されるI相成分及びQ相成分の複数の乗算結果を特定間隔で第1の加算手段により各々加算し、第1の加算手段から各々出力される複数の加算結果とシグネチャの第2の逆拡散符号とを第2の乗算手段で乗算すると、第2の乗算手段から出力される乗算結果を第2の加算手段で加算して相関出力を得るものであり、回路規模を縮小し、消費電力を低減することができる効果がある。

30

【0114】

本発明によれば、第1の乗算手段では、受信信号におけるI相成分及びQ相成分と第1の逆拡散符号との乗算を、それぞれ時分割に入力信号のサンプリング速度の整数倍の速度で行い、第1の加算手段では、該整数倍の速度で加算を行う上記RACH受信装置としているので、第1の逆拡散符号を用いた復調処理の速度を上げることで、回路規模を一層縮小できる効果がある。

40

【0115】

本発明によれば、第2の乗算手段では、入力される演算結果と第2の逆拡散符号との乗算を、第2の逆拡散符号の種類数倍の速度で行い、第2の加算手段では、第2の逆拡散符号の種類数倍の速度で加算を行う上記RACH受信装置としているので、第2の逆拡散符号を用いた復調処理を行う乗算器及び加算器の数を低減でき、回路規模を縮小できる効果がある。

50

【 0 1 1 6 】

本発明によれば、第 1 の乗算手段は、受信信号における I 相成分及び Q 相成分と第 1 の逆拡散符号との乗算を、I 成分及び Q 成分の取り込みタイミングを入力信号のサンプリング速度の整数倍の速度とし、これに対して第 1 の逆拡散符号の取り込みタイミングを該速度の 2 倍の速度として時分割に行い、第 1 の加算手段は、該整数倍の 2 倍の速度で加算を行う上記 R A C H 受信装置としているので、第 1 の逆拡散符号を用いた復調処理を行う乗算器及び加算器の数を低減でき、回路規模を縮小できる効果がある。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施の形態に係る R A C H 受信装置の復調部のブロック図である。

10

【 図 2 】 本発明の第 2 の実施の形態に係る R A C H 受信装置の復調部のブロック図である。

【 図 3 】 本発明の第 3 の実施の形態に係る R A C H 受信装置の復調部のブロック図である。

【 図 4 】 本発明の第 4 の実施の形態に係る R A C H 受信装置の復調部のブロック図である。

【 図 5 】 本発明の第 5 の実施の形態に係る R A C H 受信装置の復調部のブロック図である。

【 図 6 】 本発明の第 6 の実施の形態に係る R A C H 受信装置の復調部のブロック図である。

20

【 図 7 】 本発明のマッチドフィルタにおける、レジスタコード加算部の構成ブロック図である。

【 図 8 】 本発明の第 6 の実施の形態に係るマッチドフィルタにおける、複素乗算器の構成ブロック図である。

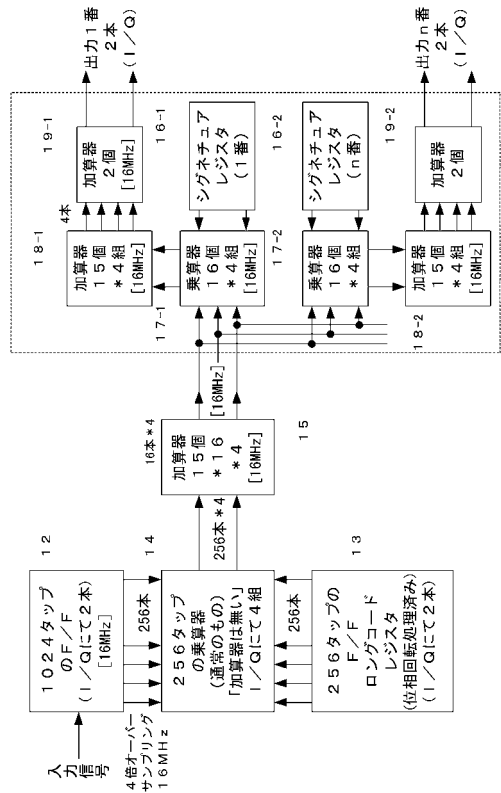
【 図 9 】 従来の R A C H 受信装置の復調部のブロック図である。

【 符号の説明 】

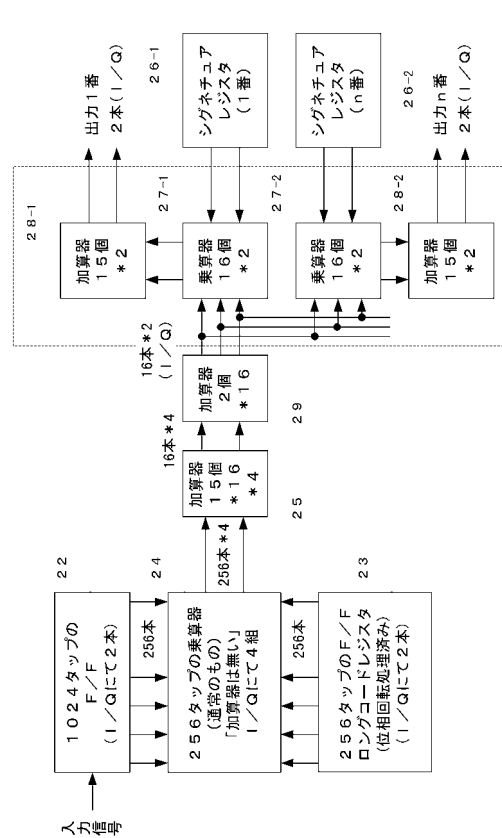
1 2 , 2 2 , 3 2 , 4 2 , 5 2 , 6 2 , 9 2 ... 受信データレジスタ列、 1 3 , 2 3 , 3 3 , 4 3 , 5 3 , 6 3 , 9 3 ... コードレジスタ、 1 4 , 2 4 , 3 4 , 4 4 , 5 4 , 6 4 , 9 4 ... コードレジスタ乗算部、 1 5 , 2 5 , 3 5 , 4 5 , 5 5 , 6 5 ... コードレジスタ加算部、 1 6 , 2 6 , 3 6 , 4 6 , 5 6 , 6 6 ... シグネチャレジスタ、 1 7 , 2 7 , 3 7 , 4 7 , 5 7 , 6 7 ... シグネチャ乗算部、 1 8 , 2 8 , 3 8 , 4 8 , 5 8 , 6 8 ... シグネチャ加算部、 1 9 , 2 9 , 3 9 , 4 9 , 5 9 , 6 9 , 9 9 ... 複素演算部、 5 1 0 ... セレクタ、 6 1 1 ... 複素乗算器、 6 1 2 ... 位相回転レジスタ

30

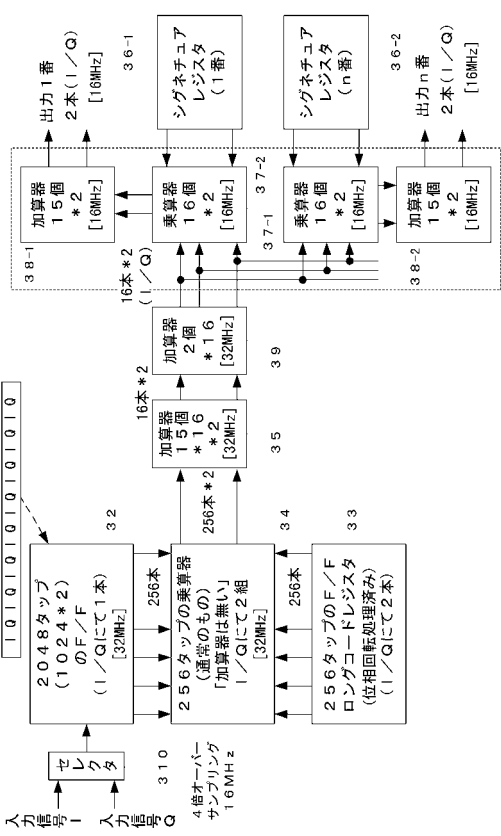
【図 1】



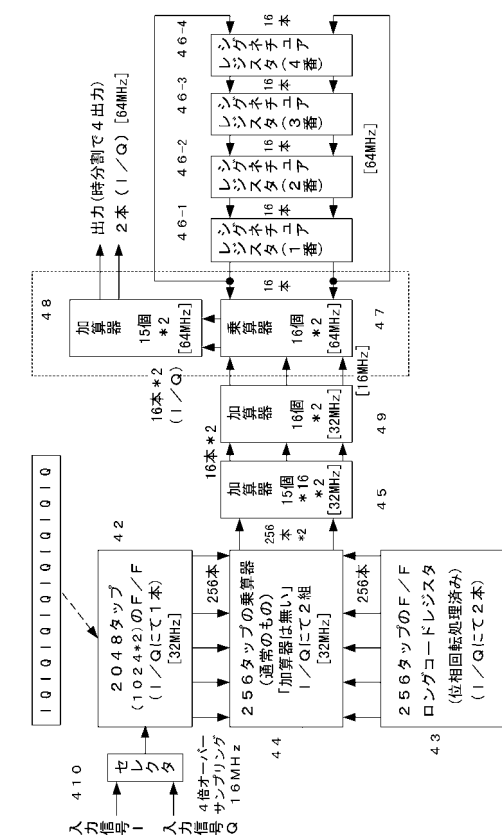
【図 2】



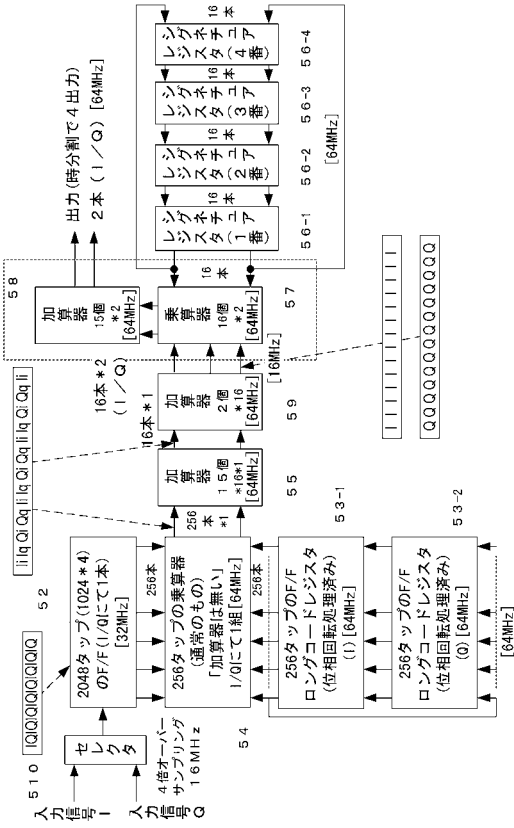
【図 3】



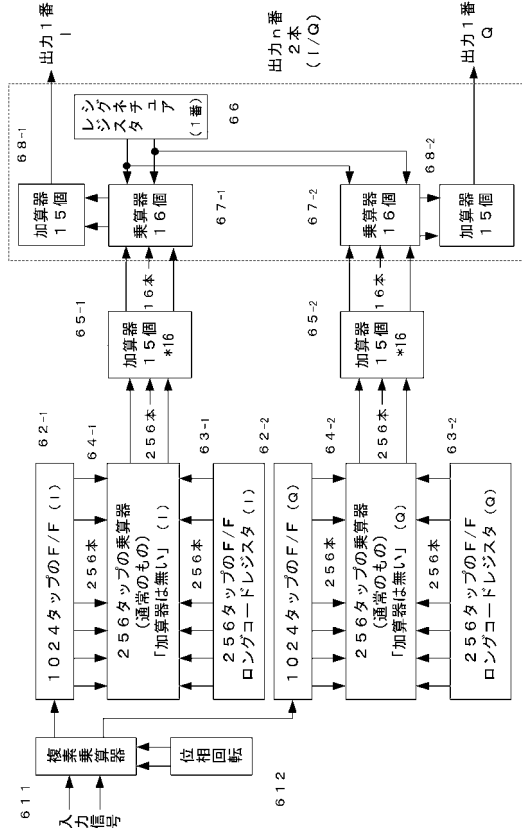
【図 4】



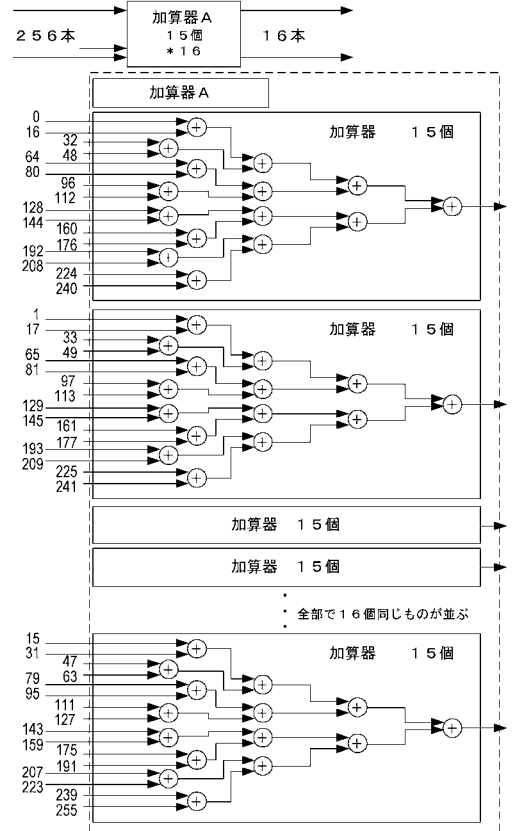
【図 5】



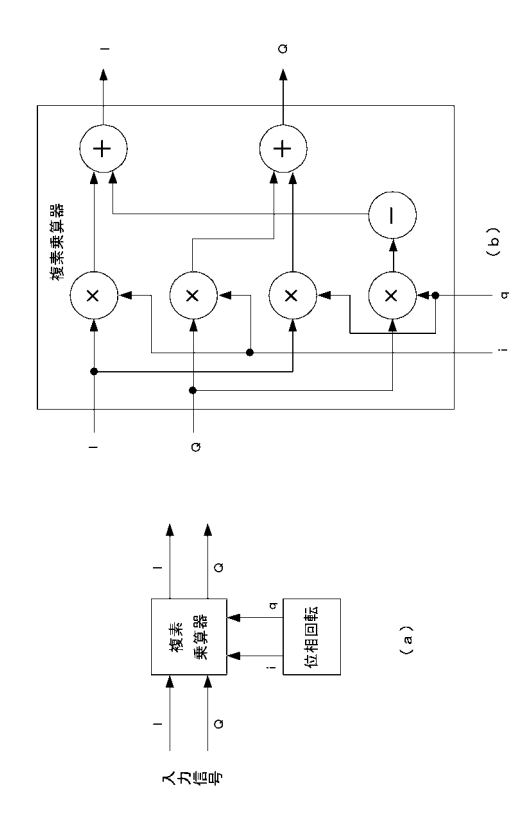
【図 6】



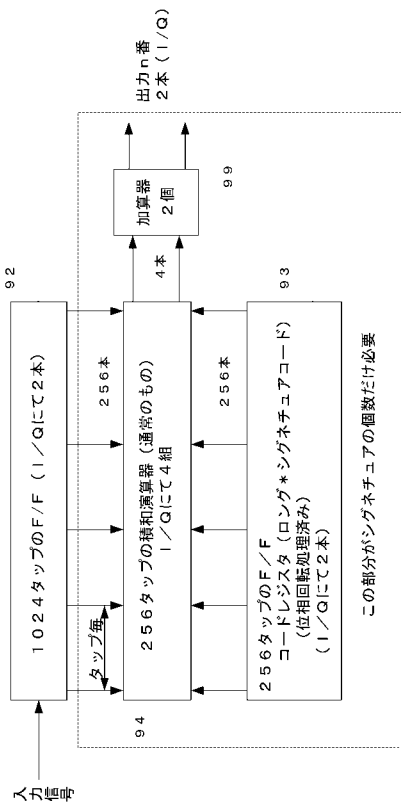
【図 7】



【図 8】



【 図 9 】



フロントページの続き

(56)参考文献 国際公開第00/036761(WO, A1)

特開2001-136103(JP, A)

ERICSSON, New RACH preambles with low auto-correlation sidelobes and reduced detector complexity, TSGR1#3(99)205, 1999年 3月22日

Ericsson, Modulation of RACH preamble for PAPR reduction, TSGR1#4(99)339, 1999年 4月18日, URL, http://www.3gpp.org/ftp/tsg_ran/WG1_RL1/TSGR1_04/Docs/Zips/r1-99339.zip

(58)調査した分野(Int.Cl., DB名)

H04B 1/707

H04L 27/38