



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I411232 B

(45) 公告日：中華民國 102 (2013) 年 10 月 01 日

(21) 申請案號：099143267

(22) 申請日：中華民國 99 (2010) 年 12 月 10 日

(51) Int. Cl. : **H03K19/0185(2006.01)****G09G3/36 (2006.01)**

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：徐國華 HSU, KUO HUA (TW)；劉俊欣 LIU, CHUN HSIN (TW)；陳婉蓉 CHEN, WAN JUNG (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW 200505019A

JP 2003-331594A

審查人員：陳臆聰

申請專利範圍項數：24 項 圖式數：5 共 0 頁

(54) 名稱

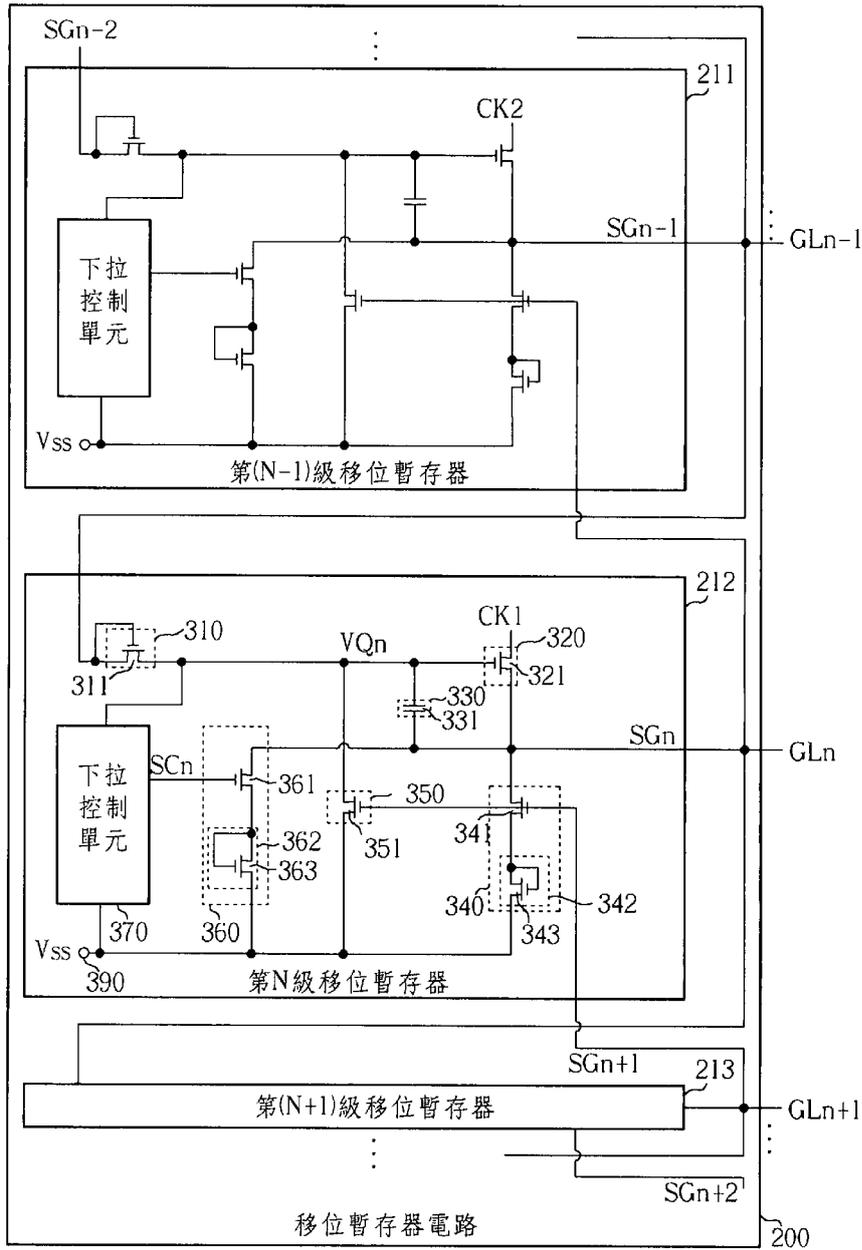
移位暫存器電路

SHIFT REGISTER CIRCUIT

(57) 摘要

一種移位暫存器電路包含複數級移位暫存器以提供複數閘極訊號，每一級移位暫存器包含輸入單元、上拉單元及下拉單元。輸入單元係用來根據第一輸入訊號以輸出驅動控制電壓。上拉單元根據驅動控制電壓與系統時脈以上拉對應閘極線之閘極訊號。下拉單元具有下拉電晶體與單向導通元件。下拉電晶體係根據第二輸入訊號將閘極訊號下拉至電源端之電源電壓。單向導通元件係用來抑制由電源端經下拉電晶體流向對應閘極線之漏電流。

A shift register circuit includes plural shift register stages for providing plural gate signals. Each shift register stage includes an input unit, a pull-up unit and a pull-down unit. The input unit is put in use for outputting a driving control voltage according to a first input signal. The pull-up unit pulls up the gate signal of a corresponding gate line according to the driving control voltage and a system clock. The pull-down unit has a pull-down transistor and a single-directional conducting component. The pull-down transistor is utilized for pulling down the gate signal to the power voltage of a power end according to a second input signal. The single-directional conducting component is employed to suppress a leakage current flowing from the power end to the corresponding gate line via the pull-down transistor.



第2圖

- 200 . . . 移位暫存器  
電路
- 211 . . . 第(N-1)級  
移位暫存器
- 212 . . . 第 N 級移  
位暫存器
- 213 . . . 第(N+1)級  
移位暫存器
- 310 . . . 輸入單元
- 311 . . . 第七電晶體
- 320 . . . 上拉單元
- 321 . . . 第六電晶體
- 330 . . . 儲能單元
- 331 . . . 電容
- 340 . . . 第一下拉單  
元
- 341 . . . 第一電晶體
- 342 . . . 第一單向導  
通元件
- 343 . . . 第二電晶體
- 350 . . . 第二下拉單  
元
- 351 . . . 第五電晶體
- 360 . . . 第三下拉單  
元
- 361 . . . 第三電晶體
- 362 . . . 第二單向導  
通元件
- 363 . . . 第四電晶體
- 370 . . . 下拉控制單  
元
- 390 . . . 電源端
- CK1 . . . 第一系統  
時脈
- CK2 . . . 第二系統  
時脈
- GLn-1、GLn、GLn  
+1 . . . 閘極線
- SCn . . . 控制訊號

SGn-2、SGn-1、  
SGn、SGn+1、SGn  
+2 . . . 閘極訊號  
VQn . . . 驅動控制  
電壓  
Vss . . . 電源電壓

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99143261

※申請日： 99.12.10

※IPC 分類： H03K19/0185 (2006.01)  
G09G3/36 (2006.01)

一、發明名稱：(中文/英文)

移位暫存器電路/SHIFT REGISTER CIRCUIT

## 二、中文發明摘要：

一種移位暫存器電路包含複數級移位暫存器以提供複數閘極訊號，每一級移位暫存器包含輸入單元、上拉單元及下拉單元。輸入單元係用來根據第一輸入訊號以輸出驅動控制電壓。上拉單元根據驅動控制電壓與系統時脈以上拉對應閘極線之閘極訊號。下拉單元具有下拉電晶體與單向導通元件。下拉電晶體係根據第二輸入訊號將閘極訊號下拉至電源端之電源電壓。單向導通元件係用來抑制由電源端經下拉電晶體流向對應閘極線之漏電流。

## 三、英文發明摘要：

A shift register circuit includes plural shift register stages for providing plural gate signals. Each shift register stage includes an input unit, a pull-up unit and a pull-down unit. The input unit is put in use for outputting a driving control voltage according to a first input signal. The pull-up unit pulls up the gate signal of a corresponding gate line according to the driving control voltage and a system clock. The pull-down unit has a pull-down transistor and a single-directional conducting component. The pull-down transistor is utilized for pulling

down the gate signal to the power voltage of a power end according to a second input signal. The single-directional conducting component is employed to suppress a leakage current flowing from the power end to the corresponding gate line via the pull-down transistor.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200	移位暫存器電路
211	第(N-1)級移位暫存器
212	第N級移位暫存器
213	第(N+1)級移位暫存器
310	輸入單元
311	第七電晶體
320	上拉單元
321	第六電晶體
330	儲能單元
331	電容
340	第一下拉單元
341	第一電晶體
342	第一單向導通元件
343	第二電晶體
350	第二下拉單元
351	第五電晶體
360	第三下拉單元

361	第三電晶體
362	第二單向導通元件
363	第四電晶體
370	下拉控制單元
390	電源端
CK1	第一系統時脈
CK2	第二系統時脈
GLn-1、GLn、GLn+1	閘極線
SCn	控制訊號
SGn-2、SGn-1、 SGn、SGn+1、SGn+2	閘極訊號
VQn	驅動控制電壓
Vss	電源電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種移位暫存器電路，尤指一種具低功率消耗之移位暫存器電路。

### 【先前技術】

液晶顯示裝置(Liquid Crystal Display；LCD)是目前廣泛使用的一種平面顯示器，其具有外型輕薄、省電以及無輻射等優點。液晶顯示裝置的工作原理係利用改變液晶層兩端的電壓差來改變液晶層內之液晶分子的排列狀態，用以改變液晶層的透光性，再配合背光模組所提供的光源以顯示影像。一般而言，液晶顯示裝置包含複數畫素單元、源極驅動器以及移位暫存器電路。源極驅動器係用來提供複數資料訊號至複數畫素單元。移位暫存器電路包含複數級移位暫存器以產生複數閘極訊號饋入複數畫素單元，據以控制複數資料訊號的寫入運作。因此，移位暫存器電路即為控制資料訊號寫入操作的關鍵性元件。

第 1 圖為習知移位暫存器電路的示意圖。如第 1 圖所示，移位暫存器電路 100 包含複數級移位暫存器，其中只顯示第(N-1)級移位暫存器 111 與第 N 級移位暫存器 112。每一級移位暫存器包含輸入單元 120、上拉單元 130、儲能單元 135、第一下拉單元 140、第二下拉單元 150、及下拉控制單元 160。第一下拉單元 140 具有第一電

晶體 141 與第二電晶體 142，分別用來下拉對應閘極訊號 SG 與對應驅動控制電壓 VQ。為了提昇移位液晶顯示裝置的運作效能，可將第一時脈 CK1 與第二時脈 CK2 的低準位電壓設為低於電源電壓 Vss 之電壓，然而當閘極訊號 SG 為低準位電壓時，會使第一電晶體 141 發生漏電流，因而導致高功率消耗。若為降低製造成本而將移位暫存器電路 100 整合於包含畫素陣列之顯示面板上，亦即基於 GOA (Gate-driver On Array) 架構，則上述高功率消耗會使顯示面板的面板溫度上昇，如此不但會降低顯示品質，亦會降低面板使用壽命。

#### 【發明內容】

依據本發明之實施例，揭露一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線。此種移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之第 N 級移位暫存器包含輸入單元、上拉單元、儲能單元、第一下拉單元、以及第二下拉單元。

輸入單元係用來根據第一輸入訊號以輸出驅動控制電壓。電連接於輸入單元與第 N 閘極線之上拉單元係用來根據驅動控制電壓與系統時脈以上拉第 N 閘極訊號，其中第 N 閘極線係用以傳輸第 N 閘極訊號。電連接於上拉單元與輸入單元之儲能單元係用來根據驅動控制電壓執行充電程序或放電程序。電連接於第 N 閘極線之第一下拉單元係用來根據第二輸入訊號以下拉第 N 閘極訊號。第一下拉單元包含第一電晶體與第一單向導通元件。第一電晶體包含第一

端、第二端與閘極端，其中第一端電連接於第 N 閘極線，閘極端係用來接收第二輸入訊號。第一單向導通元件包含陽極與陰極，其中陽極電連接於第一電晶體之第二端，陰極電連接於電源端。第一單向導通元件係用來抑制由電源端經第一電晶體流向第 N 閘極線之漏電流。電連接於輸入單元之第二下拉單元係用來根據第二輸入訊號以下拉驅動控制電壓。

依據本發明之實施例，另揭露一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線。此種移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之第 N 級移位暫存器包含輸入單元、上拉單元、儲能單元、第一下拉單元、以及第二下拉單元。

輸入單元係用來根據第一輸入訊號以輸出驅動控制電壓。電連接於輸入單元與第 N 閘極線之上拉單元係用來根據驅動控制電壓與系統時脈以上拉第 N 閘極訊號，其中第 N 閘極線係用以傳輸第 N 閘極訊號。電連接於上拉單元與輸入單元之儲能單元係用來根據驅動控制電壓執行充電程序或放電程序。電連接於第 N 閘極線之第一下拉單元係用來根據第二輸入訊號以下拉第 N 閘極訊號。第一下拉單元包含第一電晶體與第一單向導通元件。第一電晶體包含第一端、第二端與閘極端，其中閘極端係用來接收第二輸入訊號，第二端電連接於電源端。第一單向導通元件包含陽極與陰極，其中陽極電連接於第 N 閘極線，陰極電連接於第一電晶體之第一端。第一單向導通元件係用來抑制由電源端經第一電晶體流向第 N 閘極線之漏

電流。電連接於輸入單元之第二下拉單元係用來根據第二輸入訊號以下拉驅動控制電壓。

### 【實施方式】

下文依本發明移位暫存器電路，特舉實施例配合所附圖式作詳細說明，但所提供之實施例並非用以限制本發明所涵蓋的範圍。

第 2 圖為本發明第一實施例之移位暫存器電路的示意圖。如第 2 圖所示，移位暫存器電路 200 包含複數級移位暫存器，為方便說明，移位暫存器電路 200 只顯示第(N-1)級移位暫存器 211、第 N 級移位暫存器 212 以及第(N+1)級移位暫存器 213，其中只有第(N-1)級移位暫存器 211 與第 N 級移位暫存器 212 顯示內部功能單元架構，其餘級移位暫存器係類同於第(N-1)級移位暫存器 211 或第 N 級移位暫存器 212，不另贅述。在移位暫存器電路 200 的運作中，第 N 級移位暫存器 212 係用來根據閘極訊號  $SG_{n-1}$  與第一系統時脈  $CK1$  以進行具低功率消耗之運作而產生閘極訊號  $SG_n$  饋入至閘極線  $GL_n$ ，第(N-1)級移位暫存器 211 係用來根據閘極訊號  $SG_{n-2}$  與反相於第一系統時脈  $CK1$  之第二系統時脈  $CK2$  以進行具低功率消耗之運作而產生閘極訊號  $SG_{n-1}$  饋入至閘極線  $GL_{n-1}$ ，其餘級移位暫存器可同理類推。下文依第 N 級移位暫存器 212 以說明各元件之耦合關係與電路運作原理。

第 N 級移位暫存器 212 包含輸入單元 310、上拉單元 320、儲

能單元 330、第一下拉單元 340、第二下拉單元 350、第三下拉單元 360、以及下拉控制單元 370。電連接於第(N-1)級移位暫存器 211 之輸入單元 310 係用來根據閘極訊號  $SG_{n-1}$  以輸出驅動控制電壓  $VQ_n$ 。電連接於輸入單元 310 與閘極線  $GL_n$  之上拉單元 320 係用來根據驅動控制電壓  $VQ_n$  與第一系統時脈  $CK_1$  以上拉閘極訊號  $SG_n$ ，其中閘極線  $GL_n$  係用以傳輸閘極訊號  $SG_n$ 。電連接於上拉單元 320 與輸入單元 310 之儲能單元 330 係用來根據驅動控制電壓  $VQ_n$  執行充電程序或放電程序。第一下拉單元 340 電連接於閘極線  $GL_n$  與電源端 390，並電連接於第(N+1)級移位暫存器 213 以接收閘極訊號  $SG_{n+1}$ 。第一下拉單元 340 係用來根據閘極訊號  $SG_{n+1}$  將閘極訊號  $SG_n$  下拉至電源電壓  $V_{ss}$ 。

第二下拉單元 350 電連接於輸入單元 310 與電源端 390，並電連接於第(N+1)級移位暫存器 213 以接收閘極訊號  $SG_{n+1}$ 。第二下拉單元 350 係用來根據閘極訊號  $SG_{n+1}$  將驅動控制電壓  $VQ_n$  下拉至電源電壓  $V_{ss}$ 。電連接於輸入單元 310 之下拉控制單元 370 係用來根據驅動控制電壓  $VQ_n$  以產生控制訊號  $SC_n$ 。電連接於下拉控制單元 370、電源端 390 與閘極線  $GL_n$  之第三下拉單元 360 係用來根據控制訊號  $SC_n$  將閘極訊號  $SG_n$  下拉至電源電壓  $V_{ss}$ 。

在第 2 圖的實施例中，第一下拉單元 340 包含第一電晶體 341 與第一單向導通元件 342，第三下拉單元 360 包含第三電晶體 361 與第二單向導通元件 362，第二下拉單元 350 包含第五電晶體 351，

上拉單元 320 包含第六電晶體 321，輸入單元 310 包含第七電晶體 311，儲能單元 330 包含電容 331。第一單向導通元件 342 係用來抑制由電源端 390 經第一電晶體 341 流向閘極線 GLn 之漏電流，而第二單向導通元件 362 係用來抑制由電源端 390 經第三電晶體 361 流向閘極線 GLn 之漏電流。在一實施例中，第一單向導通元件 342 包括用來執行單向導通運作之第二電晶體 343，而第二單向導通元件 362 包括用來執行單向導通運作之第四電晶體 363。請注意，上述或以下所述之每一電晶體可為薄膜電晶體(Thin Film Transistor)或場效電晶體(Field Effect Transistor)。

第一電晶體 341 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GLn，閘極端電連接於第(N+1)級移位暫存器 213 以接收閘極訊號 SGn+1。第一單向導通元件 342 包含陽極與陰極，其中陽極電連接於第一電晶體 341 之第二端，陰極電連接於電源端 390 以接收電源電壓 Vss。在第一單向導通元件 342 具有第二電晶體 343 的實施例中，第二電晶體 343 之第一端與閘極端係電連接於第一電晶體 341 之第二端，第二電晶體 343 之第二端係電連接於電源端 390。

第三電晶體 361 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GLn，閘極端電連接於下拉控制單元 370 以接收控制訊號 SCn。第二單向導通元件 362 包含陽極與陰極，其中陽極電連接於第三電晶體 361 之第二端，陰極電連接於電源端 390 以接收電

源電壓  $V_{ss}$ 。在第二單向導通元件 362 具有第四電晶體 363 的實施例中，第四電晶體 363 之第一端與閘極端係電連接於第三電晶體 361 之第二端，第四電晶體 363 之第二端係電連接於電源端 390。

第七電晶體 311 包含第一端、第二端與閘極端，其中第一端與閘極端電連接於第(N-1)級移位暫存器 211 以接收閘極訊號  $SG_n$ ，第二端係用來輸出驅動控制電壓  $VQ_n$ 。第六電晶體 321 包含第一端、第二端與閘極端，其中第一端係用來接收第一系統時脈  $CK_1$ ，閘極端電連接於第七電晶體 311 之第二端以接收驅動控制電壓  $VQ_n$ ，第二端電連接於閘極線  $GL_n$ 。電容 331 係電連接於第六電晶體 321 之閘極端與第二端間。第五電晶體 351 包含第一端、第二端與閘極端，其中第一端電連接於第七電晶體 311 之第二端，閘極端電連接於第(N+1)級移位暫存器 213 以接收閘極訊號  $SG_{n+1}$ ，第二端電連接於電源端 390。

由上述可知，在移位暫存器電路 200 的運作中，即使閘極訊號  $SG_n$  之低準位電壓低於電源電壓  $V_{ss}$ ，第一下拉單元 340 與第三下拉單元 360 可分別藉由第一單向導通元件 342 與第二單向導通元件 362 的漏電流抑制作用來降低功率消耗，從而降低面板溫度以提高顯示品質並延長面板使用壽命。

第 3 圖為本發明第二實施例之移位暫存器電路的示意圖。如第 3 圖所示，移位暫存器電路 300 包含複數級移位暫存器，為方便說

明，移位暫存器電路 300 只顯示第(N-1)級移位暫存器 311、第 N 級移位暫存器 312 以及第(N+1)級移位暫存器 313，其中只有第(N-1)級移位暫存器 311 與第 N 級移位暫存器 312 顯示內部功能單元架構，其餘級移位暫存器係類同於第(N-1)級移位暫存器 311 或第 N 級移位暫存器 312，不另贅述。第(N-1)級移位暫存器 311 及第 N 級移位暫存器 312 係分別類似於第 2 圖所示之第(N-1)級移位暫存器 211 及第 N 級移位暫存器 212，主要差異在於將第一下拉單元 340 置換為第一下拉單元 440，並將第三下拉單元 360 置換為第三下拉單元 460。

在第 3 圖的實施例中，第一下拉單元 440 包含第一電晶體 441 與第一單向導通元件 442，第三下拉單元 460 包含第三電晶體 461 與第二單向導通元件 462。第一單向導通元件 442 係用來抑制由電源端 390 經第一電晶體 441 流向閘極線  $GL_n$  之漏電流，而第二單向導通元件 462 係用來抑制由電源端 390 經第三電晶體 461 流向閘極線  $GL_n$  之漏電流。在一實施例中，第一單向導通元件 442 包括用來執行單向導通運作之第二電晶體 443，而第二單向導通元件 462 包括用來執行單向導通運作之第四電晶體 463。

第一電晶體 441 包含第一端、第二端與閘極端，其中閘極端電連接於第(N+1)級移位暫存器 313 以接收閘極訊號  $SG_{n+1}$ ，第二端電連接於電源端 390 以接收電源電壓  $V_{ss}$ 。第一單向導通元件 442 包含陽極與陰極，其中陽極電連接於閘極線  $GL_n$ ，陰極電連接於第一

電晶體 441 之第一端。在第一單向導通元件 442 具有第二電晶體 443 的實施例中，第二電晶體 443 之第一端與閘極端係電連接於閘極線 GLn，第二電晶體 443 之第二端係電連接於第一電晶體 441 之第一端。

第三電晶體 461 包含第一端、第二端與閘極端，其中閘極端電連接於下拉控制單元 370 以接收控制訊號 SCn，第二端電連接於電源端 390 以接收電源電壓 Vss。第二單向導通元件 462 包含陽極與陰極，其中陽極電連接於閘極線 GLn，陰極電連接於第三電晶體 461 之第一端。在第二單向導通元件 462 具有第四電晶體 463 的實施例中，第四電晶體 463 之第一端與閘極端係電連接於閘極線 GLn，第四電晶體 463 之第二端係電連接於第三電晶體 461 之第一端。

由上述可知，在移位暫存器電路 300 的運作中，即使閘極訊號 SGn 之低準位電壓低於電源電壓 Vss，第一下拉單元 440 與第三下拉單元 460 可分別藉由第一單向導通元件 442 與第二單向導通元件 462 的漏電流抑制作用來降低功率消耗，從而降低面板溫度以提高顯示品質並延長面板使用壽命。

第 4 圖為本發明第三實施例之移位暫存器電路的示意圖。如第 4 圖所示，移位暫存器電路 400 包含複數級移位暫存器，為方便說明，移位暫存器電路 400 只顯示第(N-1)級移位暫存器 411、第 N 級移位暫存器 412 以及第(N+1)級移位暫存器 413，其中只有第(N-1)

級移位暫存器 411 與第 N 級移位暫存器 412 顯示內部功能單元架構，其餘級移位暫存器係類同於第(N-1)級移位暫存器 411 或第 N 級移位暫存器 412，不另贅述。第(N-1)級移位暫存器 411 及第 N 級移位暫存器 412 係分別類似於第 3 圖所示之第(N-1)級移位暫存器 311 及第 N 級移位暫存器 312，主要差異在於將第三下拉單元 460 置換為第三下拉單元 560。

在第 4 圖的實施例中，第三下拉單元 560 包含第三電晶體 561 與第二單向導通元件 562。在一實施例中，第二單向導通元件 562 包括用來執行單向導通運作之第四電晶體 563，據以抑制由電源端 390 經第三電晶體 561 流向閘極線  $GL_n$  之漏電流。第三電晶體 561 包含第一端、第二端與閘極端，其中第一端電連接於閘極線  $GL_n$ ，閘極端電連接於下拉控制單元 370 以接收控制訊號  $SC_n$ 。第二單向導通元件 562 包含陽極與陰極，其中陽極電連接於第三電晶體 561 之第二端，陰極電連接於電源端 390 以接收電源電壓  $V_{SS}$ 。在第二單向導通元件 562 具有第四電晶體 563 的實施例中，第四電晶體 563 之第一端與閘極端係電連接於第三電晶體 561 之第二端，第四電晶體 563 之第二端係電連接於電源端 390。

由上述可知，在移位暫存器電路 400 的運作中，即使閘極訊號  $SG_n$  之低準位電壓低於電源電壓  $V_{SS}$ ，第一下拉單元 440 與第三下拉單元 560 可分別藉由第一單向導通元件 442 與第二單向導通元件 562 的漏電流抑制作用來降低功率消耗，從而降低面板溫度以提高

顯示品質並延長面板使用壽命。

第 5 圖為本發明第四實施例之移位暫存器電路的示意圖。如第 5 圖所示，移位暫存器電路 500 包含複數級移位暫存器，為方便說明，移位暫存器電路 500 只顯示第(N-1)級移位暫存器 511、第 N 級移位暫存器 512 以及第(N+1)級移位暫存器 513，其中只有第(N-1)級移位暫存器 511 與第 N 級移位暫存器 512 顯示內部功能單元架構，其餘級移位暫存器係類同於第(N-1)級移位暫存器 511 或第 N 級移位暫存器 512，不另贅述。第(N-1)級移位暫存器 511 及第 N 級移位暫存器 512 係分別類似於第 2 圖所示之第(N-1)級移位暫存器 211 及第 N 級移位暫存器 212，主要差異在於將第三下拉單元 360 置換為第三下拉單元 660。

在第 5 圖的實施例中，第三下拉單元 660 包含第三電晶體 661 與第二單向導通元件 662。在一實施例中，第二單向導通元件 662 包括用來執行單向導通運作之第四電晶體 663，據以抑制由電源端 390 經第三電晶體 661 流向閘極線 GLn 之漏電流。第三電晶體 661 包含第一端、第二端與閘極端，其中閘極端電連接於下拉控制單元 370 以接收控制訊號 SCn，第二端電連接於電源端 390 以接收電源電壓 Vss。第二單向導通元件 662 包含陽極與陰極，其中陽極電連接於閘極線 GLn，陰極電連接於第三電晶體 661 之第一端。在第二單向導通元件 662 具有第四電晶體 663 的實施例中，第四電晶體 663 之第一端與閘極端係電連接於閘極線 GLn，第四電晶體 663 之第二

端係電連接於第三電晶體 661 之第一端。

由上述可知，在移位暫存器電路 500 的運作中，即使閘極訊號 SGn 之低準位電壓低於電源電壓 Vss，第一下拉單元 340 與第三下拉單元 660 可分別藉由第一單向導通元件 342 與第二單向導通元件 662 的漏電流抑制作用來降低功率消耗，從而降低面板溫度以提高顯示品質並延長面板使用壽命。

綜上所述，在本發明移位暫存器電路的運作中，即使因閘極訊號之低準位電壓低於電源電壓而導致下拉單元之漏電流，此漏電流可透過單向導通元件的抑制作用而顯著降低，據以顯著降低移位暫存器電路之功率消耗，從而降低面板溫度以提高顯示品質並延長面板使用壽命。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何具有本發明所屬技術領域之通常知識者，在不脫離本發明之精神和範圍內，當可作各種更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

第 1 圖為習知移位暫存器電路的示意圖。

第 2 圖為本發明第一實施例之移位暫存器電路的示意圖。

第 3 圖為本發明第二實施例之移位暫存器電路的示意圖。

第 4 圖為本發明第三實施例之移位暫存器電路的示意圖。

第 5 圖為本發明第四實施例之移位暫存器電路的示意圖。

【主要元件符號說明】

200、300、400、500	移位暫存器電路
211、311、411、511	第(N-1)級移位暫存器
212、312、412、512	第 N 級移位暫存器
213、313、413、513	第(N+1)級移位暫存器
310	輸入單元
311	第七電晶體
320	上拉單元
321	第六電晶體
330	儲能單元
331	電容
340、440	第一下拉單元
341、441	第一電晶體
342、442	第一單向導通元件
343、443	第二電晶體
350	第二下拉單元
351	第五電晶體
360、460、560、660	第三下拉單元
361、461、561、661	第三電晶體

362、462、562、662	第二單向導通元件
363、463、563、663	第四電晶體
370	下拉控制單元
390	電源端
CK1	第一系統時脈
CK2	第二系統時脈
GLn-1、GLn、GLn+1	閘極線
SCn	控制訊號
SGn-2、SGn-1、	閘極訊號
SGn、SGn+1、SGn+2	
VQn	驅動控制電壓
Vss	電源電壓

## 七、申請專利範圍：

1. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之一第 N 級移位暫存器包含：
  - 一輸入單元，用來根據一第一輸入訊號以輸出一驅動控制電壓；
  - 一上拉單元，電連接於該輸入單元與該些閘極線之一第 N 閘極線，該上拉單元係用來根據該驅動控制電壓與一系統時脈以上拉該些閘極訊號之一第 N 閘極訊號，其中該第 N 閘極線係用以傳輸該第 N 閘極訊號；
  - 一儲能單元，電連接於該上拉單元與該輸入單元，該儲能單元係用來根據該驅動控制電壓執行一充電程序或一放電程序；
  - 一第一下拉單元，電連接於該第 N 閘極線，該第一下拉單元係用來根據一第二輸入訊號以下拉該第 N 閘極訊號，該第一下拉單元包含：
    - 一第一電晶體，包含一第一端、一第二端與一閘極端，其中該第一端電連接於該第 N 閘極線，該閘極端係用來接收該第二輸入訊號；以及
    - 一第一單向導通元件，包含一陽極與一陰極，其中該陽極電連接於該第一電晶體之第二端，該陰極電連接於一電源端，該第一單向導通元件係用來抑制由該電源端經該第一電晶體流向該第 N 閘極線之一漏電流；
  - 一第二下拉單元，電連接於該輸入單元，該第二下拉單元係用

來根據該第二輸入訊號以下拉該驅動控制電壓；

一下拉控制單元，電連接於該輸入單元，該下拉控制單元係用來根據該驅動控制電壓產生一控制訊號；以及

一第三下拉單元，電連接於該下拉控制單元與該第 N 閘極線，該第三下拉單元是用來根據該控制訊號以下拉該第 N 閘極訊號，該第三下拉單元包含：

一第三電晶體，包含一第一端、一第二端與一閘極端，其中該第三電晶體之第一端電連接於該第 N 閘極線，該第三電晶體之閘極端電連接於該下拉控制單元以接收該控制訊號；以及

一第二單向導通元件，包含一陽極與一陰極，其中該第二單向導通元件之陽極電連接於該第三電晶體之第二端，該第二單向導通元件之陰極電連接於該電源端，該第二單向導通元件係用來抑制由該電源端經該第三電晶體流向該第 N 閘極線之一漏電流；

其中該第三電晶體為一薄膜電晶體或一場效電晶體。

2. 如請求項 1 所述之移位暫存器電路，其中該第一電晶體之閘極端電連接於該些級移位暫存器之一第(N+1)級移位暫存器以接收該些閘極訊號之一第(N+1)閘極訊號，該第一電晶體為一薄膜電晶體或一場效電晶體。
3. 如請求項 1 所述之移位暫存器電路，其中該第一單向導通元件

包含一第二電晶體，該第二電晶體之一第一端與一閘極端電連接於該第一電晶體之第二端，該第二電晶體之一第二端電連接於該電源端，該第二電晶體為一薄膜電晶體或一場效電晶體。

4. 如請求項 1 所述之移位暫存器電路，其中該第二單向導通元件包含一第四電晶體，該第四電晶體之一第一端與一閘極端電連接於該第三電晶體之第二端，該第四電晶體之一第二端電連接於該電源端，該第四電晶體為一薄膜電晶體或一場效電晶體。

5. 如請求項 1 所述之移位暫存器電路，其中：

該第二下拉單元包含一第五電晶體，該第五電晶體之一第一端電連接於該輸入單元，該第五電晶體之一閘極端電連接於該些級移位暫存器之一第(N+1)級移位暫存器以接收該些閘極訊號之一第(N+1)閘極訊號，該第五電晶體之一第二端電連接於該電源端；

該上拉單元包含一第六電晶體，該第六電晶體之一第一端係用來接收該系統時脈，該第六電晶體之一閘極端電連接於該輸入單元，該第六電晶體之一第二端電連接於該第 N 閘極線；以及

該儲能單元包含一電連接於該第六電晶體之閘極端與第二端間的電容；

其中該第五電晶體與第六電晶體為薄膜電晶體或場效電晶體。

6. 如請求項 1 所述之移位暫存器電路，其中該輸入單元包含一第七電晶體，該第七電晶體之一第一端與一閘極端電連接於該些級移位暫存器之一第(N-1)級移位暫存器以接收該些閘極訊號之一第(N-1)閘極訊號，該第七電晶體之一第二端係用來輸出該驅動控制電壓，第七電晶體為一薄膜電晶體或一場效電晶體。
7. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之一第 N 級移位暫存器包含：
- 一輸入單元，用來根據一第一輸入訊號以輸出一驅動控制電壓；
  - 一上拉單元，電連接於該輸入單元與該些閘極線之一第 N 閘極線，該上拉單元係用來根據該驅動控制電壓與一系統時脈以上拉該些閘極訊號之一第 N 閘極訊號，其中該第 N 閘極線係用以傳輸該第 N 閘極訊號；
  - 一儲能單元，電連接於該上拉單元與該輸入單元，該儲能單元係用來根據該驅動控制電壓執行一充電程序或一放電程序；
  - 一第一下拉單元，電連接於該第 N 閘極線，該第一下拉單元係用來根據一第二輸入訊號以下拉該第 N 閘極訊號，該第一下拉單元包含：
    - 一第一電晶體，包含一第一端、一第二端與一閘極端，其中該第一端電連接於該第 N 閘極線，該閘極端係用來接收該第二輸入訊號；以及
    - 一第一單向導通元件，包含一陽極與一陰極，其中該陽極電

連接於該第一電晶體之第二端，該陰極電連接於一電源端，該第一單向導通元件係用來抑制由該電源端經該第一電晶體流向該第 N 閘極線之一漏電流；

一第二下拉單元，電連接於該輸入單元，該第二下拉單元係用來根據該第二輸入訊號以下拉該驅動控制電壓；

一下拉控制單元，電連接於該輸入單元，該下拉控制單元係用來根據該驅動控制電壓產生一控制訊號；以及

一第三下拉單元，電連接於該下拉控制單元與該第 N 閘極線，該第三下拉單元是用來根據該控制訊號以下拉該第 N 閘極訊號，該第三下拉單元包含：

一第三電晶體，包含一第一端、一第二端與一閘極端，其中該第三電晶體之閘極端電連接於該下拉控制單元以接收該控制訊號，該第三電晶體之第二端電連接於該電源端；以及

一第二單向導通元件，包含一陽極與一陰極，其中該第二單向導通元件之陽極電連接於該第 N 閘極線，該第二單向導通元件之陰極電連接於該第三電晶體之第一端，該第二單向導通元件係用來抑制由該電源端經該第三電晶體流向該第 N 閘極線之一漏電流；

其中該第三電晶體為一薄膜電晶體或一場效電晶體。

8. 如請求項 7 所述之移位暫存器電路，其中該第二單向導通元件包含一第四電晶體，該第四電晶體之一第一端與一閘極端電連

接於該第 N 閘極線，該第四電晶體之一第二端電連接於該第三電晶體之第一端，該第四電晶體為一薄膜電晶體或一場效電晶體。

9. 如請求項 7 所述之移位暫存器電路，其中：

該第二下拉單元包含一第五電晶體，該第五電晶體之一第一端電連接於該輸入單元，該第五電晶體之一閘極端電連接於該些級移位暫存器之一第(N+1)級移位暫存器以接收該些閘極訊號之一第(N+1)閘極訊號，該第五電晶體之一第二端電連接於該電源端；

該上拉單元包含一第六電晶體，該第六電晶體之一第一端係用來接收該系統時脈，該第六電晶體之一閘極端電連接於該輸入單元，該第六電晶體之一第二端電連接於該第 N 閘極線；  
以及

該儲能單元包含一電連接於該第六電晶體之閘極端與第二端間的電容；

其中該第五電晶體與第六電晶體為薄膜電晶體或場效電晶體。

10. 如請求項 7 所述之移位暫存器電路，其中該輸入單元包含一第七電晶體，該第七電晶體之一第一端與一閘極端電連接於該些級移位暫存器之一第(N-1)級移位暫存器以接收該些閘極訊號之一第(N-1)閘極訊號，該第七電晶體之一第二端係用來輸出該驅動控制電壓，第七電晶體為一薄膜電晶體或一場效電晶體。

11. 如請求項 7 所述之移位暫存器電路，其中該第一電晶體之閘極端電連接於該些級移位暫存器之一第(N+1)級移位暫存器以接收該些閘極訊號之一第(N+1)閘極訊號，該第一電晶體為一薄膜電晶體或一場效電晶體。
12. 如請求項 7 所述之移位暫存器電路，其中該第一單向導通元件包含一第二電晶體，該第二電晶體之一第一端與一閘極端電連接於該第一電晶體之第二端，該第二電晶體之一第二端電連接於該電源端，該第二電晶體為一薄膜電晶體或一場效電晶體。
13. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之一第 N 級移位暫存器包含：
  - 一輸入單元，用來根據一第一輸入訊號以輸出一驅動控制電壓；
  - 一上拉單元，電連接於該輸入單元與該些閘極線之一第 N 閘極線，該上拉單元係用來根據該驅動控制電壓與一系統時脈以上拉該些閘極訊號之一第 N 閘極訊號，其中該第 N 閘極線係用以傳輸該第 N 閘極訊號；
  - 一儲能單元，電連接於該上拉單元與該輸入單元，該儲能單元係用來根據該驅動控制電壓執行一充電程序或一放電程序；
  - 一第一下拉單元，電連接於該第 N 閘極線，該第一下拉單元係用來根據一第二輸入訊號以下拉該第 N 閘極訊號，該第一下

拉單元包含：

- 一第一電晶體，包含一第一端、一第二端與一閘極端，其中該閘極端係用來接收該第二輸入訊號，該第二端電連接於一電源端；以及
- 一第一單向導通元件，包含一陽極與一陰極，其中該陽極電連接於該第 N 閘極線，該陰極電連接於該第一電晶體之第一端，該第一單向導通元件係用來抑制由該電源端經該第一電晶體流向該第 N 閘極線之一漏電流；
- 一第二下拉單元，電連接於該輸入單元，該第二下拉單元係用來根據該第二輸入訊號以下拉該驅動控制電壓；
- 一下拉控制單元，電連接於該輸入單元，該下拉控制單元係用來根據該驅動控制電壓產生一控制訊號；以及
- 一第三下拉單元，電連接於該下拉控制單元與該第 N 閘極線，該第三下拉單元是用來根據該控制訊號以下拉該第 N 閘極訊號，該第三下拉單元包含：
  - 一第三電晶體，包含一第一端、一第二端與一閘極端，其中該第三電晶體之第一端電連接於該第 N 閘極線，該第三電晶體之閘極端電連接於該下拉控制單元以接收該控制訊號；以及
  - 一第二單向導通元件，包含一陽極與一陰極，其中該第二單向導通元件之陽極電連接於該第三電晶體之第二端，該第二單向導通元件之陰極電連接於該電源端，該第二單向導通元件係用來抑制由該電源端經該第三電晶體流向該

第 N 閘極線之一漏電流；

其中該第三電晶體為一薄膜電晶體或一場效電晶體。

14. 如請求項 13 所述之移位暫存器電路，其中該第一電晶體之閘極端電連接於該些級移位暫存器之一第(N+1)級移位暫存器以接收該些閘極訊號之一第(N+1)閘極訊號，該第一電晶體為一薄膜電晶體或一場效電晶體。
15. 如請求項 13 所述之移位暫存器電路，其中該第一單向導通元件包含一第二電晶體，該第二電晶體之一第一端與一閘極端電連接於該第 N 閘極線，該第二電晶體之一第二端電連接於該第一電晶體之第一端，該第二電晶體為一薄膜電晶體或一場效電晶體。
16. 如請求項 13 所述之移位暫存器電路，其中該第二單向導通元件包含一第四電晶體，該第四電晶體之一第一端與一閘極端電連接於該第三電晶體之第二端，該第四電晶體之一第二端電連接於該電源端，該第四電晶體為一薄膜電晶體或一場效電晶體。
17. 如請求項 13 所述之移位暫存器電路，其中：

該第二下拉單元包含一第五電晶體，該第五電晶體之一第一端電連接於該輸入單元，該第五電晶體之一閘極端電連接於該些級移位暫存器之一第(N+1)級移位暫存器以接收該些閘極

訊號之一第(N+1)閘極訊號，該第五電晶體之一第二端電連接於該電源端；以及

該上拉單元包含一第六電晶體，該第六電晶體之一第一端係用來接收該系統時脈，該第六電晶體之一閘極端電連接於該輸入單元，該第六電晶體之一第二端電連接於該第 N 閘極線；該儲能單元包含一電連接於該第六電晶體之閘極端與第二端間的電容；

其中該第五電晶體與第六電晶體為薄膜電晶體或場效電晶體。

18. 如請求項 13 所述之移位暫存器電路，其中該輸入單元包含一第七電晶體，該第七電晶體之一第一端與一閘極端電連接於該些級移位暫存器之一第(N-1)級移位暫存器以接收該些閘極訊號之一第(N-1)閘極訊號，該第七電晶體之一第二端係用來輸出該驅動控制電壓，第七電晶體為一薄膜電晶體或一場效電晶體。

19. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之一第 N 級移位暫存器包含：  
一輸入單元，用來根據一第一輸入訊號以輸出一驅動控制電壓；  
一上拉單元，電連接於該輸入單元與該些閘極線之一第 N 閘極線，該上拉單元係用來根據該驅動控制電壓與一系統時脈以上拉該些閘極訊號之一第 N 閘極訊號，其中該第 N 閘極線係用以傳輸該第 N 閘極訊號；

- 一儲能單元，電連接於該上拉單元與該輸入單元，該儲能單元係用來根據該驅動控制電壓執行一充電程序或一放電程序；
- 一第一下拉單元，電連接於該第 N 閘極線，該第一下拉單元係用來根據一第二輸入訊號以下拉該第 N 閘極訊號，該第一下拉單元包含：
  - 一第一電晶體，包含一第一端、一第二端與一閘極端，其中該閘極端係用來接收該第二輸入訊號，該第二端電連接於一電源端；以及
  - 一第一單向導通元件，包含一陽極與一陰極，其中該陽極電連接於該第 N 閘極線，該陰極電連接於該第一電晶體之第一端，該第一單向導通元件係用來抑制由該電源端經該第一電晶體流向該第 N 閘極線之一漏電流；
- 一第二下拉單元，電連接於該輸入單元，該第二下拉單元係用來根據該第二輸入訊號以下拉該驅動控制電壓；
- 一下拉控制單元，電連接於該輸入單元，該下拉控制單元係用來根據該驅動控制電壓產生一控制訊號；以及
- 一第三下拉單元，電連接於該下拉控制單元與該第 N 閘極線，該第三下拉單元是用來根據該控制訊號以下拉該第 N 閘極訊號，該第三下拉單元包含：
  - 一第三電晶體，包含一第一端、一第二端與一閘極端，其中該第三電晶體之閘極端電連接於該下拉控制單元以接收該控制訊號，該第三電晶體之第二端電連接於該電源端；以及

一第二單向導通元件，包含一陽極與一陰極，其中該第二單向導通元件之陽極電連接於該第 N 閘極線，該第二單向導通元件之陰極電連接於該第三電晶體之第一端，該第二單向導通元件係用來抑制由該電源端經該第三電晶體流向該第 N 閘極線之一漏電流；

其中該第三電晶體為一薄膜電晶體或一場效電晶體。

20. 如請求項 19 所述之移位暫存器電路，其中該第二單向導通元件包含一第四電晶體，該第四電晶體之一第一端與一閘極端電連接於該第 N 閘極線，該第四電晶體之一第二端電連接於該第三電晶體之第一端，該第四電晶體為一薄膜電晶體或一場效電晶體。

21. 如請求項 19 所述之移位暫存器電路，其中：

該第二下拉單元包含一第五電晶體，該第五電晶體之一第一端電連接於該輸入單元，該第五電晶體之一閘極端電連接於該些級移位暫存器之一第(N+1)級移位暫存器以接收該些閘極訊號之一第(N+1)閘極訊號，該第五電晶體之一第二端電連接於該電源端；以及

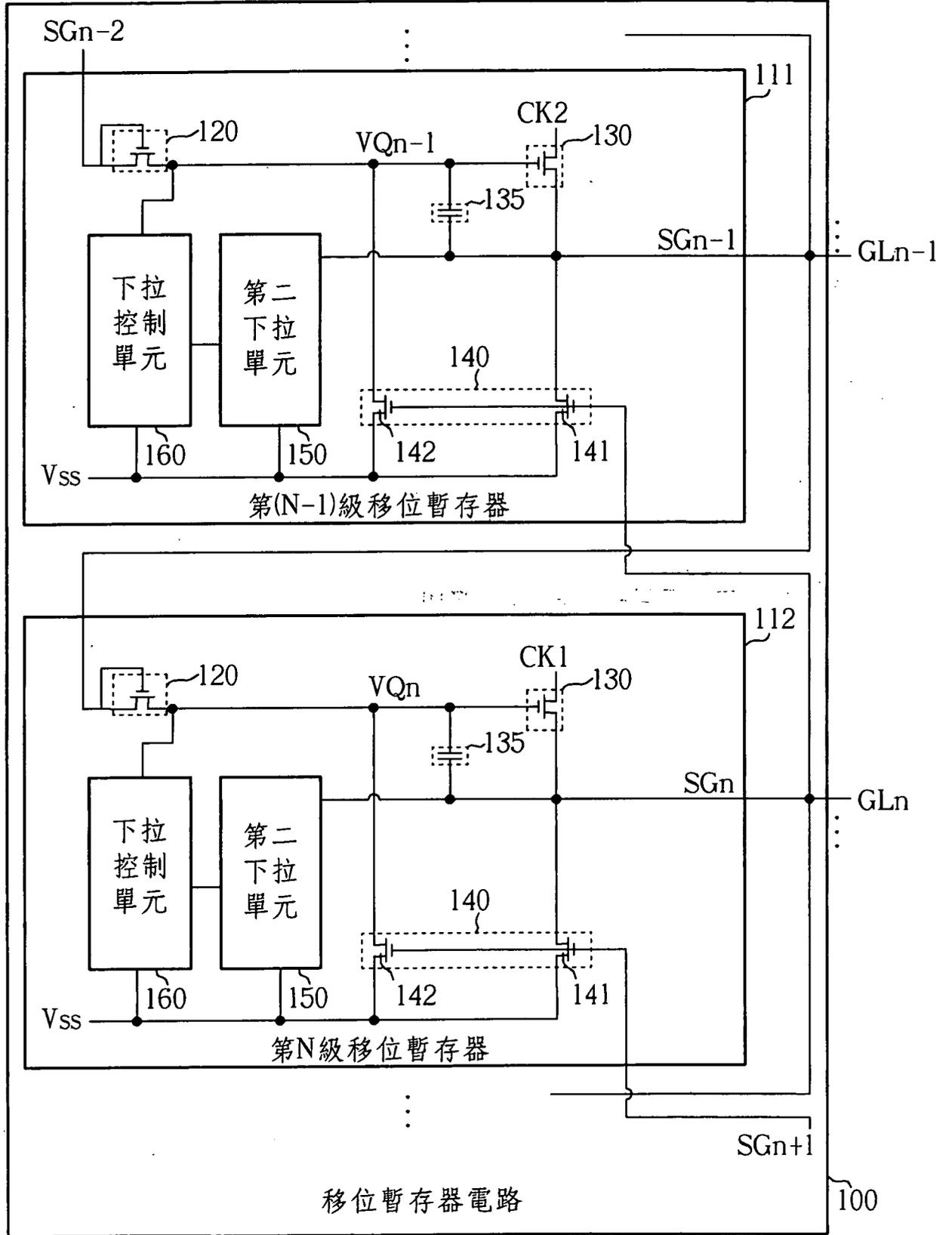
該上拉單元包含一第六電晶體，該第六電晶體之一第一端係用來接收該系統時脈，該第六電晶體之一閘極端電連接於該輸入單元，該第六電晶體之一第二端電連接於該第 N 閘極線；該儲能單元包含一電連接於該第六電晶體之閘極端與第二端間

的電容；

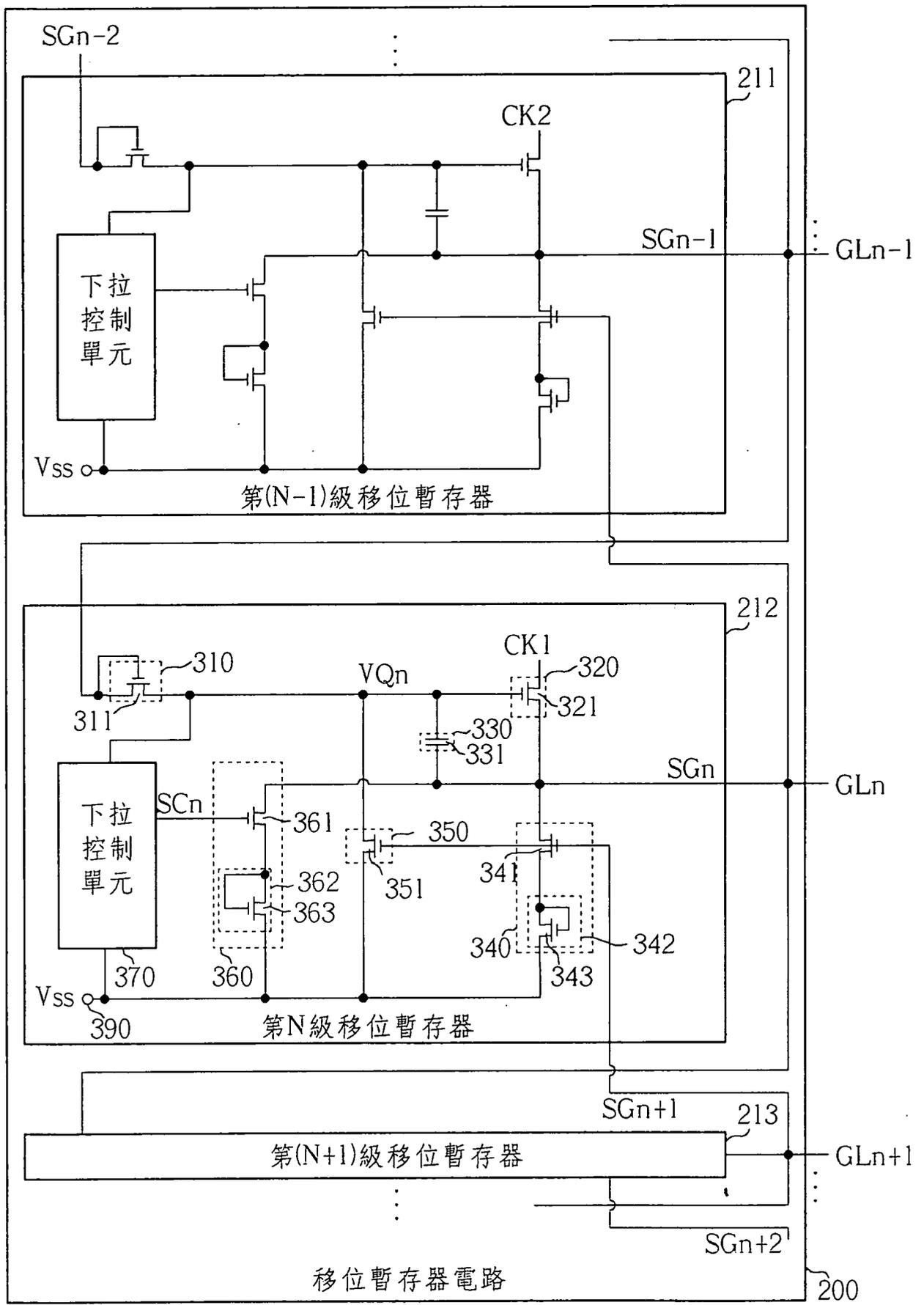
其中該第五電晶體與第六電晶體為薄膜電晶體或場效電晶體。

22. 如請求項 19 所述之移位暫存器電路，其中該輸入單元包含一第七電晶體，該第七電晶體之一第一端與一閘極端電連接於該些級移位暫存器之一第(N-1)級移位暫存器以接收該些閘極訊號之一第(N-1)閘極訊號，該第七電晶體之一第二端係用來輸出該驅動控制電壓，第七電晶體為一薄膜電晶體或一場效電晶體。
23. 如請求項 19 所述之移位暫存器電路，其中該第一電晶體之閘極端電連接於該些級移位暫存器之一第(N+1)級移位暫存器以接收該些閘極訊號之一第(N+1)閘極訊號，該第一電晶體為一薄膜電晶體或一場效電晶體。
24. 如請求項 19 所述之移位暫存器電路，其中該第一單向導通元件包含一第二電晶體，該第二電晶體之一第一端與一閘極端電連接於該第 N 閘極線，該第二電晶體之一第二端電連接於該第一電晶體之第一端，該第二電晶體為一薄膜電晶體或一場效電晶體。

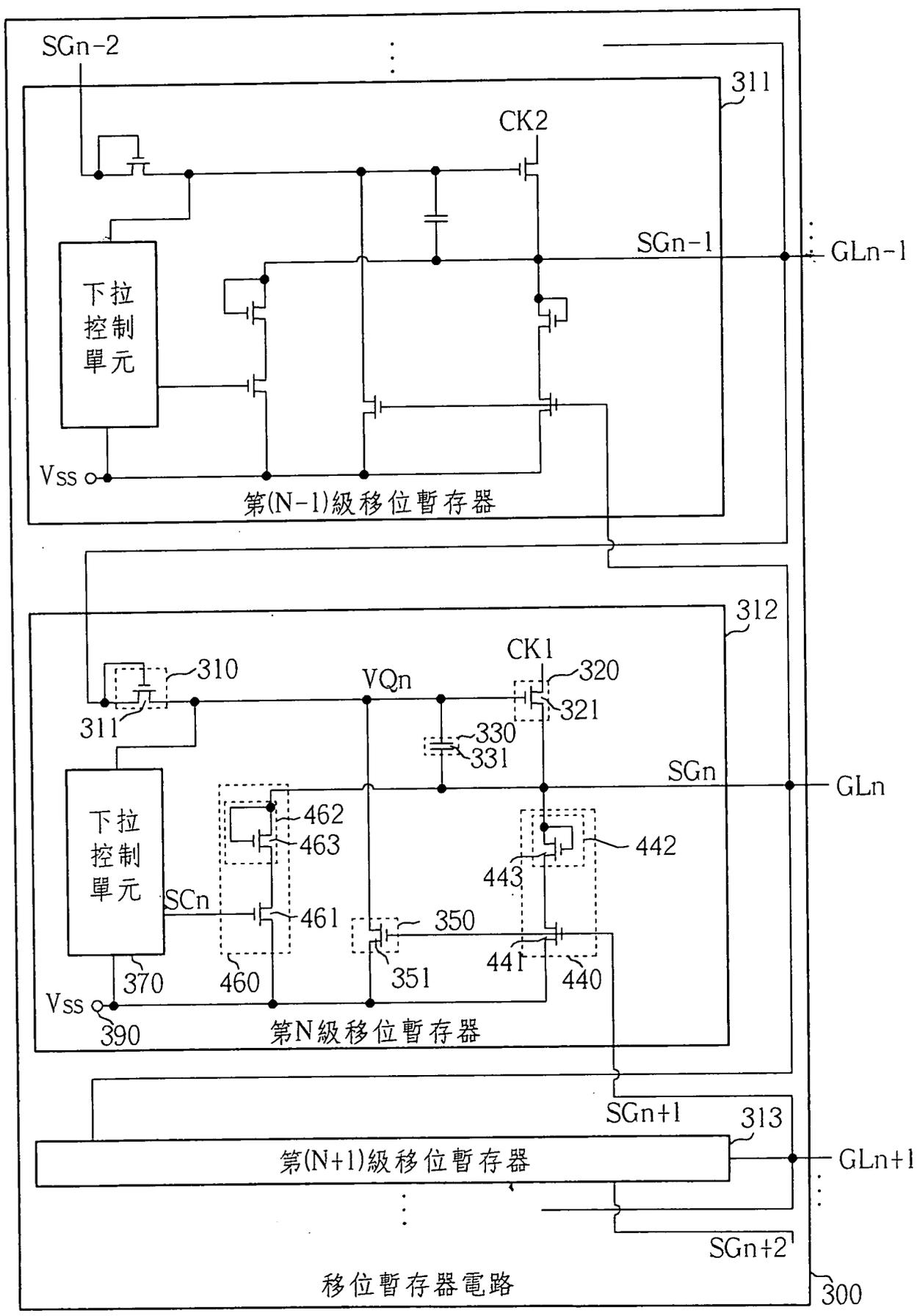
八、圖式：



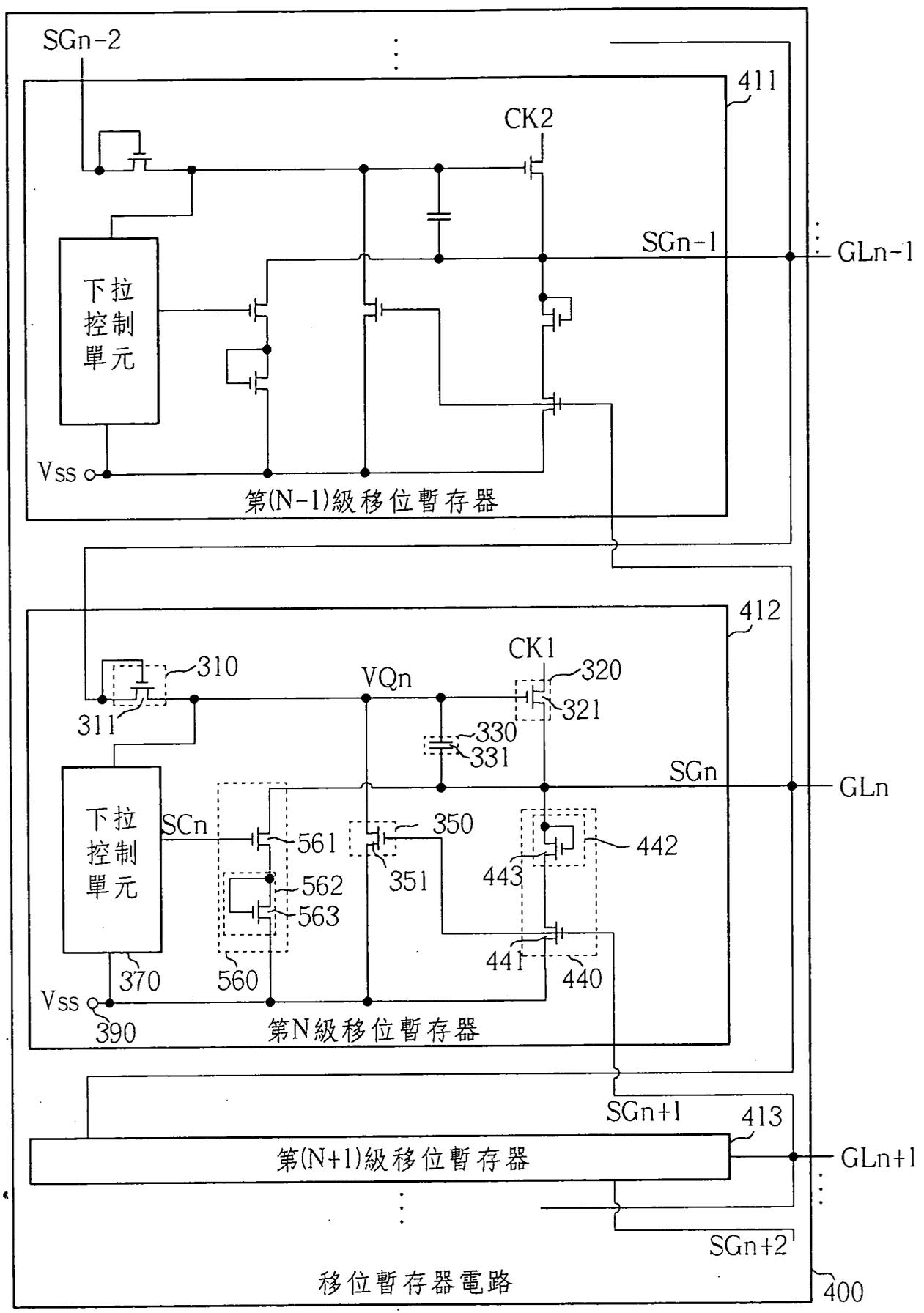
第1圖



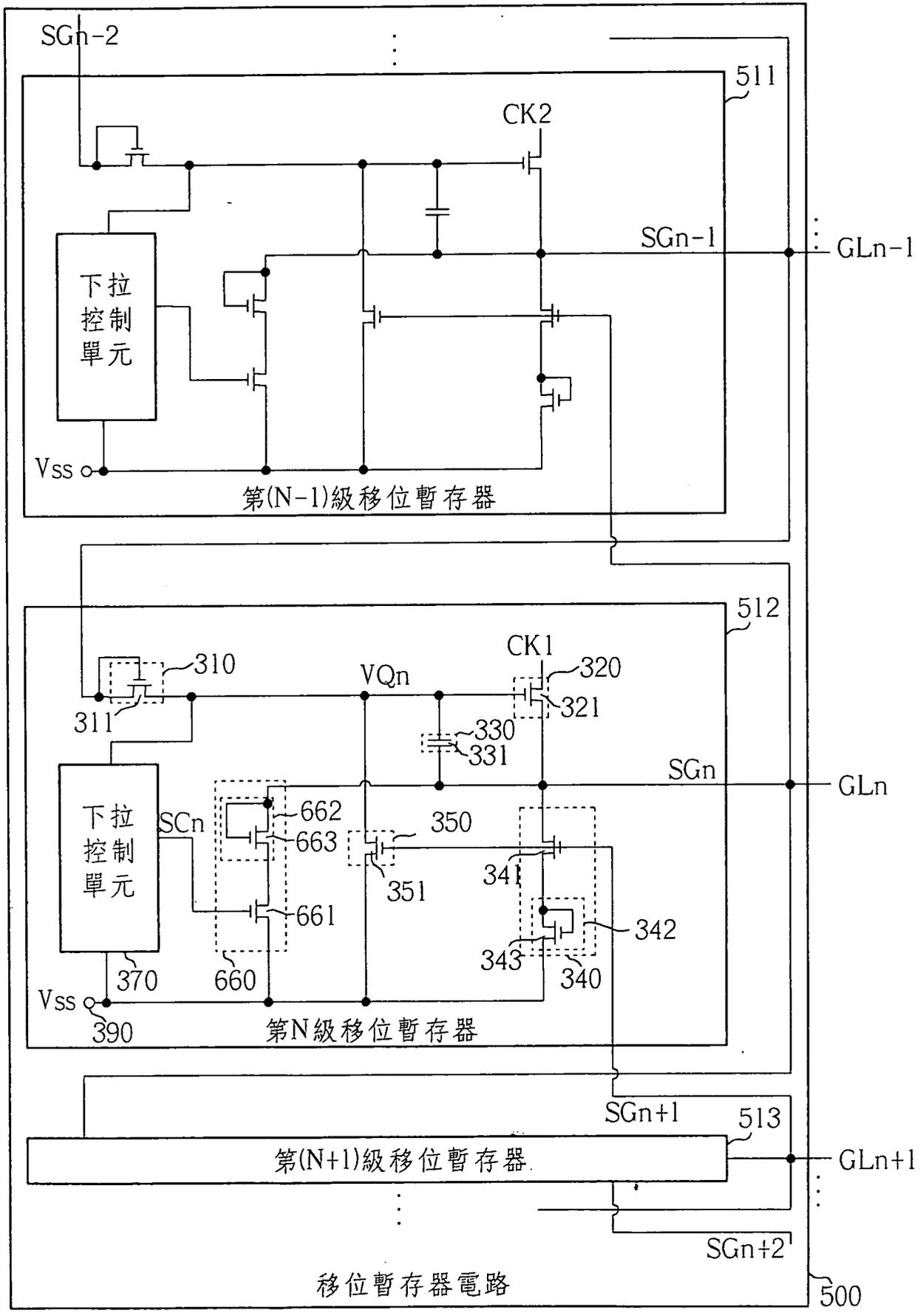
第2圖



第3圖



第4圖



第5圖