

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4477739号
(P4477739)

(45) 発行日 平成22年6月9日(2010.6.9)

(24) 登録日 平成22年3月19日(2010.3.19)

(51) Int. Cl.

F 1

G 0 6 F 11/18 (2006.01)

G 0 6 F 11/18 3 1 0 E

請求項の数 4 (全 16 頁)

<p>(21) 出願番号 特願2000-118083 (P2000-118083)</p> <p>(22) 出願日 平成12年4月19日 (2000.4.19)</p> <p>(65) 公開番号 特開2001-306348 (P2001-306348A)</p> <p>(43) 公開日 平成13年11月2日 (2001.11.2)</p> <p>審査請求日 平成19年4月12日 (2007.4.12)</p>	<p>(73) 特許権者 500180433 エアロアストロ インコーポレイテッド アメリカ合衆国 ヴァージニア州 201 70 ハーンドン ハントマー パーク ドライブ 520</p> <p>(73) 特許権者 500180248 森 欣司 東京都町田市金井1-15-8</p> <p>(73) 特許権者 500302552 株式会社IHIエアロスペース 東京都江東区豊洲三丁目1番1号</p> <p>(74) 代理人 100072051 弁理士 杉村 興作</p>
----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 冗長系情報処理システム

(57) 【特許請求の範囲】

【請求項1】

三つ以上の処理装置(1A, 1B, 1C)により共通の信号出力手段(4)からの信号に基づきそれぞれ所定の情報処理を行って制御情報を生成し、それらの制御情報のうちから論理決定によって決定した制御情報によって共通の制御対象(5)の制御を行う冗長系情報処理システムにおいて、

前記三つ以上の処理装置が各々、

前記三つ以上の処理装置による前記制御情報の生成過程における情報処理結果を集めて、何れの処理装置が生成した制御情報を有効とするかを論理決定により決定し、前記三つ以上の処理装置のうちの当該処理装置を含む二つ以上の処理装置が生成した制御情報を有効とする場合は、あらかじめ定められた優先度に基づきそれら制御情報を有効とする処理装置のうちで当該処理装置の優先度が最先の場合には制御情報送信信号を出力する一方最先でない場合には制御情報送信信号を出力しないようにするとともに、制御情報を有効とする処理装置以外の他の処理装置にそれぞれ制御情報阻止信号を出力し、前記三つ以上の処理装置のうちの当該処理装置を除く他の処理装置が生成した制御情報を有効とする場合は、制御情報送信信号を出力しないようにするとともに、他の処理装置に制御情報阻止信号を出力しないようにする送信可否決定部(2)を具え、

前記三つ以上の処理装置が各々、

前記三つ以上の処理装置のうちの当該処理装置を除く他の処理装置からの前記制御情報阻止信号を入力し、その制御情報阻止信号の入力数が前記論理決定で有効とする所定数未

満でかつ当該処理装置の前記送信可否決定部が前記制御情報送信信号を出力している場合は、当該処理装置が生成した制御情報を前記制御対象に出力し、前記制御情報阻止信号の入力数が前記所定数以上の場合は、当該処理装置の前記送信可否決定部が前記制御情報送信信号を出力していても当該処理装置が生成した制御情報を前記制御対象に出力しない論理演算部(3)をさらに具えることを特徴とする、冗長系情報処理システム。

【請求項2】

前記論理演算部は、論理演算素子からなり、フィードバックループを持っていない組み合わせ回路(3)で構成されていることを特徴とする、請求項1記載の冗長系情報処理システム。

【請求項3】

前記処理装置が、前記制御情報の生成過程で過去の制御情報を用いるものである場合に、制御情報を有効とする処理装置以外の他の前記処理装置は、その生成した制御情報を、制御情報を有効とする処理装置の制御情報に書き換えて、その書き換えた制御情報を次の制御情報の生成過程に用いることを特徴とする、請求項1または2記載の冗長系情報処理システム。

【請求項4】

前記三つ以上の処理装置の前記送信可否決定部が行う論理決定の処理手順は共通であることを特徴とする、請求項1から3までの何れか記載の冗長系情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、信頼性確保のため、冗長系(多重系)を構成する三つ以上の処理装置を具え、それらの処理装置により共通の信号出力手段からの信号に基づいてそれぞれ所定の情報処理を行って制御情報を生成し、それらの制御情報のうちから論理決定例えば多数決によって決定した制御情報によって共通の制御対象の制御を行う冗長系情報処理システムに関するものである。

【0002】

【従来の技術】

上述の如き情報処理システムとしては従来、例えば特開平9-134208号公報にて開示されたものがあり、この情報処理システムは、共通の信号出力手段としてのセンサからの信号に基づき独自のクロックで独立して情報処理を行う処理装置としてのコントローラを三つ具えるとともに、共通の制御対象としてのアクチュエータを有するアクチュエータ装置内に、多数決論理回路とそれを制御する制御回路との組を具えている。

【0003】

そしてこの情報処理システムでは、センサからの信号に基づき三つのコントローラで情報処理を行ってそれぞれアクチュエータ制御信号を生成するとともに、それらのコントローラでの情報処理結果を各コントローラ内に集めて比較し、各コントローラからその比較結果情報をアクチュエータ装置内の制御回路の記憶素子へ送って記憶させ、その制御回路で各コントローラからの比較結果情報から多数決により正常なコントローラを決定して、その正常なコントローラからのアクチュエータ制御信号を選択的にアクチュエータに送るように多数決論理回路を作動させ、それによってアクチュエータを作動させている。

【0004】

【発明が解決しようとする課題】

しかしながらかかる従来の情報処理システムでは、アクチュエータ装置内の、多数決を行う制御回路および、その多数決の結果に基づきアクチュエータ制御信号を選択的に通過させる多数決論理回路が各々、単一故障点すなわちそれが故障するとアクチュエータが作動しなくなる部分となっており、それゆえ、コントローラ側を多重化していても十分な信頼性を確保するのは困難であるという問題があった。

そしてこの問題の解決のため、単一故障点となる多数決論理回路および制御回路を市販品

10

20

30

40

50

よりも高い信頼性を持つ特別注文の部品で構成することとすると、システムが極めて高価なものとなってしまふという問題があり、この点は特に、多くのアクチュエータの作動を制御する必要がある場合に重大であった。

【 0 0 0 5 】

【課題を解決するための手段およびその作用・効果】

この冗長系情報処理システムは、三つ以上の処理装置により共通の信号出力手段からの信号に基づきそれぞれ所定の情報処理を行って制御情報を生成し、それらの制御情報のうちから論理決定によって決定した制御情報によって共通の制御対象の制御を行う冗長系情報処理システムにおいて、前記三つ以上の処理装置が各々、前記三つ以上の処理装置による前記制御情報の生成過程における情報処理結果を集めて、何れの処理装置が生成した制御情報を有効とするかを論理決定により決定し、前記三つ以上の処理装置のうちの当該処理装置を含む二つ以上の処理装置が生成した制御情報を有効とする場合は、あらかじめ定められた優先度に基づきそれら制御情報を有効とする処理装置のうちで当該処理装置の優先度が最先の場合には制御情報送信信号を出力する一方最先でない場合には制御情報送信信号を出力しないようにするとともに、制御情報を有効とする処理装置以外の他の処理装置にそれぞれ制御情報阻止信号を出力し、前記三つ以上の処理装置のうちの当該処理装置を除く他の処理装置が生成した制御情報を有効とする場合は、制御情報送信信号を出力しないようにするとともに、他の処理装置に制御情報阻止信号を出力しないようにする送信可否決定部を具えている。

【 0 0 0 6 】

かかる情報処理システムにあつては、当該システムを構成する三つ以上の処理装置の各々が、送信可否決定部を具えており、ここで、各処理装置の送信可否決定部は、当該システムを構成する三つ以上の処理装置による、共通の信号出力手段からの信号に基づく制御情報の生成過程における情報処理結果を集めて、何れの処理装置が生成した制御情報を有効とするかを論理決定により決定し、当該システムを構成する三つ以上の処理装置のうちの当該処理装置を含む二つ以上の処理装置が生成した制御情報を有効とする場合は、あらかじめ定められた優先度に基づきそれら制御情報を有効とする処理装置のうちで当該処理装置の優先度が最先の場合には制御情報送信信号を出力する一方最先でない場合には制御情報送信信号を出力しないようにするとともに、制御情報を有効とする処理装置以外の他の処理装置にそれぞれ制御情報阻止信号を出力し、また当該システムを構成する三つ以上の処理装置のうちの当該処理装置を除く他の処理装置が生成した制御情報を有効とする場合は、制御情報送信信号を出力しないようにするとともに、他の処理装置に制御情報阻止信号を出力しないようにする。ここで、前記情報処理結果としては、生成した制御情報や、制御情報の生成途中での演算結果等を用いることができる。

【 0 0 0 7 】

この発明の冗長系情報処理システムは、前記三つ以上の処理装置が各々、前記三つ以上の処理装置のうちの当該処理装置を除く他の処理装置からの前記制御情報阻止信号を入力し、その制御情報阻止信号の入力数が前記論理決定で有効とする所定数未満でかつ当該処理装置の前記送信可否決定部が前記制御情報送信信号を出力している場合は、当該処理装置が生成した制御情報を前記制御対象に出力し、前記制御情報阻止信号の入力数が前記所定数以上の場合は、当該処理装置の前記送信可否決定部が前記制御情報送信信号を出力していても当該処理装置が生成した制御情報を前記制御対象に出力しない論理演算部を具えることを特徴としている。

【 0 0 0 8 】

かかる情報処理システムにあつては、当該システムを構成する三つ以上の処理装置の各々が、送信可否決定部と論理演算部とを具えており、各処理装置の論理演算部は、当該システムを構成する三つ以上の処理装置のうちの当該処理装置を除く他の処理装置からの制御情報阻止信号を入力し、その制御情報阻止信号の入力数が前記多数決で有効とする所定数未満でかつ当該処理装置の送信可否決定部が制御情報送信信号を出力している場合は、当該処理装置が生成した制御情報をアクチュエータ等の制御対象に出力し、制御情報阻止信

10

20

30

40

50

号の入力数が前記所定数以上の場合は、当該処理装置の送信可否決定部が制御情報送信信号を出力していても当該処理装置が生成した制御情報をアクチュエータ等の制御対象へは出力しない。

【0009】

従ってこの発明の情報処理システムによれば、当該システムを構成する三つ以上の処理装置の過半数を超えない幾つかでの情報処理結果に異常があっても、それらのうちの何れか二つ以上の処理装置が生成した制御情報を論理決定で有効とすることから、正常に生成された制御情報を選択することができる可能性が高いので、信頼性の高い制御情報を得ることができる。

【0010】

また、この発明の情報処理システムにあっては、制御情報を有効とする二つ以上の処理装置のうちで優先度が最先の処理装置が制御情報送信信号を出力する一方で、制御情報を有効とする二つ以上の処理装置のうちで優先度が最先でない処理装置は制御情報送信信号を出力しないようにする。さらに、それら制御情報を有効とする二つ以上の処理装置は他の処理装置に対してそれぞれ制御情報阻止信号を出力することから、たとえ制御情報を有効とする処理装置以外の他の処理装置の送信可否決定部が誤作動して制御情報を出力しても、その処理装置の論理回路部が、論理決定で有効とする所定数以上の他の処理装置から制御情報阻止信号を入力して制御情報を出力しないようにする。また、たとえ制御情報を有効とする処理装置以外の他の幾つかの処理装置の送信可否決定部が誤作動して制御阻止信号を出力しても、その制御阻止信号の入力数が論理決定で有効とする所定数未満の場合には、上記優先度が最先の処理装置の論理演算部は、その処理装置の送信可否決定部が制御情報送信信号を出力していることから、制御情報を制御対象へ出力する。

【0011】

従ってこの発明の情報処理システムによれば、制御情報を有効とする二つ以上の処理装置すなわち正常に作動している可能性が高い処理装置のうちで優先度が最先の単一の処理装置のみから制御情報を制御対象へ出力することができる。

【0012】

そしてこの発明の情報処理システムによれば、共通の信号出力手段からの信号に基づき制御情報を生成する情報処理も、制御情報を有効とする論理決定の処理も、論理決定で有効とした複数の処理装置からの制御情報の選択処理も、何れも複数の処理装置で行うことから、システム内に多数決論理回路やその制御回路のような単一故障点となる部分を持たなくて済むので、十分な信頼性を持つ冗長系処理システムを安価に構成することができる。

【0013】

さらにこの発明の情報処理システムによれば、処理装置の数が三つ以上であればその数の如何にかかわらず上記各処理を行うことができることから、高い拡張性を有するので、信頼度の要求に応じて処理装置の数を増減させることで、容易にその要求に対応することができる。

【0014】

なお、この発明の情報処理システムにおいては、前記論理演算部は論理演算素子からなり、フィードバックループを持たない組み合わせ回路で構成されていても良く、かかる構成によれば、論理演算部が記憶素子を持たないことから、宇宙空間でロケットや人工衛星の姿勢制御に使用した場合等に宇宙放射線等の影響で記憶素子が反転するシングルイベントアップセット（SEU）の可能性を論理演算部についてはなくすことができるので、送信可否決定部が多数決で決定した結果がSEUに起因する論理演算部の誤作動で無意味になるという事態を有効に防止することができる。

【0015】

また、この発明の情報処理システムにおいては、前記処理装置が、前記制御情報の生成過程で過去の制御情報を用いるものである場合に、制御情報を有効とする処理装置以外の他の前記処理装置が、その生成した制御情報を、制御情報を有効とする処理装置の制御情報に書き換えて、その書き換えた制御情報を次の制御情報の生成過程に用いるようにして

10

20

30

40

50

も良く、かかる構成によれば、送信可否決定部がS E Uに起因して一過性の誤動作をした場合に、その誤動作した回の誤った処理結果を放棄して他の処理装置で正常に生成された制御情報を以後の処理に用いることができるので、システムの信頼性を高く維持することができる。

【0016】

さらに、この発明の情報処理システムにおいては、前記三つ以上の処理装置の前記送信可否決定部が行う論理決定の処理手順が共通であっても良く、かかる構成によれば、その論理決定を行うプログラムの開発時やシステムへのインストール時の作業者の作業の誤り低減させることができるので、システムの信頼性を向上させることができる。

【0017】

【発明の実施の形態】

以下に、この発明の実施の形態を実施例によって、図面に基づき詳細に説明する。ここに、図1は、この発明の冗長系情報処理システムの一実施例を示す構成図であり、図中符号1A~1Cは互いに同一の構成を具える処理装置、2は送信可否決定部としてのプロセッサ部、3は論理演算部としてのインタフェース部、4は上記処理装置1A~1Cに共通の信号出力手段としてのセンサ、5は上記処理装置1A~1Cに共通の制御対象としてのアクチュエータ、6は上記処理装置1A~1Cを相互に繋ぐネットワークをそれぞれ示し、この実施例の冗長系情報処理システムは、例えばロケットの姿勢制御系等に用いることができる。

【0018】

ここにおける処理装置1A~1Cは具体的には各々、プロセッサ部2とインタフェース部3とを具えており、ここで、プロセッサ部2は、演算処理を行う通常の中央処理ユニット(CPU)2aと、プログラムや演算結果等の情報を記憶してCPUに所定のプログラムに基づく演算処理を実行させるメモリ(MEM)2bと、それらCPU2aおよびメモリ2bにクロック信号を供給するクロック回路(CLK)2cと、CPU2aやメモリ2bとネットワーク6との間の情報のやりとりを制御するネットワークコントローラ(NC)2dとを有している。なお、この実施例のシステムにおける三つの処理装置1A~1Cのプロセッサ部2のクロック回路2cは、互いに独立して作動するものである。

【0019】

またここで、インタフェース部3は、センサ4に接続されてセンサ4からの出力信号を入力するインタフェース回路(I/O)3aと、アクチュエータ5に接続されてアクチュエータ5に制御情報としての後述するコマンド信号を出力するインタフェース回路(I/O)3bとを有している。

【0020】

図2は、上記各処理装置1A~1Cが具えるインタフェース回路3bの回路構成を示す構成図であり、ここにおけるインタフェース回路3bは、論理演算素子であるAND素子3c、NAND素子3dおよびゲート素子3eを組み合わせてコマンド信号の出力を制御する論理回路と、そのインタフェース回路3bを具える処理装置のプロセッサ部2が出力する制御阻止信号としての後述する阻止信号S1, S2を他の二つの処理装置のインタフェース回路3bへそれぞれそのまま出力する信号回路3fとを有している。

【0021】

上記の論理回路において、NAND素子3dは、他の二つの処理装置のインタフェース回路3bから阻止信号S1, S2としての「1」信号を同時に入力すると「0」信号を出力し、阻止信号S1, S2としての「1」信号を少なくとも一方の処理装置から入力していない場合は「1」信号を出力する。また、AND素子3cは、当該処理装置のプロセッサ部2から制御情報送信信号として後述するコマンド送信信号としての「1」信号を入力すると同時にNAND素子3dから「1」信号を入力すると「1」信号を出力し、コマンド送信信号としての「1」信号とNAND素子3dからの「1」信号との少なくとも一方を入力していない場合は「0」信号を出力する。そしてゲート素子3eは、上記AND素子3cから「1」信号を入力している場合は、当該処理装置のプロセッサ部2から上記コマ

10

20

30

40

50

ンド信号を入力するとそのコマンド信号をアクチュエータ5へ出力するとともに、そのコマンド信号を後述するコマンド検証アルゴリズムのためのコマンド検証信号として当該処理装置のプロセッサ部2へも出力するが、上記AND素子3cから「1」信号を入力していない場合は、当該処理装置のプロセッサ部2から上記コマンド信号を入力してもそのコマンド信号をアクチュエータ5へ出力せずそこで阻止する。

【0022】

図3は、上記三つの処理装置1A～1Cのプロセッサ部2相互間、インタフェース回路3b相互間、そして各処理装置1A～1Cのプロセッサ部2とインタフェース回路3b相互間の接続状態を示す構成図であり、この実施例では図示のように接続することで各処理装置1A～1Cのプロセッサ部2の信号回路3fが、阻止信号S1, S2を他の二つの処理装置のインタフェース回路3bへそれぞれ出力している。

10

【0023】

この実施例の情報処理システムにあつては、共通の信号出力手段としてのセンサ4から三つの処理装置1A～1Cに同一の信号が出力されると、それら三つの処理装置1A～1Cの三つのプロセッサ部2のCPU2aが並列的にそれぞれ、そのプロセッサ部2のメモリ2b内にあらかじめ与えられたプログラムに従い、先ず上記センサ4からの信号に基づいて所定の演算処理を行って、共通の制御対象としてのアクチュエータ5の作動を制御するためのコマンド信号を生成し、次いでそれら三つの処理装置1A～1Cのうちの他の処理装置が行った情報処理の結果をネットワーク6を介して入力して、以下に示す多数決の処理を行う。

20

【0024】

上記入力する情報処理結果としては、生成したコマンド信号の所定の部分(例えば最初の数ビット等)を用いているが、そのコマンド信号の他、アクチュエータの移動量やコマンド信号の生成途中での演算結果等の全体や所定の部分を用いることができる。また、この実施例では、あらかじめ三つの処理装置1A～1Cの優先順位を、処理装置1Aが最も優先度が高く、次いで処理装置1Bが優先度が高く、処理装置1Cが最も優先度が低いものとして設定するとともに、処理装置1A～1C相互間で情報処理結果が全く一致しなかった場合は優先度の最も高い処理装置1Aのコマンド信号を出力するものとして設定してある。

【0025】

図4は、処理装置1Aのプロセッサ部2のCPU2aがそのプロセッサ部2のメモリ2b内のプログラムに基づいて行う論理決定の一例としての、多数決のアルゴリズム(演算手順)を示すフローチャートであり、ここでは、阻止信号S1は処理装置1Cのインタフェース回路3bへ出力されてその処理装置1Cを制御し、阻止信号S2は処理装置1Bのインタフェース回路3bへ出力されてその処理装置1Bを制御する。

30

【0026】

図4中のステップ11では、処理装置1AのCPU2a自身の情報処理結果と他の処理装置の一方の処理装置1Bの情報処理結果とを比較して一致しているか否かを判断して、一致している場合はステップ12へ、一致していない場合はステップ15へ進み、ステップ12では、次に処理装置1AのCPU2a自身の情報処理結果と他の処理装置の他方の処理装置1Cの情報処理結果とを比較して一致しているか否かを判断し、一致している場合はステップ13へ、一致していない場合(処理装置1Cが故障で、結果が入力されない場合も含まれる。以下の一致しない場合についても処理装置の一方が故障で結果が入力されない場合も含まれる。)はステップ14へ進む。そしてステップ13では、先のステップ11, 12の判断で三つの処理装置1A～1Cの情報処理結果が全て一致していたので、優先度の最も高い当該処理装置1Aがコマンド信号を出力することになるようにコマンド送信信号を「1」信号にセットするとともに、他の処理装置1B, 1Cも正しかったことになるので阻止信号S1, S2を「0」信号(阻止信号なし)にセットする。

40

【0027】

一方、ステップ14では、先のステップ11, 12の判断で処理装置1A, 1Bの情報処理結果

50

は一致していたが処理装置 1 A , 1 C の情報処理結果は一致していなかったため、論理決定、例えば多数決で処理装置 1 A , 1 B の情報処理結果を正しいものとする事とし、その場合に優先度の最も高い当該処理装置 1 A がコマンド信号を出力することになるように、コマンド送信信号を「 1 」信号にセットするとともに、処理装置 1 C は誤っていたことになるので処理装置 1 C に対応する阻止信号 S 1 を「 1 」信号（阻止信号あり）にセットし、処理装置 1 B は正しかったことになるので処理装置 1 B に対応する阻止信号 S 2 を「 0 」信号にセットする。

【 0 0 2 8 】

またステップ15では、ステップ12と同様、処理装置 1 A の CPU 2 a 自身の情報処理結果と他の処理装置の他方の処理装置 1 C の情報処理結果とを比較して一致しているか否かを判断し、一致している場合はステップ16へ、一致していない場合はステップ17へ進む。そしてステップ16では、先のステップ11, 15の判断で処理装置 1 A , 1 C の情報処理結果は一致していたが処理装置 1 A , 1 B の情報処理結果は一致していなかったため、論理決定、例えば多数決で処理装置 1 A , 1 C の情報処理結果を正しいものとする事とし、その場合に優先度の最も高い当該処理装置 1 A がコマンド信号を出力することになるように、コマンド送信信号を「 1 」信号にセットするとともに、処理装置 1 C は正しかったことになるので処理装置 1 C に対応する阻止信号 S 1 を「 0 」信号にセットし、処理装置 1 B は誤っていたことになるので処理装置 1 B に対応する阻止信号 S 2 を「 1 」信号にセットする。

10

【 0 0 2 9 】

一方、ステップ17では、さらに、他の二つの処理装置 1 B , 1 C の情報処理結果を比較して一致しているか否かを判断し、一致している場合はステップ18へ、一致していない場合はステップ20へ進む。そしてステップ18では、先のステップ11, 15, 17の判断で処理装置 1 B , 1 C の情報処理結果は一致していたが処理装置 1 A , 1 B の情報処理結果も処理装置 1 A , 1 C の情報処理結果も一致していなかったため、論理決定、例えば多数決で他の処理装置 1 B , 1 C の情報処理結果を正しいものとする事とし、その場合に優先度の最も高い処理装置 1 B がコマンド信号を出力し得るように、コマンド送信信号を「 0 」信号にセットするとともに、処理装置 1 B , 1 C は正しかったことになるので阻止信号 S 1 , S 2 を「 0 」信号にセットする。しかる後、次のステップ19では、当該処理装置 1 A のプロセッサ部 2 のメモリ 2 b 内の情報処理結果のデータを、他の処理装置 1 B , 1 C からの情報処理結果のデータに置き換える。

20

30

【 0 0 3 0 】

また、ステップ20では、先のステップ11, 15, 17の判断で処理装置 1 A ~ 1 C の情報処理結果が全て一致していなかったため、論理決定、例えば多数決で決めることができないことから、先に述べたこの実施例についての規則で、三つの処理装置のうち優先度が最も高い当該処理装置 1 A がコマンド信号を出力することになるようにコマンド送信信号を「 1 」信号にセットするとともに、処理装置 1 B , 1 C は何れも誤っていたことになるので阻止信号 S 1 , S 2 を「 1 」信号にセットする。

【 0 0 3 1 】

図 5 は、処理装置 1 B のプロセッサ部 2 の CPU 2 a がそのプロセッサ部 2 のメモリ 2 b 内のプログラムに基づいて行う論理決定の一例としての、多数決のアルゴリズム（演算手順）を示すフローチャートであり、ここでは、阻止信号 S 1 は処理装置 1 A のインタフェース回路 3 b へ出力されてその処理装置 1 A を制御し、阻止信号 S 2 は処理装置 1 C のインタフェース回路 3 b へ出力されてその処理装置 1 C を制御する。

40

【 0 0 3 2 】

図 5 中のステップ21では、処理装置 1 B の CPU 2 a 自身の情報処理結果と他の処理装置の一方の処理装置 1 A の情報処理結果とを比較して一致しているか否かを判断して、一致している場合はステップ22へ、一致していない場合はステップ25へ進み、ステップ22では、次に処理装置 1 B の CPU 2 a 自身の情報処理結果と他の処理装置の他方の処理装置 1 C の情報処理結果とを比較して一致しているか否かを判断し、一致している場合はステッ

50

プ23へ、一致していない場合はステップ24へ進む。そしてステップ23では、先のステップ21, 22の判断で三つの処理装置1 A ~ 1 Cの情報処理結果が全て一致していたので、優先度が最も高い他の処理装置1 Aがコマンド信号を出力し得るように、コマンド送信信号を「0」信号にセットするとともに、他の処理装置1 A, 1 Cも正しかったことになるので阻止信号S 1, S 2を「0」信号(阻止信号なし)にセットする。

【0033】

一方ステップ24では、先のステップ21, 22の判断で処理装置1 A, 1 Bの情報処理結果は一致していたが処理装置1 B, 1 Cの情報処理結果は一致していなかったため、論理決定、例えば多数決で処理装置1 A, 1 Bの情報処理結果を正しいものとし、その場合に優先度の最も高い他の処理装置1 Aがコマンド信号を出力し得るように、コマンド送信信号を「0」信号にセットするとともに、処理装置1 Cは誤っていたことになるので処理装置1 Cに対応する阻止信号S 2を「1」信号(阻止信号あり)にセットし、処理装置1 Aは正しかったことになるので処理装置1 Aに対応する阻止信号S 1を「0」信号にセットする。

10

【0034】

またステップ25では、ステップ22と同様、処理装置1 BのCPU 2 a自身の情報処理結果と他の処理装置の他方の処理装置1 Cの情報処理結果とを比較して一致しているか否かを判断し、一致している場合はステップ26へ、一致していない場合はステップ27へ進む。そしてステップ26では、先のステップ21, 25の判断で処理装置1 B, 1 Cの情報処理結果は一致していたが処理装置1 A, 1 Bの情報処理結果は一致していなかったため、論理決定、例えば多数決で処理装置1 B, 1 Cの情報処理結果を正しいものとし、その場合に優先度の最も高い当該処理装置1 Bがコマンド信号を出力することになるように、コマンド送信信号を「1」信号にセットするとともに、処理装置1 Aは誤っていたことになるので処理装置1 Aに対応する阻止信号S 1を「1」信号にセットし、処理装置1 Cは正しかったことになるので処理装置1 Cに対応する阻止信号S 2を「0」信号にセットする。

20

【0035】

一方、ステップ27では、さらに、他の二つの処理装置1 A, 1 Cの情報処理結果を比較して一致しているか否かを判断し、一致している場合はステップ28へ、一致していない場合はステップ30へ進む。そしてステップ28では、先のステップ21, 25, 27の判断で処理装置1 A, 1 Cの情報処理結果は一致していたが処理装置1 A, 1 Bの情報処理結果も処理装置1 B, 1 Cの情報処理結果も一致していなかったため、論理決定、例えば多数決で他の処理装置1 A, 1 Cの情報処理結果を正しいものとし、その場合に優先度の最も高い処理装置1 Aがコマンド信号を出力し得ることになるようにコマンド送信信号を「0」信号にセットするとともに、処理装置1 A, 1 Cは正しかったことになるので阻止信号S 1, S 2を「0」信号にセットする。しかる後、次のステップ29では、当該処理装置1 Bのプロセッサ部2のメモリ2 b内の情報処理結果のデータを、他の処理装置1 A, 1 Cからの情報処理結果のデータに置き換える。

30

【0036】

また、ステップ30では、先のステップ21, 25, 27の判断で処理装置1 A ~ 1 Cの情報処理結果が全て一致していなかったため、論理決定、例えば多数決で決めることができないことから、先に述べたこの実施例についての規則で、三つの処理装置のうち優先度が最も高い他の処理装置1 Aがコマンド信号を出力し得るようにコマンド送信信号を「0」信号にセットするとともに処理装置1 Aに対応する阻止信号S 1を「0」信号にセットし、処理装置1 Cは誤っていたことになるので処理装置1 Cに対応する阻止信号S 2を「1」信号にセットする。

40

【0037】

図6は、処理装置1 Cのプロセッサ部2のCPU 2 aがそのプロセッサ部2のメモリ2 b内のプログラムに基づいて行う論理決定の一例としての、多数決のアルゴリズム(演算手順)を示すフローチャートであり、ここでは、阻止信号S 1は処理装置1 Bのインタフェ

50

ース回路3bへ出力されてその処理装置1Bを制御し、阻止信号S2は処理装置1Aのインタフェース回路3bへ出力されてその処理装置1Aを制御する。

【0038】

図6中のステップ31では、処理装置1CのCPU2a自身の情報処理結果と他の処理装置の一方の処理装置1Aの情報処理結果とを比較して一致しているか否かを判断して、一致している場合はステップ32へ、一致していない場合はステップ35へ進み、ステップ32では、次に処理装置1CのCPU2a自身の情報処理結果と他の処理装置の他方の処理装置1Bの情報処理結果とを比較して一致しているか否かを判断し、一致している場合はステップ33へ、一致していない場合はステップ34へ進む。そしてステップ33では、先のステップ31, 32の判断で三つの処理装置1A~1Cの情報処理結果が全て一致していたので、優先度の最も高い他の処理装置1Aがコマンド信号を出力し得るようにコマンド送信信号を「0」信号にセットするとともに、他の処理装置1A, 1Bも正しかったことになるので阻止信号S1, S2を「0」信号(阻止信号なし)にセットする。

10

【0039】

一方ステップ34では、先のステップ31, 32の判断で処理装置1A, 1Cの情報処理結果は一致していたが処理装置1B, 1Cの情報処理結果は一致していなかったので、論理決定、例えば多数決で処理装置1A, 1Cの情報処理結果を正しいものとし、その場合に優先度が最も高い他の処理装置1Aがコマンド信号を出力し得るように、コマンド送信信号を「0」信号にセットするとともに、処理装置1Bは誤っていたことになるので処理装置1Bに対応する阻止信号S1を「1」信号(阻止信号あり)にセットし、処理装置1Aは正しかったことになるので処理装置1Aに対応する阻止信号S2を「0」信号にセットする。

20

【0040】

またステップ35では、ステップ32と同様、処理装置1CのCPU2a自身の情報処理結果と他の処理装置の他方の処理装置1Bの情報処理結果とを比較して一致しているか否かを判断し、一致している場合はステップ36へ、一致していない場合はステップ37へ進む。そしてステップ36では、先のステップ31, 35の判断で処理装置1B, 1Cの情報処理結果は一致していたが処理装置1A, 1Cの情報処理結果は一致していなかったので、論理決定、例えば多数決で処理装置1B, 1Cの情報処理結果を正しいものとし、その場合に優先度の最も高い他の処理装置1Bがコマンド信号を出力し得るようにコマンド送信信号を「0」信号にセットするとともに、処理装置1Bは正しかったことになるので処理装置1Bに対応する阻止信号S1を「0」信号にセットし、処理装置1Aは誤っていたことになるので処理装置1Aに対応する阻止信号S2を「1」信号にセットする。

30

【0041】

一方、ステップ37では、さらに、他の二つの処理装置1A, 1Bの情報処理結果を比較して一致しているか否かを判断し、一致している場合はステップ38へ、一致していない場合はステップ40へ進む。そしてステップ38では、先のステップ31, 35, 37の判断で処理装置1A, 1Bの情報処理結果は一致していたが処理装置1A, 1Cの情報処理結果も処理装置1B, 1Cの情報処理結果も一致していなかったので、論理決定、例えば多数決で他の処理装置1A, 1Bの情報処理結果を正しいものとし、その場合に優先度の最も高い処理装置1Aがコマンド信号を出力し得るようにコマンド送信信号を「0」信号にセットするとともに、処理装置1A, 1Bは正しかったことになるので、阻止信号S1, S2を「0」信号にセットする。しかる後、次のステップ39では、当該処理装置1Cのプロセッサ部2のメモリ2b内の情報処理結果のデータを、他の処理装置1A, 1Bからの情報処理結果のデータに置き換える。

40

【0042】

また、ステップ40では、先のステップ31, 35, 37の判断で処理装置1A~1Cの情報処理結果が全て一致していなかったので、論理決定、例えば多数決で決めることができないことから、先に述べたこの実施例についての規則で、三つの処理装置のうち優先度が最も高い他の処理装置1Aがコマンド信号を出力し得るようにコマンド送信信号を「0」信号に

50

セットするとともに処理装置 1 A に対応する阻止信号 S 2 を「 0 」信号にセットし、処理装置 1 B は誤っていたことになるので処理装置 1 B に対応する阻止信号 S 1 を「 1 」信号にセットする。

【 0 0 4 3 】

かくして上記実施例では、各処理装置 1 A ~ 1 C のプロセッサ部 2 が並列処理を行って、論理決定、例えば多数決および優先順位に基づき、自分自身が正しくかつコマンド送信信号を出せると判断した場合には当該処理装置のインタフェース回路 3 b にコマンド送信信号として「 1 」信号を出力し、また他の処理装置の情報処理結果が正しくないと判断した場合は論理決定、例えば多数決できなかった場合を除きその処理装置のインタフェース回路 3 b に阻止信号を出すので、その結果として、以下の〔表 1 〕に示すように、処理装置 1 A ~ 1 C が一致した場合と、処理装置 1 A , 1 B のみが一致した場合と、処理装置 1 A , 1 C のみが一致した場合には処理装置 1 A がそのインタフェース回路 3 b を介してコマンド信号をアクチュエータ 5 へ出力し、処理装置 1 B , 1 C のみが一致した場合には処理装置 1 B がそのインタフェース回路 3 b を介してコマンド信号をアクチュエータ 5 へ出力し、全ての処理装置 1 A ~ 1 C が一致しなかった場合は運用要求、すなわちここでは優先度の最も高い処理装置がコマンド信号を出力するという要求により、処理装置 1 A がコマンド信号をアクチュエータ 5 へ出力する。なお、全ての処理装置 1 A ~ 1 C が一致しなかった場合には何れの処理装置にもコマンド出力を行わず当該システムの利用者にエラー警告信号を送るようにするという運用要求をすることもできる。

10

【 0 0 4 4 】

20

【表 1】

処理装置 1 A	処理装置 1 B	処理装置 1 C	コマンド出力を行う処理装置
○	○	○	処理装置 1 A
○	○	●	処理装置 1 A
○	●	○	処理装置 1 A
●	○	○	処理装置 1 B
●	●	●	運用要求による

30

ここで、白丸印 (○) は、情報処理結果が一致した処理装置を示している。

【 0 0 4 5 】

この実施例の情報処理システムではさらに、以下のコマンド検証アルゴリズムを実行する。この演算処理は、プロセッサ部 2 が正常で正しい情報処理が行われていてもインタフェース回路 3 に異常があってコマンド信号が正しく出力されない場合に対処するものであり、図 7 ~ 図 9 は、上記各処理装置 1 A ~ 1 C のプロセッサ部 2 がそれぞれ実行するコマンド検証アルゴリズムを示すフローチャートである。

40

【 0 0 4 6 】

図 7 中ステップ 41 に示すように、優先度が最も高い処理装置 1 A のプロセッサ部 2 は何も行わない。その一方、次に優先度が高い処理装置 1 B のプロセッサ部 2 は、図 8 に示すように、ステップ 42 で、アクチュエータ 5 に何れかのインタフェース回路 3 から正しいコマンド信号が送られたか否かを、アクチュエータ 5 に繋がる回路からコマンド検証信号として戻されたコマンド信号の例えば最初の部分等から判断して、正しいコマンド信号が送られた場合にはステップ 43 に進み、何もしないが、正しいコマンド信号が送られなかった場合には、さらにステップ 44 で、処理装置 1 A がアクチュエータ 5 にアクチュエーションコ

50

マンド信号を送るべきであったか否かを判断し、処理装置 1 A 以外がコマンド信号を送るべきであった場合にはステップ43へ進むが、処理装置 1 A がコマンド信号を送るべきであった場合にはステップ45で、当該処理装置 1 B がコマンド信号を送るように、コマンド送信信号を「1」信号にセットするとともに、処理装置 1 A に対する阻止信号 S 1 を「1」信号にセットし、処理装置 1 C に対する阻止信号 S 2 の状態はそのまま維持する。

【0047】

さらに、最も優先度が低い処理装置 1 C のプロセッサ部 2 は、図 9 に示すように、ステップ46で、アクチュエータ 5 に何れかのインタフェース回路 3 から正しいコマンド信号が送られたか否かを、アクチュエータ 5 に繋がる回路からコマンド検証信号として戻されたコマンド信号の例えば最初の部分等から判断して、正しいコマンド信号が送られた場合にはステップ47に進み、何もしないが、正しいコマンド信号が送られなかった場合には次にステップ48で、処理装置 1 A がアクチュエータ 5 にアクチュエーションコマンド信号を送るべきであったか否かを判断し、処理装置 1 A がコマンド信号を送るべきであった場合にはさらにステップ49で、処理装置 1 B が正常でないか否かを判断する。

【0048】

そしてステップ49で、処理装置 1 B が正常であると判断した場合はステップ47へ進んでなにもしないが、処理装置 1 B が正常でないと判断した場合はステップ50へ進む。また上記ステップ48で、処理装置 1 A 以外すなわち処理装置 1 B がコマンド信号を送るべきであった場合にもステップ50へ進む。ステップ50では、当該処理装置 1 C がコマンド信号を送るように、コマンド送信信号を「1」信号にセットするとともに、処理装置 1 B に対する阻止信号 S 1 を「1」信号にセットし、処理装置 1 A に対する阻止信号 S 2 の状態はそのまま維持する。

【0049】

かかるコマンド検証アルゴリズムによれば、例えば、プロセッサ部 2 が正常な処理装置 1 A , 1 B のうちコマンド信号を出力すべき処理装置 1 A のインタフェース回路 3 に異常があつてコマンド信号が全く出力されなかつたり正しくないコマンド信号が出力されたりした場合でも、直ちに処理装置 1 B が処理装置 1 A のコマンド信号出力を阻止するとともに正しいコマンド信号を送ってアクチュエータ 5 の作動を適正に制御することができ、また例えば、処理装置 1 A のインタフェース回路 3 に異常があつて処理装置 1 A がコマンド信号を出力できず、処理装置 1 B もインタフェース回路 3 に異常があつてコマンド信号を全く出力できなかつたり正しくないコマンド信号を出力したりした場合でも、直ちに処理装置 1 C が処理装置 1 B のコマンド信号出力を阻止するとともに正しいコマンド信号を送ってアクチュエータ 5 の作動を適正に制御することができる。

【0050】

従つてこの実施例の情報処理システムによれば、当該システムを構成する三つの処理装置 1 A ~ 1 C の過半数を超えない幾つかでの情報処理結果に異常があつても、それらのうちの何れか二つ以上の処理装置が生成したコマンド信号を論理決定、例えば多数決で有効とすることから、正常に生成されたコマンド信号を選択することができる可能性が高いので、信頼性の高いコマンド信号を得ることができる。

【0051】

しかもこの実施例の情報処理システムによれば、コマンド信号を有効とする二つ以上の処理装置すなわち正常に作動している可能性が高い処理装置のうちで優先度が最先の単一の処理装置のみからコマンド信号を制御対象へ出力することができるので、複数のコマンド信号の重なり合いやぶつかり合いによりアクチュエータ 5 の制御が困難になるのを防止することができる。

【0052】

そしてこの発明の情報処理システムによれば、センサ 4 からの信号に基づきコマンド信号を生成する情報処理も、コマンド信号を有効とする論理決定、例えば多数決処理も、その論理決定で有効とした複数の処理装置からのコマンド信号の選択処理も、何れも三つの処理装置 1 A ~ 1 C で行うことから、システム内に多数決論理回路やその制御回路のような

10

20

30

40

50

単一故障点となる部分を持たなくて済むので、十分な信頼性を持つ冗長系処理システムを安価に構成することができる。

【 0 0 5 3 】

さらにこの実施例の情報処理システムによれば、処理装置の数を減らさない限りその数の如何にかかわりなく上記各処理を行うことができることから、高い拡張性を有するので、信頼度の要求に応じて処理装置の数を増加させることで、容易にその要求に対応することができる。

【 0 0 5 4 】

さらにこの実施例の情報処理システムによれば、インタフェース回路 3 が、論理演算素子からなり、フィードバックループを持たない組み合わせ回路で構成されていて記憶素子を持たないことから、宇宙空間でロケットや人工衛星の姿勢制御に使用した場合等に宇宙放射線等の影響で記憶素子が反転するシングルイベントアップセット (S E U) の可能性をインタフェース回路 3 についてはなくすことができるので、プロセッサ部 2 が論理決定、例えば多数決で決定した結果が S E U に起因する論理演算部の誤作動で無意味になるという事態を有効に防止することができる。

【 0 0 5 5 】

さらにこの実施例の情報処理システムによれば、処理装置 1 A ~ 1 C が、コマンド信号の生成過程で過去のコマンド信号を用いていて、それらの処理装置 1 A ~ 1 C のうちコマンド信号を有効とする処理装置以外の他の処理装置が、先のステップ 19, 29, 39 で、その生成したコマンド信号を放棄して、コマンド信号を有効とする処理装置のコマンド信号に置き換えているので、放射線等による記憶素子の反転エラー等の一過性のエラーの影響がその後も続くのを防止し得て、システムの信頼性を向上させることができる。

【 0 0 5 6 】

そしてこの実施例の情報処理システムによれば、図 4 ~ 図 6 に示すように、符号や数値は異なるものも、三つの処理装置 1 A ~ 1 C のプロセッサ部 2 が行う論理決定、例えば多数決の処理手順自体は共通であることから、その論理決定を行うプログラムの開発時やシステムへのインストール時の作業者の作業の誤り低減させることができるので、システムの信頼性を向上させることができる。

【 0 0 5 7 】

以上、図示例に基づき説明したが、この発明は上述の例に限定されるものでなく、例えば、処理装置の数は論理決定、例えば多数決のできる (すなわち同じ情報処理結果となった処理装置の数が最も多い情報処理結果を選択できる) 三つ以上であれば、所要に応じて適宜選択でき、例えば四つの場合には、二つの処理装置の情報処理結果が一致したらそれらの処理装置を正しいとし、二つずつの処理装置で情報処理結果が分かれたら制御情報を出力する処理装置を優先度に基づいて決定するようにしても良い。また信号出力手段は上記センサ 4 に限られず、制御対象も上記アクチュエータ 5 に限定されるものではない。

【 図面の簡単な説明 】

【 図 1 】 この発明の冗長系情報処理システムの一実施例の構成を示す構成図である。

【 図 2 】 上記実施例の冗長系情報処理システムにおける各処理装置のインタフェース回路の回路構成を示す構成図である。

【 図 3 】 上記実施例の冗長系情報処理システムにおける三つの処理装置のプロセッサ部相互間、インタフェース回路相互間、そして各処理装置のプロセッサ部とインタフェース回路相互間の接続状態を示す構成図である。

【 図 4 】 上記実施例の冗長系情報処理システムにおける処理装置 1 A のプロセッサ部の C P U がそのプロセッサ部のメモリ内のプログラムに基づいて行う論理決定の一例としての多数決のアルゴリズムを示すフローチャートである。

【 図 5 】 上記実施例の冗長系情報処理システムにおける処理装置 1 B のプロセッサ部の C P U がそのプロセッサ部のメモリ内のプログラムに基づいて行う論理決定の一例としての多数決のアルゴリズムを示すフローチャートである。

【 図 6 】 上記実施例の冗長系情報処理システムにおける処理装置 1 C のプロセッサ部の

10

20

30

40

50

C P Uがそのプロセッサ部のメモリ内のプログラムに基づいて行う論理決定の一例としての多数決のアルゴリズムを示すフローチャートである。

【図7】 上記実施例の冗長系情報処理システムにおける処理装置1Aのプロセッサ部が行うコマンド検証アルゴリズムを示すフローチャートである。

【図8】 上記実施例の冗長系情報処理システムにおける処理装置1Bのプロセッサ部が行うコマンド検証アルゴリズムを示すフローチャートである。

【図9】 上記実施例の冗長系情報処理システムにおける処理装置1Cのプロセッサ部が行うコマンド検証アルゴリズムを示すフローチャートである。

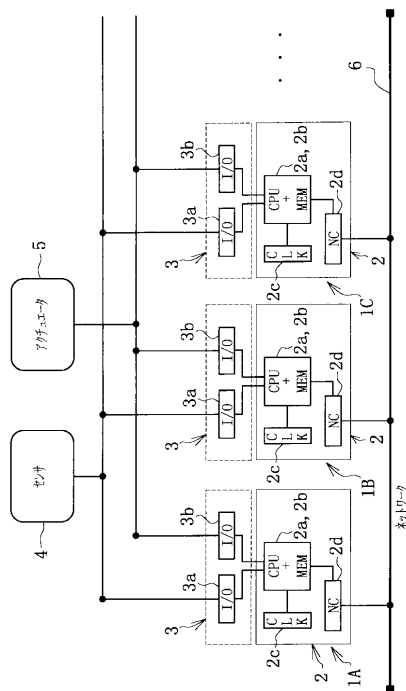
【符号の説明】

- 1 A , 1 B , 1 C 処理装置
- 2 プロセッサ部
- 2 a 中央処理ユニット (C P U)
- 2 b メモリ (M E M)
- 2 c クロック回路 (C L K)
- 2 d ネットワークコントローラ (N C)
- 3 インタフェース部
- 3 a , 3 b インタフェース回路
- 3 c A N D素子
- 3 d N A N D素子
- 3 e ゲート素子
- 3 f 信号回路
- 4 センサ
- 5 アクチュエータ
- 6 ネットワーク

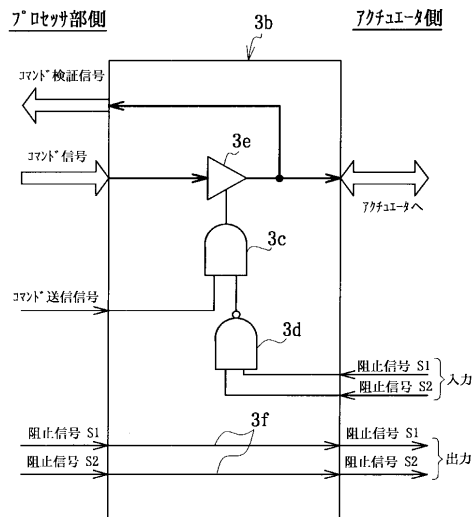
10

20

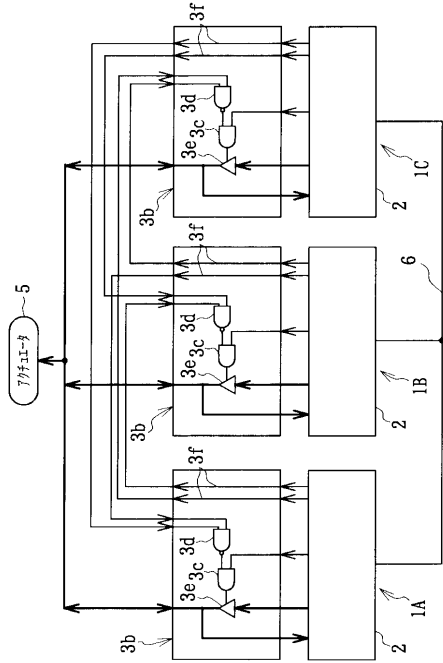
【図1】



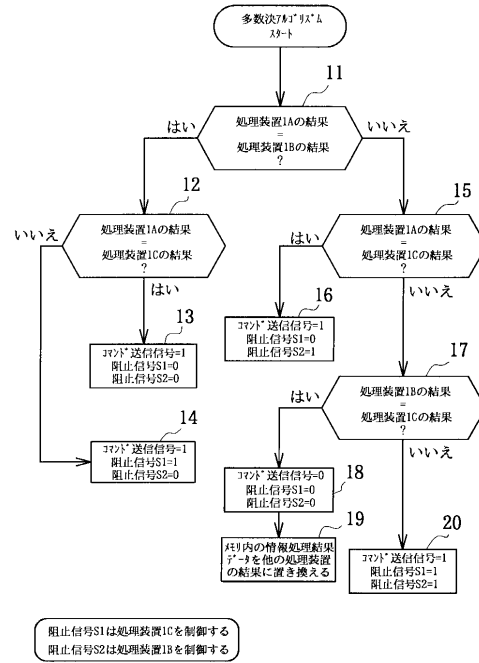
【図2】



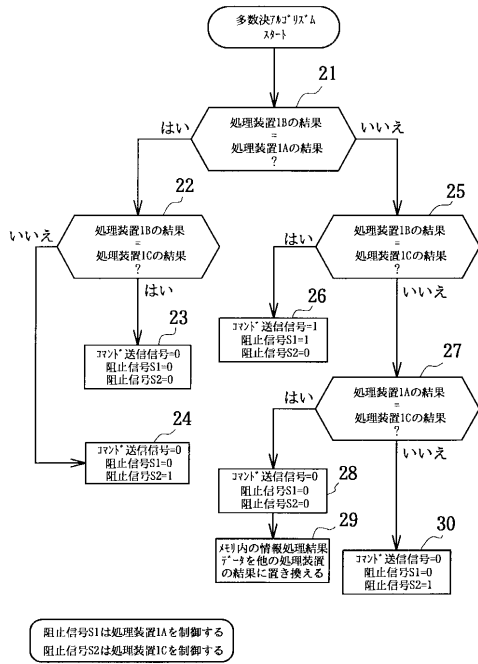
【図3】



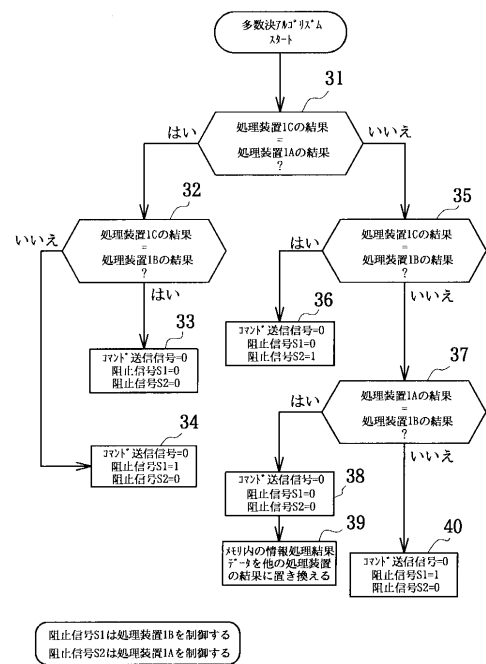
【図4】



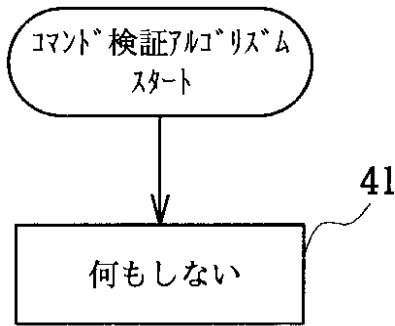
【図5】



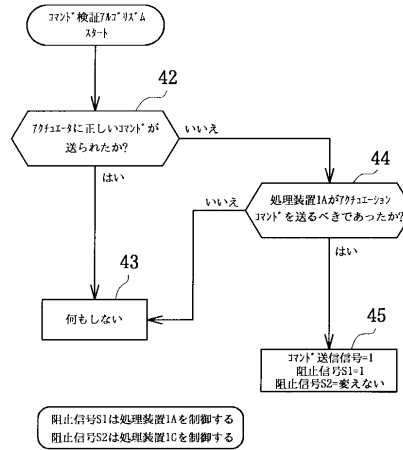
【図6】



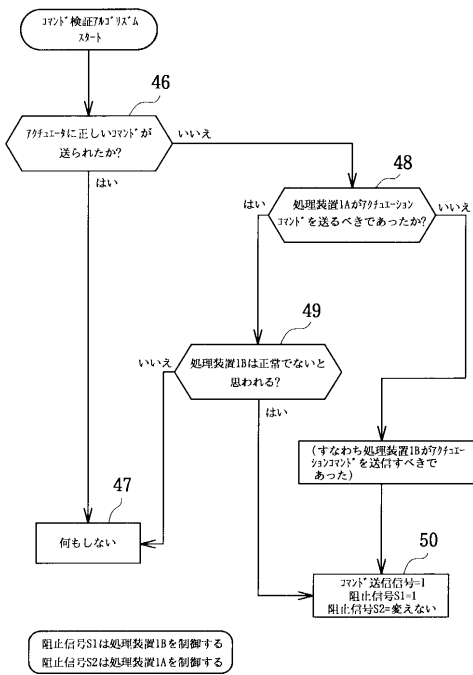
【図7】



【図8】



【図9】



フロントページの続き

- (72)発明者 スコット エイ マクダーモット
アメリカ合衆国 ヴァージニア州 20109-6450 マナッサス ラピダン レイン 10
439
- (72)発明者 森 欣司
東京都町田市金井1-15-8
- (72)発明者 矢代 裕之
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

審査官 高橋正徳

- (56)参考文献 特開昭63-253438(JP,A)
特開平06-348524(JP,A)
特開平04-257931(JP,A)
特開昭61-058050(JP,A)
特開平09-134208(JP,A)
米国特許出願公開第2003/0188221(US,A1)

- (58)調査した分野(Int.Cl., DB名)
G06F 11/16-11/20