

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5450846号
(P5450846)

(45) 発行日 平成26年3月26日 (2014. 3. 26)

(24) 登録日 平成26年1月10日 (2014. 1. 10)

(51) Int. Cl. F I
G 1 1 C 13/00 (2006.01)
 G 1 1 C 13/00 1 5 O
 G 1 1 C 13/00 1 1 O R
 G 1 1 C 13/00 1 2 O A
 G 1 1 C 13/00 1 2 O Z

請求項の数 5 (全 20 頁)

(21) 出願番号	特願2013-5723 (P2013-5723)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成25年1月16日 (2013. 1. 16)		東京都港区芝浦一丁目1番1号
(62) 分割の表示	特願2008-208426 (P2008-208426) の分割	(74) 代理人	110001612 きさらぎ国際特許業務法人
原出願日	平成20年8月13日 (2008. 8. 13)	(72) 発明者	永嶋 宏行 東京都港区芝浦一丁目1番1号 株式会社 東芝内
(65) 公開番号	特開2013-65396 (P2013-65396A)	(72) 発明者	井上 裕文 東京都港区芝浦一丁目1番1号 株式会社 東芝内
(43) 公開日	平成25年4月11日 (2013. 4. 11)		
審査請求日	平成25年1月17日 (2013. 1. 17)	審査官	滝谷 亮一

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

マトリクス配列された複数の M A T (単位セルアレイ) を有し、前記複数の M A T それぞれが別個に複数の第 1 の配線、これら複数の第 1 の配線と交差する複数の第 2 の配線、並びに前記第 1 及び第 2 の配線の交差部で両配線間に接続された電気的書き換えが可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子及び非オーミック素子の直列回路からなるメモリセルを有する、セルアレイと、

前記複数の M A T それぞれに接続された複数のアクセス回路とを備え、

前記複数のアクセス回路はそれぞれ、対応する前記 M A T 内の同じ数のメモリセルに対して同時にアクセスし、

前記同時にアクセスされる複数のメモリセルにより 1 つのグループが構成され、

所定の前記グループに含まれる前記複数のメモリセルと前記所定のグループと論理的に隣接するアドレスを有する他の前記グループに含まれる前記複数のメモリセルを有し、

前記所定のグループに含まれる複数のメモリセルと前記他のグループに含まれる複数のメモリセルとは、所定の方向に前記メモリセル 1 つ分以上隔てて配置されている

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

マトリクス配列された複数の M A T (単位セルアレイ) を有し、前記複数の M A T それぞれが別個に複数の第 1 の配線、これら複数の第 1 の配線と交差する複数の第 2 の配線、

10

20

並びに前記第1及び第2の配線の交差部で両配線間に接続された電气的書き換えが可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子及び非オーミック素子の直列回路からなるメモリセルを有する、セルアレイと、

前記複数のMATそれぞれに接続された複数のアクセス回路とを備え、

前記複数のアクセス回路はそれぞれ、対応する前記MAT内の同じ数のメモリセルに対して同時にアクセスし、

前記同時にアクセスされる複数のメモリセルにより1つのグループが構成され、

所定の前記グループに含まれる前記複数のメモリセルと前記所定のグループと論理的に隣接するアドレスを有する他の前記グループに含まれる前記複数のメモリセルを有し、

各前記グループの各前記メモリセルは、互いに異なる前記MATに含まれ、且つ、所定の方向に前記MAT1つ分以上隔てて配置されている

ことを特徴とする不揮発性半導体記憶装置。

【請求項3】

グローバルワード線及びローカルアドレス線を更に備え、

前記複数のアクセス回路はそれぞれ、前記グローバルワード線及び前記ローカルアドレス線に接続されたロウ制御回路を有し、

前記複数のアクセス回路は、前記複数のMATを同時に選択する

ことを特徴とする請求項1又は2記載の不揮発性半導体記憶装置。

【請求項4】

バッファを更に備え、

nビット(nは、2以上の整数)のデータが入力された場合、当該nビットのデータは、前記バッファを介してn個の前記アクセス回路に1ビットずつ転送される

ことを特徴とする請求項1～3のいずれか1項記載の不揮発性半導体記憶装置。

【請求項5】

前記n個のアクセス回路はそれぞれ、対応する前記MATの1個のメモリセルに対してアクセスする

ことを特徴とする請求項4記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗値をデータとして記憶する可変抵抗素子を用いた不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

従来、電气的に書き換え可能な不揮発性メモリとしては、フローティングゲート構造を有するメモリセルをNAND接続又はNOR接続してセルアレイを構成したフラッシュメモリが周知である。また、不揮発性で且つ高速なランダムアクセスが可能なメモリとして、強誘電体メモリも知られている。

【0003】

一方、メモリセルの更なる微細化を図る技術として、可変抵抗素子をメモリセルに使用した抵抗変化型メモリが提案されている。可変抵抗素子としては、カルコゲナイド化合物の結晶/アモルファス化の状態変化によって抵抗値を変化させる相変化メモリ素子、トンネル磁気抵抗効果による抵抗変化を用いるMRAM素子、導電性ポリマーで抵抗素子が形成されるポリマー強誘電RAM(PFRAM)のメモリ素子、電気パルス印加によって抵抗変化を起こすReRAM素子等が知られている(特許文献1)。

【0004】

この抵抗変化型メモリはトランジスタに替えてショットキーダイオードと可変抵抗素子の直列回路によりメモリセルを構成することができるので、積層が容易で3次元構造化す

10

20

30

40

50

ることにより更なる高集積化が図れるという利点がある（特許文献2）。

【0005】

しかし、メモリセルへのデータ書き込み、消去による可変抵抗素子の状態変化の際に、可変抵抗素子及び非オーミック素子が発熱する。そのため、多くのメモリセルに対し同時にデータ書き込み、消去を行うと、この発熱による影響が大きくなり、ひいてはデータの安定性を損なう結果となる。この問題は、不揮発性メモリの高集積化により、さらに顕在化することになる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2006-344349号、段落0021

【特許文献2】特開2005-522045号

【発明の概要】

【発明が解決しようとする課題】

【0007】

そこで、本発明は、複数のメモリセルの同時書き込み、消去により高速動作を実現するとともに、動作時のメモリセルの発熱の影響を緩和した不揮発性メモリを提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一つの態様に係る不揮発性半導体記憶装置は、複数の第1の配線、これら複数の配線と交差する複数の第2の配線、並びに前記第1及び第2の配線の交差部で両配線間に接続された電気的書き換えが可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子及び非オーミック素子の直列回路からなるメモリセルをマトリクス配列してなるセルアレイと、このセルアレイの互いに物理的に離間した複数の前記メモリセルに対して同時にアクセスするアクセス回路とを有することを特徴とする。

【0009】

本発明の他の態様に係る不揮発性半導体記憶装置は、複数の第1の配線、これら複数の配線と交差する複数の第2の配線、並びに前記第1及び第2の配線の交差部で両配線間に接続された電気的書き換えが可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子及び非オーミック素子の直列回路からなるメモリセルを有する複数のMAT（単位セルアレイ）をマトリクス配列してなるセルアレイと、前記各MATに接続されて各MAT毎に内部のメモリセルに対してアクセスする複数のアクセス回路とを有し、複数の前記アクセス回路が、対応するMAT内の所定数ずつのメモリセルに対して同時にアクセスすることを特徴とする。

【図面の簡単な説明】

【0010】

【図1】本発明の第1の実施形態に係る不揮発性メモリのブロック図である。

【図2】同実施形態に係る不揮発性メモリのMATの一部を示す斜視図である。

【図3】図2におけるI-I'線で切断して矢印方向に見たメモリセル1個分の断面図である。

【図4】同実施形態における可変抵抗素子の一例を示す模式的な断面図である。

【図5】書き込み動作時のMATを示す回路図である。

【図6】ページ単位の書き込み動作時のMATを示す回路図である。

【図7】ページ単位の書き込み動作順の例を示す概略図である。

【図8】ページ単位の書き込み動作順の他の例を示す概略図である。

【図9】MAT単位による消去動作を示す概略図(a)及びMATを示す回路図(b)である。

【図10】第1の実施形態に係る不揮発性メモリのページ単位の書き込み動作を示す概略図である。

10

20

30

40

50

【図 1 1】同実施形態におけるセルアレイを示すブロック図である。

【図 1 2】同実施形態におけるセルアレイの M A T の配置及びメモリセルの論理アドレスを示すブロック図である。

【図 1 3】同実施形態におけるロウ制御回路の一部を示す回路図である。

【図 1 4】第 2 の実施形態に係る不揮発性メモリのセルアレイの M A T の配置及びメモリセルの論理アドレスを示すブロック図である。

【図 1 5】第 3 の実施形態に係る不揮発性メモリのセルアレイの M A T の配置及びメモリセルの論理アドレスを示すブロック図である。

【図 1 6】第 4 の実施形態に係る不揮発性メモリのセルアレイの M A T の配置及びメモリセルの論理アドレスを示すブロック図である。

10

【図 1 7】第 5 の実施形態に係る不揮発性メモリのセルアレイの M A T の配置及びメモリセルの論理アドレスを示すブロック図である。

【図 1 8】第 6 の実施形態に係る不揮発性メモリのセルアレイの M A T の配置及びメモリセルの論理アドレスを示すブロック図である。

【図 1 9】同実施形態におけるセンスアンプ回路 S / A の回路図である。

【図 2 0】他の実施形態に係る不揮発性メモリのセルアレイの M A T の配置及びメモリセルの論理アドレスを示すブロック図である。

【発明を実施するための形態】

【 0 0 1 1 】

以下、図面を参照しながら、本発明に係る不揮発性メモリの実施の形態について詳細に説明する。

20

【 0 0 1 2 】

[第 1 の実施形態]

図 1 は、本発明の第 1 の実施形態に係る不揮発性メモリのブロック図である。

この不揮発性メモリは、後述する R e R A M (可変抵抗素子) 等の抵抗変化型素子をメモリセルとして使用したマトリクス状に配置された複数の M A T (単位セルアレイ) 1 を備える。また、各 M A T 1 にはアクセス回路であるカラム制御回路 2 及びロウ制御回路 3 が備えられている。カラム制御回路 2 は、ビット線に現れたメモリセルのデータを検知・増幅する 1 個のセンスアンプ回路 (図示せず) を備え、 M A T 1 のビット線 B L を制御し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しを行う。また、ロウ制御回路 3 は、 M A T 1 のワード線 W L を選択し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しに必要な電圧を印加する。

30

【 0 0 1 3 】

データ入出力バッファ 4 は、図示しない外部のホストに I / O 線を介して接続され、書き込みデータの受け取り、消去命令の受け取り、読み出しデータの出力、アドレスデータやコマンドデータの受け取りを行う。

【 0 0 1 4 】

データ入出力バッファ 4 は、読み出し / 書き込み回路 (以下、「 R / W 回路」と呼ぶ) 8 と接続される。データ入出力バッファ 4 は、受け取った書き込みデータを R / W 回路 8 を介してカラム制御回路 2 に送り、カラム制御回路 2 から R / W 回路 8 を介して読み出されたデータを受け取って外部に出力する。外部からデータ入出力バッファ 4 に供給されたアドレスは、アドレスレジスタ 5 を介してカラム制御回路 2 及びロウ制御回路 3 に送られる。また、ホストからデータ入出力バッファ 4 に供給されたコマンドは、コマンド・インターフェイス 6 に送られる。コマンド・インターフェイス 6 は、ホストからの外部制御信号を受け、データ入出力バッファ 4 に入力されたデータが書き込みデータかコマンドかアドレスかを判断し、コマンドであれば受け取りコマンド信号としてコントローラ 7 に転送する。コントローラ 7 は、この不揮発性メモリ全体の管理を行うもので、ホストからのコマンドを受け付け、読み出し、書き込み、消去、データの入出力管理等を行う。また、外部のホストは、コントローラ 7 が管理するステータス情報を受け取り、動作結果を判断す

40

50

ることも可能である。さらに、このステータス情報は書き込み、消去の制御にも利用される。

【0015】

また、コントローラ7によってR/W回路8が制御される。この制御により、R/W回路8は、任意の電圧・電流、任意のタイミングのパルスを出力することが可能となる。ここで、形成されたパルスはカラム制御回路2及びロウ制御回路3で選択された任意の配線へ転送することが可能である。

【0016】

なお、図では、カラム制御回路2、ロウ制御回路3及びR/W回路8をMAT1と同一平面上に形成するように示されているが、これらのMAT1以外の周辺回路素子は、配線層に形成されたMAT1の直下のSi基板に形成可能であり、これにより、この不揮発性メモリのチップ面積はほぼ、複数のMAT1を合わせた面積に等しくすることも可能である。

10

【0017】

図2は、MAT1の一部の斜視図、図3は、図2におけるI-I'線で切断して矢印方向に見たメモリセル1個分の断面図である。

【0018】

複数本の第1の配線としてワード線WL0~WL2が平行に配設され、これと交差して複数本の第2の配線としてビット線BL0~BL2が平行に配設され、これらの各交差部に両配線に挟まれるようにメモリセルMCが配置される。第1及び第2の配線は、熱に強く、且つ抵抗値の低い材料が望ましく、例えばW、WSi、NiSi、CoSi等を用いることができる。

20

【0019】

メモリセルMCは、図3に示すように、可変抵抗素子VRと非オーミック素子NOの直列接続回路からなる。

【0020】

可変抵抗素子VRとしては、電圧印加によって、電流、熱、化学エネルギー等を介して抵抗値を変化させることができるもので、上下にバリアメタル及び接着層として機能する電極EL1、EL2が配置される。電極材としては、Pt、Au、Ag、TiAlN、SrRuO、Ru、RuN、Ir、Co、Ti、TiN、TaN、LaNiO、Al、PtIrO_x、PtRhO_x、Rh、TaAlN等が用いられる。また、配向性を一様にするようなメタル膜の挿入も可能である。また、別途バッファ層、バリアメタル層、接着層等を挿入することも可能である。

30

【0021】

可変抵抗素子VRは、カルコゲナイド等のように結晶状態と非晶質状態の相転移により抵抗値を変化させるもの(PCRAM)、金属陽イオンを析出させて電極間に架橋(コンタクトブリッジ)を形成したり、析出した金属をイオン化したりして架橋を破壊することで抵抗値を変化させるもの(CBRAM)、一致した理論はない(抵抗変化の要因として、電極界面に存在する電荷トラップにトラップされた電荷の存在の有無により抵抗変化が起きるといもの、酸素欠損等に起因する伝導パスの存在の有無により抵抗変化が起きるといもの、大きく2つに分かれている。)ものの電圧あるいは電流印加により抵抗値が変化するもの(ReRAM)、等を用いることができる。

40

【0022】

図4は、ReRAMの例を示す図である。図4に示す可変抵抗素子VRは、電極層11、13の間に記録層12を配置してなる。記録層12は、少なくとも2種類の陽イオン元素を有する複化合物から構成される。陽イオン元素の少なくとも1種類は電子が不完全に満たされたd軌道を有する遷移元素とし、且つ隣接する陽イオン元素間の最短距離は、0.32nm以下とする。具体的には、化学式A_xM_yX_z(AとMは互いに異なる元素)で表され、例えばスピネル構造(AM₂O₄)、イルメナイト構造(AM₃O₃)、デラフォサイト構造(AM₂O₂)、LiMoN₂構造(AMN₂)、ウルフラマイト構造(A

50

MO₄)、オリビン構造(A₂MO₄)、ホランダイト構造(A_xMO₂)、ラムスデライト構造(A_xMO₂)、ペロブスカイト構造(AMO₃)等の結晶構造を持つ材料により構成される。

【0023】

図4の例では、AがZn、MがMn、XがOである。記録層12内の小さな白丸は拡散イオン(Zn)、大きな白丸は陰イオン(O)、小さな黒丸は遷移元素イオン(Mn)をそれぞれ表している。記録層12の初期状態は高抵抗状態であるが、電極層11を固定電位、電極層13側に負の電圧を印加すると、記録層12中の拡散イオンの一部が電極層13側に移動し、記録層12内の拡散イオンが陰イオンに対して相対的に減少する。電極層13側に移動した拡散イオンは、電極層13から電子を受け取り、メタルとして析出するため、メタル層14を形成する。記録層12の内部では、陰イオンが過剰となり、結果的に記録層12内の遷移元素イオンの下層を上昇させる。これにより、記録層12はキャリアの注入により電子伝導性を有するようになってセット動作が完了する。再生に関しては、記録層12を構成する材料が抵抗変化を起こさない程度の微小な電流値を流せば良い。プログラム状態(低抵抗状態)を初期状態(高抵抗状態)にリセットするには、例えば記録層12に大電流を十分な時間流してジュール加熱して、記録層12の酸化還元反応を促進すれば良い。また、セット時と逆向きの電場を印加することによってモリセット動作が可能である。

10

【0024】

非オーミック素子NOは、例えば、ショットキーダイオード、PN接合ダイオード、PINダイオード等の各種ダイオード、MIM(Metal-Insulator-Metal)構造、SIS構造(Silicon-Insulator-Silicon)等からなる。ここにもバリアメタル層、接着層を形成する電極EL2、EL3を挿入しても良い。また、ダイオードを使用する場合はその特性上、ユニポーラ動作を行うことができ、また、MIM構造、SIS構造等の場合にはバイポーラ動作を行うことが可能である。なお、非オーミック素子NOと可変抵抗素子VRの配置は、図3と上下を逆にしても良いし、非オーミック素子NOの極性を上下反転させても良い。

20

【0025】

次に、本実施形態における動作について説明する。

図5は、不揮発性メモリの書き込み(セット)動作時のMAT1を示す回路図である。

30

【0026】

MAT1は、第1の配線であるワード線WLを例えば1024本、これらワード線WLと交差する第2の配線であるビット線BLを例えば512本有している。また、1024×512ある各配線の交差部には、アノードがワード線WLに接続された非オーミック素子NOであるダイオードDiと、このダイオードDiのカソード及びビット線BL間に接続された可変抵抗素子VRとからなるメモリセルMCが接続されている。MAT1のサイズは、ワード線WLやビット線BL等の電圧降下、CR遅延、書き込み動作の処理速度等を勘案し決定するものであり、図5に示すMAT1の他、1024×2048等、サイズを自由に選択することができる。

【0027】

続いて、このMAT1に対する書き込み動作について説明する。ここでは、ワード線WL1及びビット線BL1の交差部に接続された図5中の点線で囲まれたメモリセルMC1に対する書き込み動作について説明する。

40

【0028】

この場合、メモリセルMC1に接続されたワード線WL1には、ワード線セット電圧Vsetwl(例えば3V)が印加されるとともに、ビット線BL1には、ビット線セット電圧Vsetbl(例えば0V)が印加される。その結果、メモリセルMC1のダイオードDiには、順方向バイアスがかかるため、メモリセルMC1の可変抵抗素子VRは低抵抗状態に遷移し、書き込み動作が完了する。

【0029】

50

一方、メモリセルMC1以外のメモリセルMCに接続されたワード線WL2、・・・には、ワード線非選択電圧V_{nswl}（例えば0V）が印加されるとともに、ビット線BL2、・・・には、ビット線非選択電圧V_{nsbl}（例えば3V）が印加される。その結果、メモリセルMCのダイオードDiには、逆方向バイアスがかかり、可変抵抗素子VRには電流が流れず、抵抗状態は遷移しない。

【0030】

以上、書き込み動作について説明したが、消去（リセット）動作については、セット電圧よりも低いリセット電圧をセット電圧よりも長期間印加することによってメモリセルMCにジュール熱を発生させる点を除き、書き込み動作と同様である。

【0031】

このように、1個のメモリセルMC1に対してのみ書き込みする場合、他のメモリセルMCからは発熱せず、セルアレイ全体として発熱の影響は少なく問題にならない。但し、メモリセルMCを一個ずつ書き込み動作させるため、セルアレイに含まれる全てのメモリセルMCに対する書き込み動作が完了するまでに相当の時間を要することになる。

【0032】

上記問題を解決する方法として、複数のメモリセルMCに対し、同時に書き込みすることが考えられる。以下において、同時にアクセスされる複数のメモリセルMCをページとする。

【0033】

図6は、ページ単位の書き込み動作時のMAT1を示す回路図である。ここでは、図6中の点線で囲まれ、ワード線WL1に接続されたメモリセルMC2～MC4に対し同時に書き込みする場合について説明する。

【0034】

この場合、ワード線WL1には、ワード線セット電圧V_{setwl}（3V）が印加される。一方、メモリセルMC2～MC4に接続されたビット線BL1～BL3にはビット線セット電圧V_{setbl}として0Vを印加する。これにより、ワード線WL1及びビット線BL1～BL3の各交差部に接続されたメモリセルMC2～MC4のダイオードDiには順方向バイアスがかかるため、メモリセルMC2～MC4の可変抵抗素子VRは低抵抗状態に遷移され、ページ単位の書き込み動作が行われる。一方、非選択ワード線WL2、WL3に接続されたメモリセルMCのダイオードDiには順方向バイアスがかからないため、それらのメモリセルMCの可変抵抗素子VRには電流が流れず、抵抗状態は遷移しない。

【0035】

以上、書き込み動作について説明したが、消去動作については、セット電圧よりも低いリセット電圧をセット電圧よりも長期間印加することによってメモリセルMCにジュール熱を発生させる点を除き、書き込み動作と同様である。

【0036】

このように、ワード線WL1に接続された複数のメモリセルMCに対し、同時に書き込み動作させることが可能であるため、1個ずつ書き込み動作させる場合より、書き込み処理を迅速に行うことができる。

【0037】

しかし、この場合、互いに隣接する複数のメモリセルMCが同時に発熱するため、メモリセルを1個ずつ書き込み動作させるよりも、隣接メモリセルからの影響及びセルアレイ全体の発熱の影響が大きく、不揮発性メモリの安定性を損なうことになる。

【0038】

続いて、セルアレイ全体に対するページ単位の書き込み動作を説明する。

図7、図8は、ページ単位の書き込み動作順の例を示す概略図である。

図7は、同一MAT1内にあるページに対し順次書き込み動作させ、MAT1全てに含まれるページに対する書き込み動作が完了した後（S1～S3）、次のMAT1の各ページに対する書き込み動作させる場合である（S4～S6）。

10

20

30

40

50

【 0 0 3 9 】

この場合、ページ単位で書き込み動作させるため、複数のメモリセルMCから同時に発生する熱の影響が大きいばかりでなく、隣接するページに対して短時間に連続して書き込み動作されるため、残存する熱量の影響が大きく、書き込み動作中のページ周辺の安定性が著しく低下する恐れが生じる。

【 0 0 4 0 】

図8は、各MAT1につき1ページずつ順次書き込み動作させた後(S11~S18)、再び、各MAT1の書き込みしていない異なる1ページに対し書き込み動作させる場合である(S19~)。このページ単位の書き込み動作を繰り返すことで、セルアレイ全体の書き込み動作を行うものである。

10

【 0 0 4 1 】

この場合、所定のMAT1に属する1ページに対し書き込み動作させた後、物理的に離間した異なるMAT1に属する1ページに書き込み動作させるため、図7の場合と比べ、書き込み動作中のページに対する他のページの書き込み動作による発熱の影響が出にくいため安定性が向上する。しかし、この場合であっても、個々のページの書き込み動作については1本のワード線WLに接続され、物理的に接近した複数のメモリセルMCが同時に発熱することには変わりはなく、不揮発性メモリの安定性を図る上で十分とは言えない。

【 0 0 4 2 】

さらに、消去動作については、MAT1単位での一括動作が考えられる。ここでは、図9(a)の点線で囲まれたMAT1に対する消去動作について説明する。また、図9(b)は、図9(a)の点線で囲まれたMAT1を示す回路図である。

20

【 0 0 4 3 】

この場合、図9(b)の通り、全てのワード線WLに対し、ワード線セット電圧 V_{setwl} (例えば3V)よりも低いワード線リセット電圧 $V_{resetwl}$ (例えば1V)が印加されるとともに、全てのビット線BLに対し、ビット線リセット電圧 $V_{resetbl}$ (例えば0V)が印加される。その結果、全てのメモリセルMCのダイオードDiには、順方向バイアスがかかり、可変抵抗素子VRの抵抗状態は高抵抗状態に遷移し、消去動作が完了する。

【 0 0 4 4 】

以上のように、MAT1単位で消去するため、メモリセルMC1個ずつ、あるいは1ページずつを消去させるよりも消去処理を迅速にすることができる。しかし、この場合、ワード線WL方向、ビット線BL方向に互いに近接する多くのメモリセルMCが同時に発熱するため、メモリセルMC1個ずつ、あるいは1ページずつ消去動作させる場合より、不揮発性メモリの不安定性が増すことは明らかである。

30

【 0 0 4 5 】

そこで、本実施形態では、図10に示すように、複数のMAT1からメモリセルMCを1個ずつ選択し、それら選択されたメモリセルMCを一括動作させる。

【 0 0 4 6 】

これにより、図10中の点線で囲まれたページに対する書き込み、消去動作をさせた場合であっても、各メモリセルMCが互いに離間しているため、各メモリセルMCの発熱による他のメモリセルMCへの影響を緩和させることができる。また、ページ単位で動作させるため、処理時間も図6、図7に示したページ単位での動作と比べても遜色するものではない。

40

【 0 0 4 7 】

以下、本実施形態の具体的な構成について説明する。

図11は、第1の実施形態に係るセルアレイを示すブロック図である。

図11のセルアレイは、ワード線WLが延びるx方向に4列、ビット線BLが延びるy方向に3行、合計12の区画BLKに分けられている。以下の説明において、図11の上段にある区画を左からBLK#0、#1、#2、#3、中段にある区画を左からBLK#4、#5、#6、#7、下段にある区画をBLK#8、#9、#10、#11とする。

50

【 0 0 4 8 】

各区画 B L K にはそれぞれ M A T が配置されている。各 M A T は、説明の簡略化のため、x 方向に 8、y 方向に 8、合計 6 4 個のメモリセルを有しているものとする。M A T の各メモリセルの物理アドレスは、x 方向に 1 ずつ増加し、y 方向に 8 ずつ増加しながら割り付けられている。つまり、各 M A T の左上隅、右上隅、左下隅、右下隅の各メモリセルには、0、7、5 6、6 3 の物理アドレスが割り付けられている。

また、各 M A T には、カラム制御回路 2 及びロウ制御回路 3 が設けられている。

【 0 0 4 9 】

さらに、y 方向に並ぶ区画 B L K # 0、# 4、# 8 に位置する M A T のカラム制御回路 2 は、トランスファトランジスタ T 0、T 4、T 8 を介して I O パッド 0 に接続されている。同様に、区画 B L K # 1、# 5、# 9 に位置する M A T のカラム制御回路 2 は、トランスファトランジスタ T 1、T 5、T 9 を介して I O パッド 1 に、区画 B L K # 2、# 6、# 1 0 に位置する M A T のカラム制御回路 2 は、トランスファトランジスタ T 2、T 6、T 1 0 を介して I O パッド 2 に、区画 B L K # 3、# 7、# 1 1 に位置する M A T のカラム制御回路 2 は、トランスファトランジスタ T 3、T 7、T 1 1 を介して I O パッド 3 にそれぞれ接続されている。また、x 方向に並ぶ、トランスファトランジスタ T 0 ~ T 3 のゲートには、共通の入力データ選択信号 I D S T 0 が入力される。同様に、トランスファトランジスタ T 4 ~ T 7 及び T 8 ~ T 1 1 のゲートには、それぞれ共通の入力データ選択信号 I D S T 1 及び I D S T 2 が入力される。この入力データ選択信号 I D S T 0 ~ 2 は、入力されるアドレスに基づいて決定される信号である。

【 0 0 5 0 】

次に、上記構成のセルアレイに対する論理アドレスの割り付けについて説明する。

図 1 2 は、本実施形態におけるセルアレイの M A T の配置及びメモリセルの論理アドレスを示すブロック図である。

M A T # 0 ~ # 1 1 は、それぞれ図 1 1 で示す区画 B L K # 0 ~ # 1 1 にそれぞれ配置されている。

【 0 0 5 1 】

また、各メモリセルの物理アドレスを i ($i = 0, 1, \dots$) とした場合、M A T n 内の各メモリセルの論理アドレスは、図 1 2 の通り、 $n + 1 2 \times i$ になるように割り付けられている。

【 0 0 5 2 】

次に、このように論理アドレスが割り付けられたセルアレイに対するページ単位での書き込み動作を説明する。ここでは、1 つのページが 1 2 個のメモリセルからなり、 j ($j = 1, 2, \dots$) 番目のページは、論理アドレス $(j - 1) \times 1 2$ から $(j - 1) \times 1 2 + 1 1$ のメモリセルにより構成されているものとする。例えば、2 番目のページの場合、論理アドレス # 1 2 ~ # 2 3 のメモリセルにより構成されていることになる。

【 0 0 5 3 】

始めに、外部から与えられた入力データは、I O パッドを介して各 M A T にあるカラム制御回路 2 に転送される。図 1 2 の構成によれば、I O パッドは、4 個あるため、1 2 個全ての M A T のカラム制御回路 2 に入力データを転送する場合、3 回に分けて転送する必要がある。具体的には、まず、4 ビットの入力データが I O パッド 0 ~ 3 に用意される。その後、入力データ選択信号 I D S T 0 がアクティブ (“ H ”) になると、トランスファトランジスタ T 0 ~ T 3 がオンされ、I O パッド 0 ~ 3 と M A T # 0 ~ # 3 のカラム制御回路 2 が接続される。これにより、I O パッド 0 ~ 3 にある入力データが M A T # 0 ~ # 3 のカラム制御回路 2 に転送される。次に、次の 4 ビットの入力データが I O パッド 0 ~ 3 に用意される。その後、入力データ選択信号 I D S T 1 がアクティブになると、トランスファトランジスタ T 4 ~ T 7 がオンされ、I O パッド 0 ~ 3 と M A T # 4 ~ # 7 のカラム制御回路 2 が接続される。これにより、I O パッド 0 ~ 3 にある入力データが M A T # 4 ~ # 7 のカラム制御回路 2 に転送される。同様に、次の 4 ビットの入力データが M A T # 8 ~ # 1 1 のカラム制御回路 2 に転送される。以上により、全て M A T # 0 ~ # 1 1 の

コラム制御回路2に1ビットの入力データが準備される。ここで、入力データ選択信号 $I D S T 0 \sim 2$ は、動作サイクル毎に順次アクティブになるよう制御されている。

【0054】

この状態で、各M A Tが同時に、物理アドレス#0のメモリセルに接続されるワード線 $W L$ に対しワード線セット電圧 $V s e t w l (3 V)$ 、ビット線 $B L$ に対しビット線セット電圧 $V s e t b l (3 V$ 又は $0 V)$ を印加する。一方、その他のメモリセルに接続されるワード線 $W L$ に対しワード線非選択信号 $V n s w l (0 V)$ 、ビット線 $B L$ に対しビット線非選択電圧 $V n s b l (3 V)$ を印加する。その結果、各M A Tのコラム制御回路2にある入力データは、それぞれ物理アドレス#0のメモリセルに保持され、1番目のページの書き込み動作が行われる。

10

【0055】

以上を全てのページについて繰り返すことで、セルアレイ全体の書き込み動作が完了する。

【0056】

ここで、図11の構成によれば、1ページ分12ビットの入力データが各M A Tのコラム制御回路2に分けて転送されているが、I Oパッドを上述の例よりも多く用意することで、転送回数を少なくすることができる。例えば、I Oパッドが12個ある場合には1回の転送で1ページ分のデータを準備することができる。一方、少ないI Oパッドしか持たない場合であっても、転送回数を増やすことで対応することができる。

【0057】

次に、以上のような書き込みを実現するロウ制御回路3の動作について説明する。

図13は、ロウ制御回路3の一部分を示す回路図である。

各M A T1のロウ制御回路3には、アドレス配線数削減のために設けられたグローバルワード線 (Global Select) とローカルアドレス線 (Block Select1~3) を介してM A Tを選択するためのアドレスが供給され、更に図示しないローカルアドレス線を介してM A T内のワード線を選択するためのアドレスが供給されている。同図 (a) に示すように、グローバルワード線 (Global Select) とローカルアドレス線 (Block Select1~3) によってトランジスタ $P 1$ 及び $N 1 \sim N 3$ がアクティブにされてM A Tが選択される。また、ロウ制御回路3には、各M A Tが不良ブロックかどうかによってセット又はリセットされるインバータ $I V 4$ 、 $I V 5$ 及びトランジスタ $N 6$ 、 $N 8$ からなるラッチ回路が設けられ、これにより不良ブロックを分離するようにしている。トランジスタ $P 1$ 及び $N 1 \sim N 4$ がオン状態になると、トランジスタ $P 2$ がオン状態となり、インバータ $I V 1$ 、 $I V 2$ を介してトランスファゲートセレクト n 信号が立ち上がり、更にインバータ $I V 3$ 及びトランジスタ $N 5$ を介してトリガ信号に同期したトランスファゲートセレクト信号が立ち下がる。

20

30

【0058】

これらのトランスファゲートセレクト信号及び同セレクト n 信号を受けて、同図 (b) に示すように、トランジスタ $N 9$ 及び $P 3$ を介してセット電圧 $V s e t w l +$ が図示しないトランスファゲートに供給される。また、ローカルアドレスをデコードしたワード線選択信号が、別途トランジスタ $N 10$ を介してゲート制御されるトランジスタ $N 11 \sim N 14$ を介して図示しないトランスファゲートをオンオフ制御する。これにより、選択されたM A Tの選択されたワード線 $W L$ にセット電圧 $V s e t w l +$ が転送される。

40

【0059】

なお、これらの回路のうち、グローバルワード線とローカルアドレス線は、同時に複数のM A Tが選択されるように、内部のロジックを構成しておけば良い。

【0060】

本実施形態によれば、複数のページを構成する複数のメモリセルに対し同時に書き込み動作させることが可能であるため、メモリセルを1個ずつ書き込み動作させる場合よりも書き込み動作に要する時間を短縮することができる。さらに、同時に書き込み動作されるメモリセルがそれぞれ異なるM A Tに分散され、物理的に離間しているため、メモリセル

50

を1個ずつ書き込み動作させる場合と同様に、各メモリセルの発熱による影響が少なく、安定性が高い不揮発性メモリを提供することができる。

【0061】

[第2の実施形態]

図14は、第2の実施形態に係る不揮発性メモリのセルアレイのMATの配置及びメモリセルの論理アドレスを示すブロック図である。

【0062】

第1の実施形態に対し、MAT毎の論理アドレスの割り付け順を変更させたものである。

【0063】

各MATに属するメモリセルに割り付けられる論理アドレスは、第1の実施形態の場合と同様、12の差分をもって割り付けられている。ただし、本実施形態の場合、各MATはx方向に論理的に2分割されており、MATnの物理アドレス#0のメモリセルに論理アドレスn、物理アドレス#4のメモリセルに論理アドレスn+12、物理アドレス#2のメモリセルに論理アドレスn+24、物理アドレス#5のメモリセルに論理アドレスn+36がそれぞれ割り付けられる。このように、本実施形態においては、論理アドレスは、MATの左部分1a、右部分1bに交互に割り付けられる。

10

【0064】

この場合、1番目のページを構成する論理アドレス#0~#11のメモリセルと、2番目のページを構成する論理アドレス#12~#23のメモリセルはそれぞれが、同一MAT内においてx方向に所定の距離をもって配置されていることになる。

20

【0065】

つまり、本実施形態によれば、1つのページを構成する各メモリセル相互の発熱による影響を緩和できるだけでなく、異なるページを構成するメモリセル同士の位置関係についても所定の距離をもって配置されているため、直前に書き込まれたページを構成するメモリセルによる発熱の影響が、書き込み動作中のページの動作に影響しにくくなる。この点において、第1の実施形態の場合より、さらに安定性を向上させることができる。

【0066】

[第3の実施形態]

図15は、第3の実施形態に係る不揮発性メモリのセルアレイのMATの配置及びメモリセルの論理アドレスを示すブロック図である。

30

【0067】

各MATに属するメモリセルに割り付けられる論理アドレスは、第1、第2の実施形態の場合と同様、12の差分をもって割り付けられている。ただし、本実施形態の場合、各MATはy方向に論理的に2分割されており、MATnの物理アドレス#0のメモリセルに論理アドレスn、物理アドレス#32のメモリセルに論理アドレスn+12、物理アドレス#1のメモリセルに論理アドレスn+24、物理アドレス#33のメモリセルに論理アドレスn+36がそれぞれ割り付けられる。このように、本実施形態においては、論理アドレスは、MATの上部分1c、下部分1dに交互に割り付けられる。

【0068】

本実施形態によっても、j番目のページと、j+1番目のページを構成するメモリセルがy方向に所定の距離をもって配置されているため、第2の実施形態の場合と同様の効果を得ることができる。

40

【0069】

[第4の実施形態]

図16は、第4の実施形態に係る不揮発性メモリのセルアレイのMATの配置及びメモリセルの論理アドレスを示すブロック図である。

【0070】

各MATに属するメモリセルに割り付けられる論理アドレスは、第1~3の実施形態の場合と同様、12の差分をもって割り付けられている。ただし、本実施形態の場合、各M

50

A Tはx方向、y方向にそれぞれ論理的に2分割、合計4分割されており、M A T nの左上部分1 eに位置する物理アドレス# 0のメモリセルに論理アドレスn、右上部分1 fに位置する物理アドレス# 4のメモリセルに論理アドレスn + 1 2、左下部分1 gに位置する物理アドレス# 3 2のメモリセルに論理アドレスn + 2 4、右下部分1 hに位置する物理アドレス# 3 6のメモリセルに論理アドレスn + 3 6がそれぞれ割り付けられる。このように、本実施形態においては、論理アドレスは、M A Tの左上部分1 e、右上部分1 f、左下部分1 g、右下部分1 hに順次割り付けられている。

【0071】

本実施形態によれば、j番目、j + 1番目、j + 2番目、j + 3番目のページを構成するメモリセルがx方向、y方向に所定の距離をもって配置されているため、第1～3の実施形態に比べ、ページ相互の書き込み動作の影響を更に緩和させることができる。

10

【0072】

[第5の実施形態]

第5の実施形態は、12個のメモリセルで構成されるページを2回の動作で半分ずつ書き込み動作させるものである。

【0073】

図17は、第5の実施形態に係る不揮発性メモリのセルアレイのM A Tの配置及びメモリセルの論理アドレスを示すブロック図である。

【0074】

各M A T内のメモリセルの論理アドレスの割り付けは、第2の実施形態の場合と同様である。ただし、本実施形態の場合、M A T nとM A T (n + 1)がM A T 1個分を隔てて配置されている。具体的には、区画B L K # 0、# 2、# 4、# 6、# 8、# 10にM A T # 0～# 5、区画B L K # 1、# 3、# 5、# 7、# 9、# 11にM A T # 6～# 11が配置されている。

20

【0075】

この論理アドレスの割り付けにおいて、まず、1番目のページを構成するメモリセルのうち論理アドレス# 0～# 5のメモリセルに対して書き込み動作をさせる。次に、1番目のページを構成する残りの論理アドレス# 6～# 11のメモリセルに対して書き込み動作をさせる。この2回の書き込みにより1ページの書き込みをすることができる。以上を全てのページについて繰り返すことでセルアレイ全体の書き込みが完了する。

30

【0076】

本実施形態によれば、1ページの書き込みを2回に分けているため、第1～4の実施形態に比べて、書き込み処理が遅くなる。しかし、ページ毎の1回目の書き込みで動作するメモリセルが、x方向にM A T 1個分隔てて配置されているため、第1～4の実施形態の場合に比べ、メモリセルの発熱の影響をより緩和させることができる。さらに、一時に消費する電力が少なくなるため、消費電力対策に有効である。

【0077】

なお、本実施形態においては1ページの書き込みを2回に分けて行っているが、この回数は、書き込み処理の速度、消費電力等を勘案して任意に設定することができる。

【0078】

[第6の実施形態]

図18は、第6の実施形態に係る不揮発性メモリのセルアレイのM A Tの配置及びメモリセルの論理アドレスを示すブロック図である。

40

【0079】

本実施形態は、第1の実施形態におけるカラム制御回路2を新たなカラム制御回路2'に替えて構成されている。

【0080】

カラム制御回路2'は、カラム制御回路2と異なり、センスアンプ回路S/Aを複数備える点に特徴がある。これにより、各M A T毎に複数のビット線を選択することができるため、同一ワード線に接続された複数のメモリセルのうちセンスアンプS/Aの個数分の

50

メモリセルに対する書き込み動作を同時に行うことができる。

【0081】

続いて、図19に示すセンスアンプ回路S/Aについて説明する。

図19に示すノードTDCは、ビット線電圧をセンスするためのセンスノードであると共に、データを一時記憶するデータ記憶ノードでもある。ノードTDCは、クランプ用NMOSトランジスタN101を介してビット線BLに接続される。クランプ用トランジスタN101は、読み出し時ビット線電圧をクランプして、ノードTDCに転送する働きをする。ノードTDCには、ビット線及びこのノードTDCをプリチャージするためのプリチャージ用NMOSトランジスタN102が接続されている。

【0082】

ノードTDCは、転送用NMOSトランジスタN103、N104を介してそれぞれデータラッチ112、113のデータ記憶ノードPDC、SDCに接続されている。データラッチ112は、読み出しデータ及び書き込みデータを保持するデータ記憶回路である。データラッチ113は、データラッチ112とデータ線IO、IONとの間に配置されて、書き込みデータや読み出しデータを一時保持するために用いられるデータキャッシュである。

【0083】

データラッチ113のノードは、カラム選択信号CSLにより駆動される選択ゲートトランジスタN105、N106を介して、データバス109のデータ線対IO、IONに接続されている。

【0084】

選択ゲートトランジスタN105、N106は、カラムアドレスに連動して自動的にオン/オフされる。

【0085】

データ書き込みは、所定のしきい値分布を得るために、書き込み電圧印加と書き込みベリファイとの繰り返しにより行われる。各MATが備えるセンスアンプ毎にベリファイが行われ、このベリファイ結果によって次のサイクルの書き込みデータを決定する必要がある。

【0086】

ドレインに電圧VPREが与えられるNMOSトランジスタN111のゲートは、書き込み時にデータラッチ112のノードPDCが保持する書き込みデータを一時待避させて保持するためのデータ記憶ノードDDCとなる。データラッチ112のノードPDCの書き込みデータは転送用NMOSトランジスタN114を介してデータ記憶ノードDDCに転送される。電圧VPREは、選択的にVdd又はVssとなる。

【0087】

NMOSトランジスタN111とデータ記憶ノードTDCとの間に介在させたNMOSトランジスタN117とにより、データ記憶ノードTDCのデータを、データ記憶ノードDDCのデータに応じて設定することが可能になる。即ちこのNMOSトランジスタN111、N117により、書き込み時に次サイクルの書き込みデータを記憶ノードTDCに書き戻すための書き戻し回路が構成されている。

【0088】

これらのデータ記憶ノードDDC、BDCに保持されたデータに従い、またトランジスタN111、N112のドレイン電圧VPREの選択に従って、ベリファイ読み出し時にデータノードTDCを強制的に放電し(即ち“L”レベルに設定し)、或いは充電する(即ち“H”レベルに設定する)といった制御が可能になる。

【0089】

データラッチ112には、ベリファイチェック回路114が接続されている。データラッチ112の一つのノードにゲートが接続されたNMOSトランジスタN122がチェック用トランジスタであり、そのソースはチェック信号CHK1により制御されるNMOSトランジスタN121を介して接地され、ドレインは併設された転送用NMOSトランジ

10

20

30

40

50

スタN123、N124を介して1ページ分のセンスユニットに共通の共通信号線COMに接続されている。NMOSトランジスタN123、N124はそれぞれ、チェック信号CHK2及びノードTDCによりゲートが制御される。

【0090】

ベリファイ読み出しの結果、“0”書き込みが不十分の場合にのみ、データラッチ112のノードPDCが“L”(=“0”)となる書き戻しが行われる。即ち、1ページの書き込みが完了すると、データラッチ112がオール“1”となるようにベリファイ制御される。

【0091】

データ書き込み時、ベリファイ読み出し後に1ページ分のセンスユニット内でこのベリファイチェック回路114がオンになる。あるセンスユニットで書き込みが完了していなければ、ベリファイチェック回路114は、予め“H”に充電された共通信号線COMを放電させる。1ページ分のデータラッチ112がオール“1”状態になると、共通信号線COMが放電されることなく“H”を保ち、これが書き込み完了を示すパスフラグとなる。

10

【0092】

本実施形態では、第1の実施形態において説明したように、例えば1回に4ビットのデータ入力がある場合、4個のMATに1ビットずつデータロードできることは勿論、各MAT毎に複数のセンスアンプ回路S/Aを備えたことで以下のようなデータ入力が可能となる。

20

【0093】

例えば、各MAT毎にセンスアンプ回路が16個ある場合、1個のMATに対し、4ビットの入力データを連続して4回ロードする。この動作を順次、次のMATに対し繰り返すことで、全MATに対するデータロードができる。

【0094】

さらに、別の例として、最初の4ビットの入力データを所定のMATに対してロードし、次の4ビットの入力データを、次のMATにロードする。以上の動作を繰り返すことで、各MATに対してロードするデータ数を調節することができる。これにより、書き込み時と消去時に同時動作するMAT数、あるいはセンスアンプ回路S/A数を調節することができる。

30

【0095】

なお、1個のMATが備えるセンスアンプ回路S/Aの個数は、MAT直下の配置スペース、消去動作時の消費電力、メモリセルの発熱の影響等を考慮して任意に決定することができる。さらに、上記のとおり、同時動作させるMATの個数、MAT1個当たりの同時動作させるメモリセル(あるいは、センスアンプ回路S/A)数を制御することができるため、より柔軟な装置設計が可能になる。

【0096】

例えば、本実施形態の場合、1個のMATが備えるセンスアンプ回路S/Aの個数は、セルアレイ直下の配置スペースを考慮すると16~32個程度に決定することができる。この場合、消費電力が比較的小さく、メモリセルの発熱の影響が小さい書き込み動作時には、MAT1個当たりの同時動作させるメモリセル数は、センスアンプ回路S/Aと同じ16~32個になる。一方、書き込み動作より消費電力が大きく、メモリセル間の発熱の影響が大きい消去動作時には、同時動作させるMAT数及びMAT1個当たりの同時動作させるメモリセル数をより少なくするように制御する。これによって、書き込み動作時の高速動作を確保しつつ、消去動作時の安定性をも確保することができる。

40

【0097】

本実施形態によれば、第1の実施形態と同様の効果を得られるばかりではなく、第1の実施形態に比べ、書き込み処理をより高速に行えることができる。

【0098】

また、本実施形態のカラム制御回路2'は、第2~第5の実施形態についても同様に適

50

用可能である。

【0099】

[その他]

以上、本発明の実施形態についていくつか説明したが、本発明は、それら実施形態に限定されるものではない。

【0100】

例えば、図20のようにセルアレイの区画BLK#0、・・・、#11にMAT#11、・・・、#0を配置した場合など、各ページを構成するメモリセル相互の位置、あるいは、異なるページを構成するメモリセル相互の位置が離間するように各MATを配置し、あるいは論理アドレスを割り付ければ良い。

10

【0101】

なお、上記実施形態においては、主に書き込み動作について説明したが、消去動作についても同様である。

【0102】

さらに、本発明は、不揮発性メモリ以外の各種半導体記憶装置に対して適用することができる。

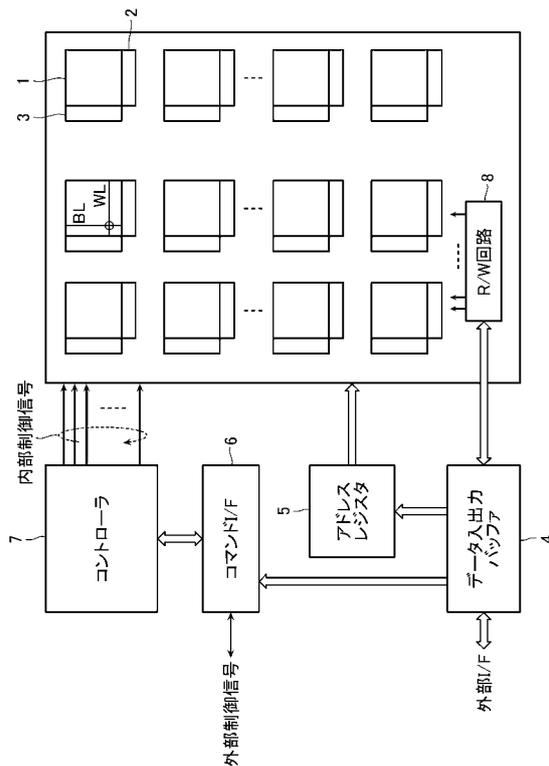
【符号の説明】

【0103】

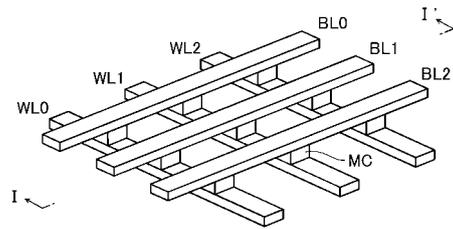
1・・・MAT(単位セルアレイ)、2、2'・・・カラム制御回路、3・・・ロウ制御回路、4・・・データ入出力バッファ、5・・・アドレスレジスタ、6・・・コマンドI/F、7・・・コントローラ、8・・・R/W回路、11、13・・・電極層、12・・・記録層、14・・・メタル層、112、113・・・データラッチ、114・・・ベリファイチェック回路、BL・・・ビット線、Di・・・ダイオード、EL・・・電極、MC・・・メモリセル、NO・・・非オーミック素子、S/A・・・センスアンプ回路、VR・・・可変抵抗素子、WL・・・ワード線。

20

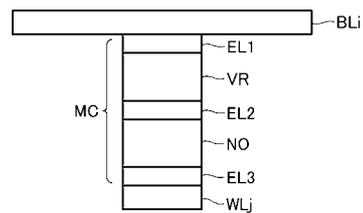
【図1】



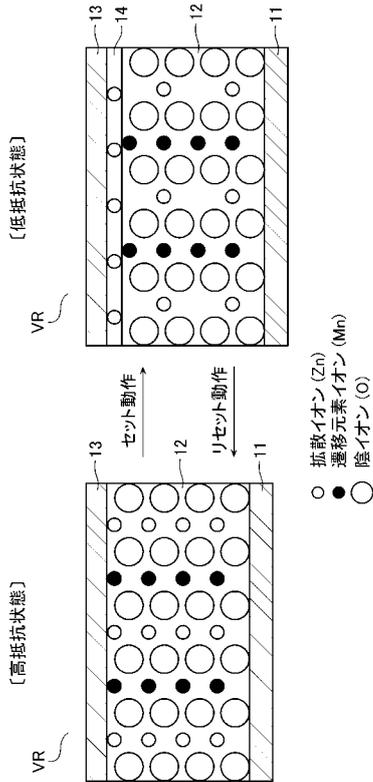
【図2】



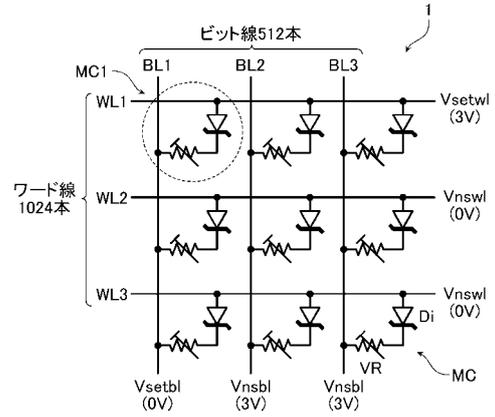
【図3】



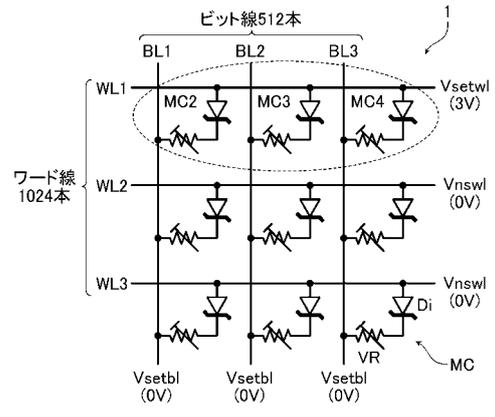
【図4】



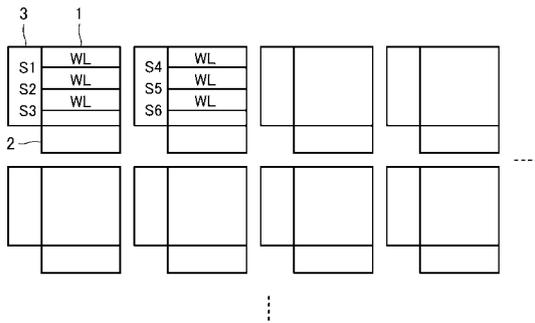
【図5】



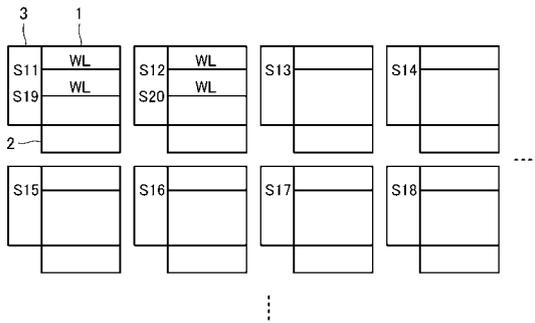
【図6】



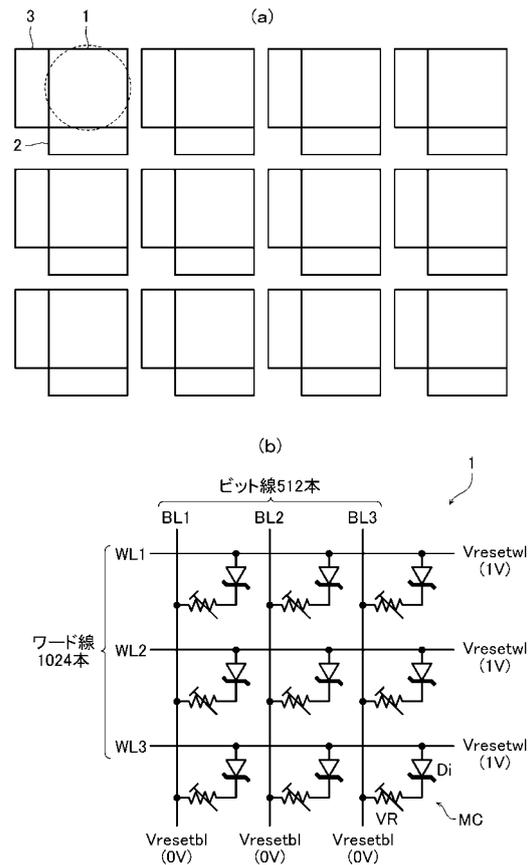
【図7】



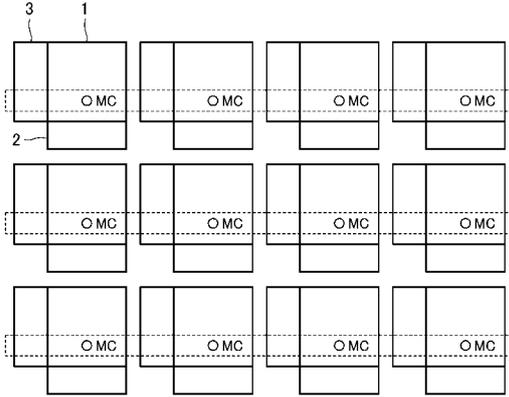
【図8】



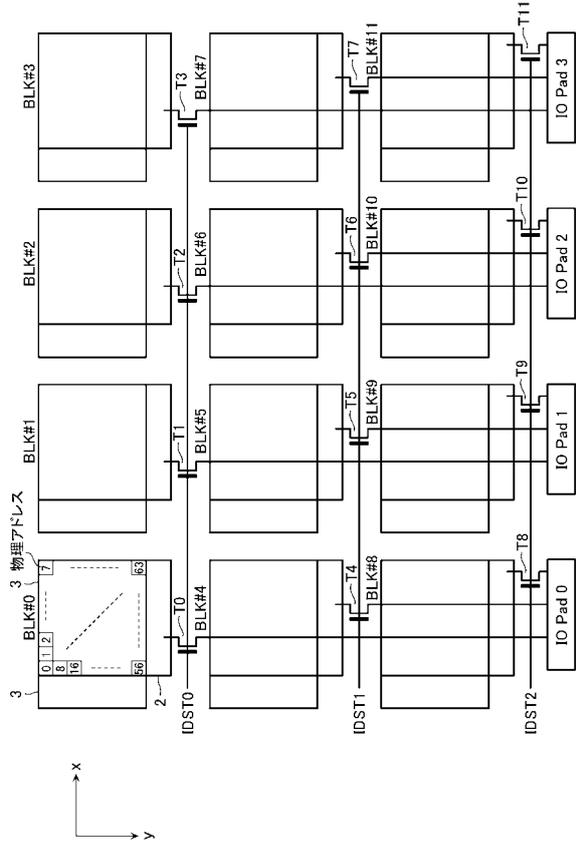
【図9】



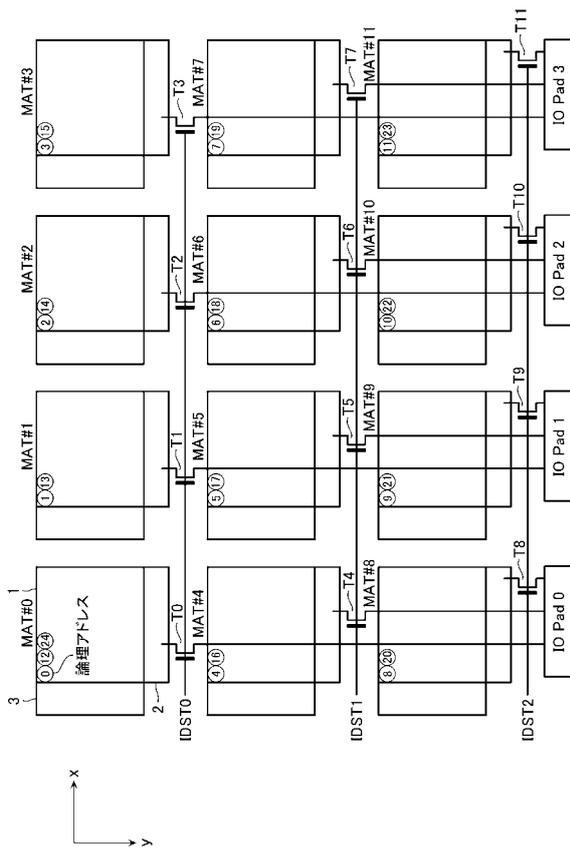
【図10】



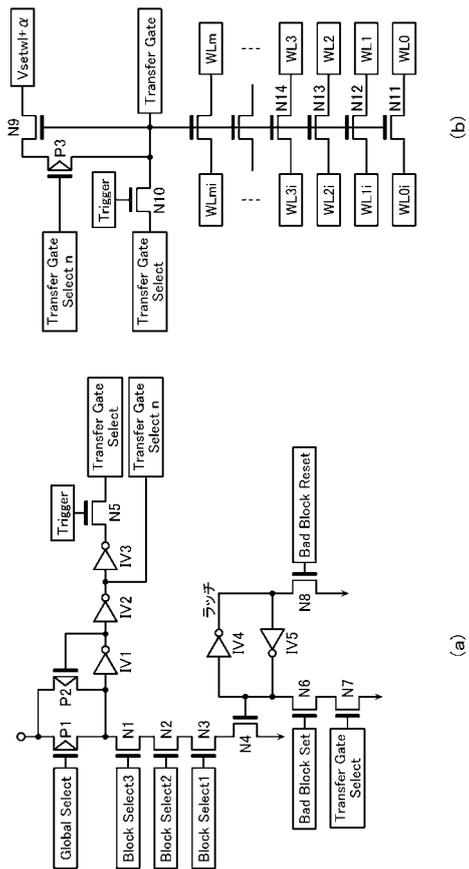
【図11】



【図12】

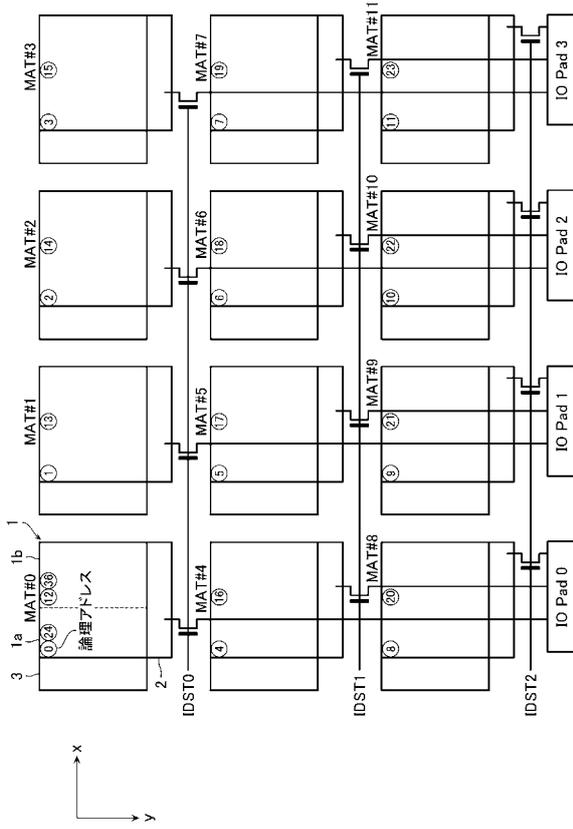


【図13】

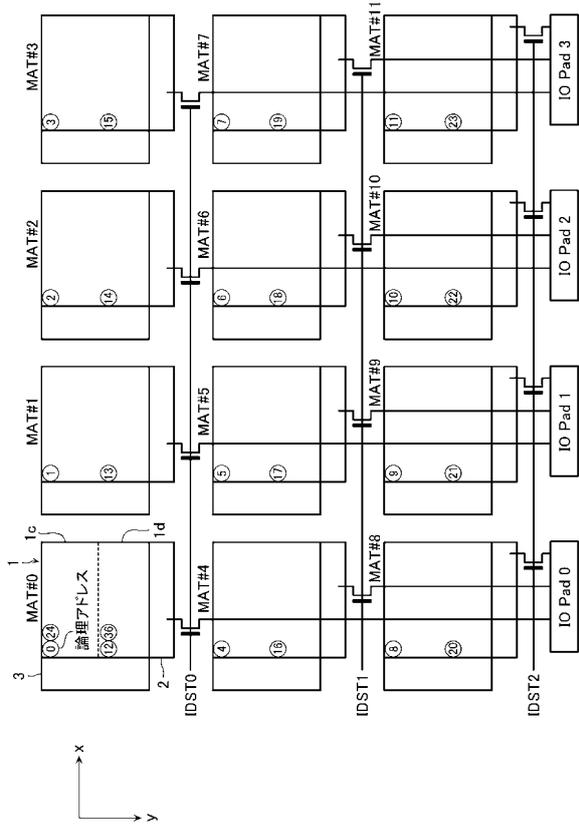


(a) (b)

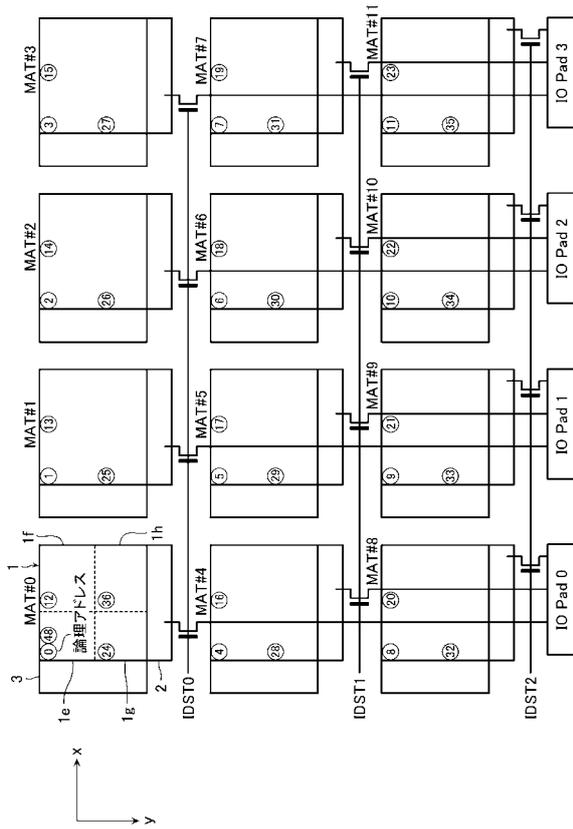
【 図 14 】



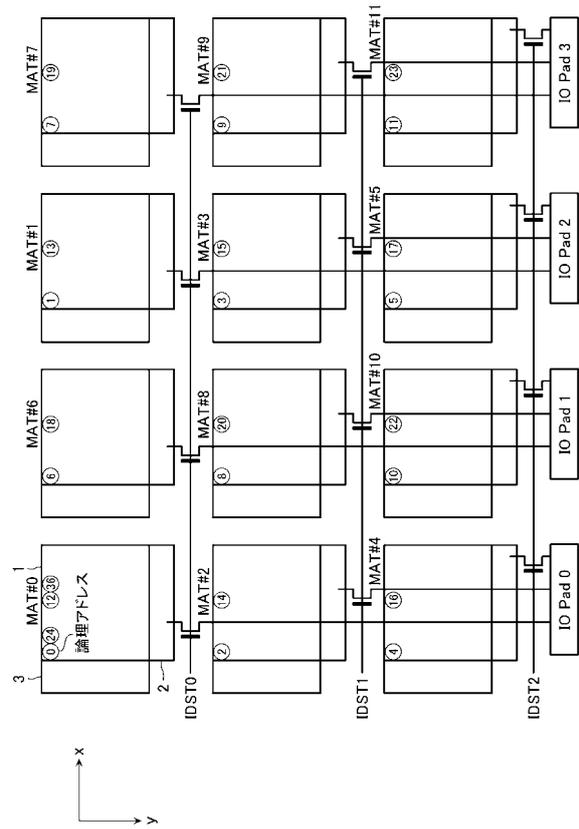
【 図 15 】



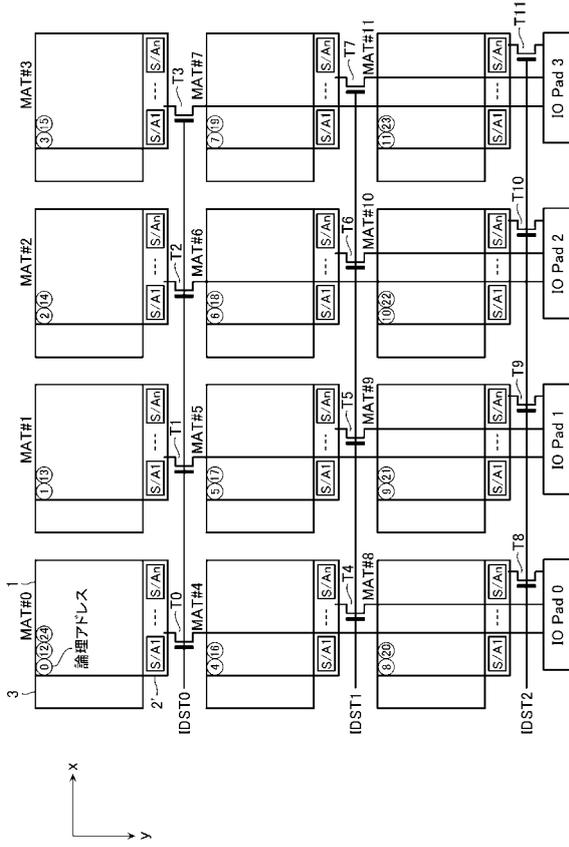
【 図 16 】



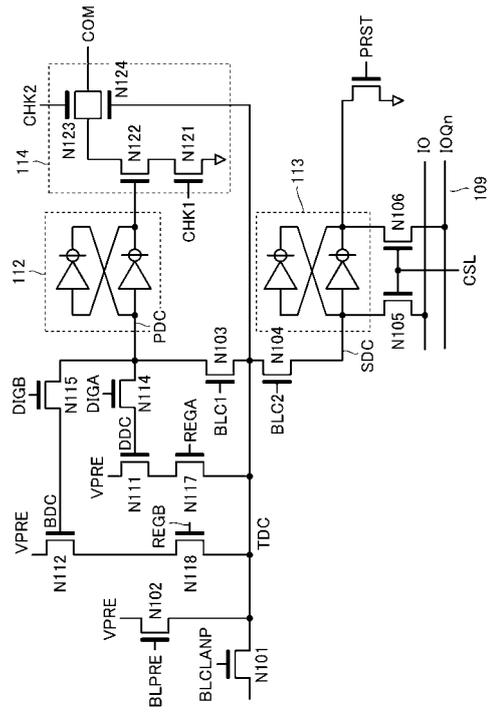
【 図 17 】



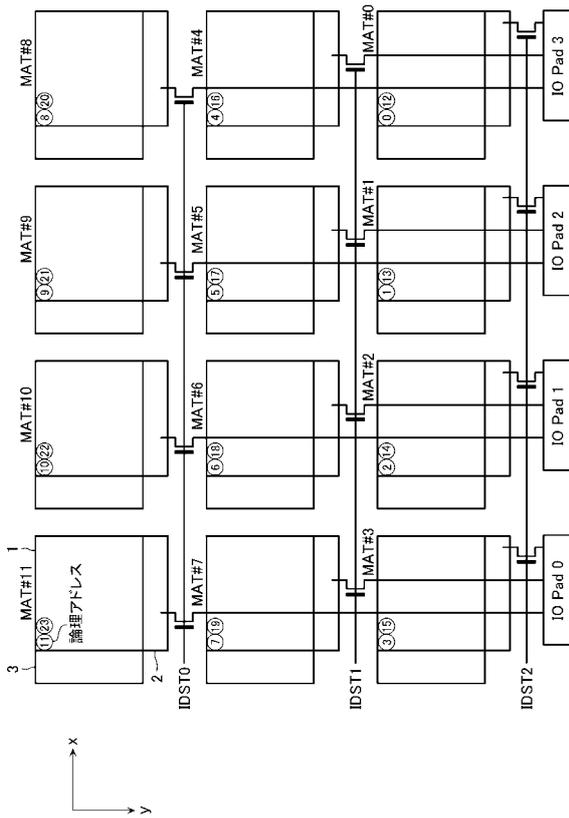
【 18 】



【 19 】



【 20 】



フロントページの続き

(56)参考文献 国際公開第2008/032394(WO, A1)
特開2006-179158(JP, A)

(58)調査した分野(Int.Cl., DB名)
G11C 13/00