



(12) 发明专利申请

(10) 申请公布号 CN 103559904 A

(43) 申请公布日 2014. 02. 05

(21) 申请号 201310538264. 8

(22) 申请日 2013. 11. 05

(71) 申请人 苏州贝克微电子有限公司
地址 215011 江苏省苏州市高新区竹园路
209 号 3 号楼 1404 室

(72) 发明人 不公告发明人

(51) Int. Cl.
G11C 7/06 (2006. 01)

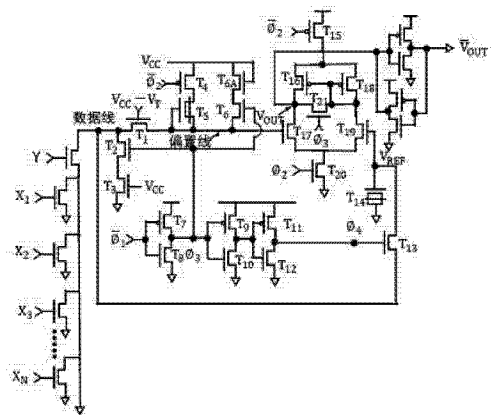
权利要求书1页 说明书7页 附图4页

(54) 发明名称

一种单端数据感测的读出放大器

(57) 摘要

一种单端数据感测的读出放大器,其特征在于,根据参考电压的响应变化加工参数和噪声容限。数据线电压与参考电压相匹配,使数据与参考的比较操作具有更高的准确性。参考电压的分量作为一个高逻辑状态,保持其完整性,该高逻辑状态来自随后的数据线的变化。



1. 一种单端数据感测的读出放大器,其特征在于:一种方法可以提供来自于数据线电压的稳定的参考电压,并检测在单端数据输入端的变化,所述方法包括以下步骤:将偏置线电压提高到它的最高水平;存储数据线电压;隔离所存储的数据线的电压,从而获得稳定的参考电压;访问数据,使得偏置线电压反映在数据的输入端上;比较参考电压和偏置线电压,并且用一个差分放大器放大其差值,使得输出电压反映在数据的输入端上。

2. 根据权利要求1所述的一种单端数据感测的读出放大器,其特征在于:使用一个稳定的参考电压检测单端数据输入的变化,该电路包括:在数据线上有一个输入信号;一个开关将数据线连接到一偏置线,使得数据线路的电压电平成为数据线路电压,偏置线的电压电平成为偏置线电压;一个开关将数据线连接到一存储设备;装置产生一个来自数据线的参考电压;通过一个差分放大器的连接以获得偏置线电压和参考电压,将两个电压进行比较,用于产生一个与输入信号相关的输出电压。

3. 根据权利要求2所述的一种单端数据感测的读出放大器,其特征在于:它还包括一个锁存器,用于保持输出电压经过一个读周期的末尾;将所述的偏置线电压在一个预充电期间提高到最高水平,该偏置线电压在某段时间 t_1 内,开始响应一个读信号;其中,由差分放大器进行的比较和放大功能激活和平衡以响应在时间 t_1 的一个读信号;所述偏置电压维持在其最大电平直到一个读周期的末尾,除非访问数据输入端的是一个高电平。

4. 根据权利要求3所述的一种单端数据感测的读出放大器,其特征在于:在时间 t_1 内,通过激活一个小电流源到偏置线,使得偏置电压得以维持;其中,所述数据线电压的存储和隔离,在预充电期间结束后不久完成;其中,数据线电压的存储是由一个电容器执行,该电容器具有一个严重抗噪声节点。

5. 根据权利要求4所述的一种单端数据感测的读出放大器,其特征在于:其中,所述数据线电压经过一个开关传递到电容器,并且通过相同的开关从数据线分离出来;已隔离的数据线电压作为参考电压,并足以激活的差分放大器的一个分支;其中所述偏置线的最大电平和数据线电压电平可以是大致相等的。

6. 根据权利要求5所述的一种单端数据感测的读出放大器,其特征在于:其中,所述偏置线的最大电平足以激活差分放大器的一个分支;

并且,只有在偏置线电压低于参考电压时,输出电压才是“1”。

7. 根据权利要求2所述的一种单端数据感测的读出放大器,其特征在于:其中,输出电压输入到一个锁存器,在该输入端上,一个读周期结束后,锁存器将保存数据。

8. 根据权利要求2所述的一种单端数据感测的读出放大器,其特征在于:其中,一个小的漏电流附加在数据线上,并激活响应于读信号,而且该电流在预充电期间结束时停用。

一种单端数据感测的读出放大器

技术领域

[0001] 本发明一般涉及电子集成电路,特别是,一个本身使用输入信号的采样和保持读出放大器,从而获得参考电压。

背景技术

[0002] 一种半导体存储器件通常包括一个行和列的排列。行和列的各个交叉点定义为存储器“单元”。一个单元存储一个逻辑“0”或一个逻辑“1”。与每一列相关联的是一个装置,该装置用于检测该列的单元中逻辑状态的变化。这个装置是通常被称为读出放大器,因为它“读出”了单元的逻辑状态的变化,并放大传输到下一个阶段的电路。

[0003] 要执行此功能,读出放大器必须能够区分状态“0”和“1”。与区分高电平相关的一个问题就是电荷泄漏。随着时间的推移,电压电平在单元中衰减。当读出放大器将一个衰减或过时的“1”与一个具有定义明确的“1”的参考电压比较时,显示到读出放大器的该单元将存储一个低电平。

[0004] 几种不同的技术可用于执行读出放大。一种这样的技术使用被称为“采样和保持”功能。根据该技术,读出放大器在存储单元进行采样,并在一段精确控制的时间内保持采样的电压。在此时间段结束时,电压将衰减。通过测量电压的衰减,电路得以区别“0”和“1”。通过衰减的采样样本与另一种稳定并已知的电压电平比较,从而进行测量。该电压电平通常被称为参考电压 V_{REF} 。一个高于参考电压 V_{REF} 的采样电压在该时间段结束时被识别为“1”,反过来说,一个低于 V_{REF} 的采样电压将被识别为“0”。由于测量是相对于一个参考电压 V_{REF} 而言的,所以这种类型的设备被称为一个参考电压比较器。

[0005] 与此技术相关联的问题之一就是衰减量的可变性。在输出将改变为低电平之前,该读出放大器测量一定限度内的衰减。由于时间的变化及推移,加上该存储单元被最后读取,以及设备处理中的变化,衰减量变成“1”并不总是说明读出放大器将识别为“1”。

[0006] 图1示出了一个传统的电平移位读出放大器。当该存储单元存储一个“1”,电流从电源10流出到地面12。反相器14的输入端保持为低电平,因此,输出端是高电平。当该单元存储“0”时,没有电流流过。由于晶体管 T_1 现在不导通,而且反相器的输出端为低电平,即“0”,所以反相器的输入端保持高电平。当受到了启发时,这样的设计不再被广泛使用。该设计要求给反相器提供额外的直流电源,并同时为电源中产生的噪声和波动过分敏感。

[0007] 图2示出了使用“虚设单元”的传统读出放大器。虚设单元是一个电路,该电路是存储单元的一个复制品。它存储了之前一些时间内的存储单元里的电压电平。该读出放大器的设计本质上是采样和保持的类型。对于一个参考电压来说,读出放大器使用的是虚设单元电压。因此,该参考电压高度依赖于处理的变化。这样的设计也没有很好地回应单元列线的噪声。虚设单元的读出放大器也是不可取的,因为它们的大小和功率需求不同。正

常情况下,虚设单元的一列所需的是每存储器阵列的一半。由于国家的最先进的存储设备包含了日益增多的单元,这导致了总的“可用”内存得到约束,该“可用”内存将适应半导体芯片上的有限规模。

[0008] 图 3 示出了在上述的传统电平移位设计的一个变化。图 3 采用了高程反相器的设计,包括一个偏置线和预充电开关。晶体管 30 导通,从而提高偏置线到其上限。晶体管 32 保持偏置线处于高电平。当该单元被访问时,晶体管 30 不导通,因此没有电流从电源 34 流到地面 36。因此,反相器 38 的输入端是“1”而且输出端是“0”。如果该单元存储了“0”,则没有电流在节点(39)和地面之间流过,并且反相器的输出端保持原样,即低电平。如果该单元存储了“1”,则电流从偏置线流出,通过晶体管 40 流到地面。因此,偏置线被该单元“拉”低并且反相器 38 的输出端变为高电平,即“1”。这种设计对噪声很敏感,并对上次读周期时剩余的数据线充电。该反相器 38 具有一个阈值电压,在该阈值电压,它对输入作出响应,好像它是“1”。此阈值对装置处理的变化敏感。

[0009] 图 4 示出了读出放大器的“虚设单元”类型的变化。图 4 电路中,存储在存储单元中的反向电压的副本被保留,以便其后跟参考比较。虽然这种解决方案避免了与读出放大器有关的一些问题,但是它还是需要芯片面积来容纳虚设单元。

[0010] 来自于数据线的独立电源的参考电压对阈值电压的变化不敏感。对参考电压供电的变化可能会导致它无法响应。片外参考电压在加工参数时,需要被严格要求地限制。生产中略有偏差对准确性来说是致命的。此外,由于噪声的敏感度,速度的限制也是存在的,从而导致了单元内存的不准确读取。

[0011] 由数据线产生的参考电压本身不会受到这些限制。

发明内容

[0012] 本发明提供一种读出放大器电路的一个目的,就是不需要使用直流电源来提供参考电压。

[0013] 本发明提供一种读出放大器电路的一个目的,就是,其中,数据线上电压的变化和电源电压是相对独立的。

[0014] 本发明提供一种读出放大器电路的另一个目的,就是,其中,所述参考电压响应数据线上的噪声影响和阈值电压。

[0015] 本发明的进一步目的在于提供一种具有高存取速度的读出放大器。

[0016] 本发明的技术解决方案是:

因此,在根据本发明实施的一个例子中,EEPROM 类型的存储单元的一个列子采用了一个读出放大器电路,以制造一个数据的输出电压。该读出放大器,将一个稳定的参考电压存储在与存储器列相关联的,被选中的存储单元中的电压进行比较,提供了一个差分电压,该电压的极性暗示了所选存储单元的逻辑状态。该稳定的参考电压是来自于列线,在紧接上述比较,能够更准确地与选定单元的电压电平相匹配,并且产生正确的逻辑输出。

[0017] 对比专利文献:CN102637448A 放大器感测 201110344989.4。

[0018] 附图说明:

图 1 是一示意图,示出了一个传统电平移位读出放大器。

[0019] 图 2 是一示意图,示出了一个不同类型的读出放大器,它使用了一个虚设单元。

- [0020] 图 3 是一示意图, 示出了一个不同类型的读出放大器, 它使用了一个高程反相器。
- [0021] 图 4 是一示意图, 示出了传统虚设单元类型的读出放大器的变化。
- [0022] 图 5 是一个方框图, 示出了符合本发明原理的读出放大器。
- [0023] 图 6 是一个概略图, 示出了符合本发明原理的读出放大电路。
- [0024] 图 7 示出了根据本发明的读出放大电路实施的一个备选例子的示意图。
- [0025] 图 8 是一个时序图, 示出了根据本发明, 在图 7 所示的电路中操作所需的定时。
- [0026] 具体实施方式:

图 5 示出了使用了来自数据线输入端的一个稳定的参考电压, 以检测一个单端数据线输入端的变化了的读出放大器的方框图。该数据线输入端和一个由读信号发生器产生的时钟信号 ϕ , 都被提供到偏置控制和基准信号发生器电路, 该电路派生了参考电压 V_{REF} 。该参考电压 V_{REF} 和一个偏置线电压 V_{BIAS} , 都由偏置控制和基准信号发生器提供给一个差分放大器。该差分放大器比较这两个电压 V_{REF} 和 V_{BIAS} , 并生成了输入电压 V_{OUT} , 该电压与数据线输出端的状态有关。放大器的输出电压 V_{OUT} 被提供给一个锁存器, 该锁存器保持输出电压 V_{OUT} 不变, 通过读周期的末尾, 并提供一个输出电压 V_{OUT} 来对应数据线输入端的状态。

[0027] 参照图 7, 一列存储单元包括了晶体管 $X_N - X_N$, 如图所示, 连接到一条数据线上。该列代表了本发明所示的读出放大器的一个典型的负载。施加到晶体管 Y 栅极的一个合适的电压为读出放大选择了这个特定的列。

[0028] 晶体管 $X_N - X_N$ 各自代表一个单独的单元内存。

[0029] 如果一个特定的单元 $X_N - X_N$ 导通, 该装置栅极处的电压为高电平, 即表示逻辑“1”。在这种情况下, 该单元将让大量的电流下沉留到该装置的地面。如果该单元关闭, 在 X 栅极处的电压为低电平, 即代表一个逻辑“0”。在这种情况下, 通过数据线的电流在很大程度上仍然不受影响。

[0030] 虽然下面将本发明的读出放大器描述成参照特定的负载, 这种描述并不意味着要解释为其具有限制意义。各种负载, 以及本发明的其他实施例子, 参考下面的描述, 对本领域的技术人员来说将是显而易见的。

[0031] 要激活本发明的读出放大器电路, 读出信号需由外部电路产生, 并以时钟 ϕ_1 的形式供给电路。其他所有时钟或控制信号 ϕ_2 , $\bar{\phi}_2$, ϕ_3 和 ϕ_4 都来自这个原始信号。控制预充电期间的时钟 ϕ_3 , 来自使用一个典型 CMOS 反相器的反相 ϕ_1 。如该图 8 所示, 时钟 ϕ_3 在时间 t_1 时变为高电平, 并在 t_3 时变为低电平。在此期间, 预充电操作完成。时钟 ϕ_2 和 $\bar{\phi}_2$ 在相同的时间内激活各自的晶体管, 即 T_1 。这两个时钟保持积极的状态, 但是, 直到在时刻 t_5 读周期完成。

[0032] 如图 7 所示, 数据线连接到三个单独的设备, 第一个设备就是晶体管 T_2 。晶体管

T_2 和 T_3 作为一个小的漏电流,一起运行,以去除数据线在上次读周期剩余的电荷。数据线被连接到晶体管 T_2 的漏极,而晶体管 T_2 的源极与晶体管 T_3 的漏极相连, T_3 的源极接地。晶体管 T_3 的栅极连接到 V_{CC} 。晶体管 T_2 的栅极同时与时钟 ϕ_3 和晶体管 T_6 的栅极相连。

[0033] 参考电压 V_{REF} 在时刻 t_4 被数据线隔离,在此之前,晶体管 T_2 和 T_3 形成的漏电流被停用。漏电流小到不足以对偏置线的充电产生影响。漏电流在时刻 t_1 被激活,在时刻 t_3 被停用,激活和停用都是由时钟 ϕ_3 控制的。

[0034] 该数据线也连接到晶体管 T_1 的源极。晶体管 T_1 的栅极被固定在 $V_{CC} - V_T$, 并且也被连接到偏置线。

[0035] 数据线也连接到了晶体管 T_{13} 的漏极。晶体管 T_{13} 的栅极由时钟 ϕ_4 控制。晶体管 T_{13} 的源极与晶体管 T_{14} 和 T_{19} 的栅极连接。晶体管 T_{14} 作为一个电容或这一个电荷存储器被使用。这是一个严重的节点,因此高度抗噪声。电荷存储功能通过耗尽的设备的使用从而被实现。此节点,即晶体管 T_{14} 和 T_{19} 的共同栅极和晶体管 T_{13} 的漏极,为包括晶体管 T_{15} , T_{16} , T_{17} , T_{18} , T_{20} , 和 T_{21} 的差分放大器提供了一个参考电压 V_{REF} 。

[0036] 该差分放大器可以是许多传统差分放大器中的一个。如图 7 所示的差分放大电路,由一对平衡的驱动器晶体管 T_{17} 和 T_{19} , 以及 p 型负载晶体管 T_{16} 和 T_{18} 组成。晶体管 T_{20} 与驱动器晶体管 T_{17} , T_{19} 相连接并接地,还有一个偏置在它的栅极,以使其作为电流源工作。晶体管 T_{20} 栅极上的偏置由时钟 ϕ_2 控制,充电周期开始时,该时钟开始激活设备 T_{20} 。负载晶体管 T_{16} 和 T_{18} 共用一个栅极。该栅极与开关 T_{21} 相连。门开关 T_{21} 由时钟 ϕ_3 控制,充电周期开始时,该时钟激活开关 T_{21} 。当激活时,开关 T_{21} 用于平衡晶体管 T_{16} 和 T_{18} 上的负载。晶体管 T_{16} 和 T_{18} 共用一个源极。此源极连接到 T_{15} 的漏极, T_{15} 为 p 型晶体管。晶体管 T_{15} 的栅极由时钟 ϕ_2 控制,在预充电期间,该时钟为 ϕ_2 的反相,以激活设备 T_{15} 。晶体管 T_{15} 用于设立差分放大器。

[0037] 此类型的差分放大器是双稳电路。也就是说,无论是晶体管 T_{16} 还是 T_{17} 在操作过程中都是导通的,而晶体管 T_{18} 和 T_{19} 都不导通,反之亦然。差分放大器的输出端可取自晶体管 T_{16} 的漏极,或取自晶体管 T_{18} 的漏极。

[0038] 如图 7 所示,差分放大器的输出端连接到了晶体管 T_{16} 的漏极。由于开关 T_{21} 在预充电期间结束时停用,并在其后成为一个有效的开路,晶体管 T_{16} 的源极不等同于晶体管 T_{18} 的源极。

[0039] 差分放大器的一个输入端是晶体管 T_{17} 的栅极,该栅极连接到偏置线。差分放大器的另一个输入端与参考电压 V_{REF} 相连。差分放大器的输出电压 V_{OUT} ,其将会变成高电平还是低电平,取决于输入端上的电压之差的极性。在某些程度上,最终的输出可以从该第一或最初的输出中得到。通常情况下,电路有几个阶段是作为差分放大器运行的,也就是说,该比较和放大电路将级联成一个高增益的读出放大器。

[0040] 在图 7 中,输出电压 V_{OUT} 被送到一个传统的锁存器,它包括两个 CMOS 反相器。 V_{OUT} 是第一反相器的输入。第一反相器的输出端与第二反相器的输入端相连接。第二反相器的输出端返回到第一反相器的输入端。该操作是为了让放大信号 V_{OUT} 转换成一个清晰的逻辑“0”或逻辑“1”。通常情况下,锁存器的几个阶段将级联成逻辑输出,以与数据单元的读取对应。

[0041] 在预充电期间,从晶体管 T_1 的漏极延伸到晶体管 T_{17} 的栅极的偏置线,将其电压电平提高到它的最大值。偏置线是一种光节点,并且电压电平至多达到 $V_{CC} - V_T$ 。晶体管 T_{6A} 的源极连接到晶体管 T_6 的漏极。晶体管 T_{6A} 的栅极连接到电源 V_{CC} 。晶体管 T_{6A} 的漏极也连接到电源。如此连接,晶体管 T_{6A} 在饱和模式下充当一个电流源。这提供了,与晶体管 T_6 的漏极连接的晶体管 T_{6A} 的源极电压总是 $V_{CC} - V_T$ 。当晶体管 T_6 栅极上的时钟 ϕ_3 激活 T_6 时,晶体管 T_6 在线性模式下工作,而且晶体管 T_6 的漏极处的电压,流到与晶体管 T_6 的源极相连接的偏置线上。如此连接,晶体管 T_6 和 T_{6A} 为偏置线提供了电压电平为 $V_{CC} - V_T$ 的最大极限。

[0042] 偏置线也连接到晶体管 T_5 。晶体管 T_5 是一个耗尽的移动设备,其栅极与其源极相连接。晶体管 T_5 的漏极连接到了 p 型晶体管 T_4 的漏极上。 T_4 晶体管的栅极由时钟 ϕ_2 控制,在充电周期开始时,该时钟激活晶体管 T_4 并保持有效,直到读周期结束。晶体管 T_4 的源极连接到电源 V_{CC} 。这样连接,晶体管 T_5 和 T_4 作为电流源工作。晶体管 T_5 和 T_4 的尺寸相同,以便提供一个小电流源。由于晶体管 T_5 产生了一个很小的电流,它有很强的阻抗。漏极

电压保持接近 $V_{CC} - V_T$ 。有了这样一个大的电阻值,晶体管 T_5 的源电压也保持高电平。在预充电期间结束后,电流源为偏置线的电压电平提供支持。因此,当晶体管 T_6 不导通时,由于晶体管 T_5 ,偏置线将保持在高电平或 $V_{CC} - V_T$,除非可以从其中一个单元内读出“1”。如果“1”从一个单元中被读取,则该单元作为一个大的电流接收器或电流消耗器运行。该单元的消耗器可以很容易地吸收小电流,不使其通过晶体管 T_5 。因此,偏置线的电平降低,以反映数据的输入。

[0043] 预充电期间开始后不久,晶体管 T_{13} 的栅极上的控制时钟被激活。时钟信号 ϕ_4 来自时钟 ϕ_3 ,通过将 ϕ_3 输入到两个终端与终端相连的 CMOS 反相器。因此,时钟 ϕ_4 是时钟 ϕ_3 的一种反射,只是在时间上稍微有些延迟。更准确地说,时钟 ϕ_4 被延迟了两个门,或者是被延迟了信号所需要的通过两个反相器的时间。预充电期间的后期,偏置线电压约为 $V_{CC} - V_T$ 。此时数据线的电压约 $V_{CC} - 2V_T$ 。所述第二阈值电压反映了晶体管 T_1 两端的电压降。近似值有必要反映数据线的负载所做的调整。因此,负载的影响以及单元列线的电压调整了电压,该电压将会通过晶体管 T_{13} 到参考节点。这给一个参考电压提供了单元电压的一个更准确的反映。

[0044] 重要的是,预充电期间稍稍过后,晶体管 T_{13} 的栅极依旧保持活跃。预充电在时刻 t_3 时结束,而晶体管 T_{13} 的栅极由于两个反相门被稍微延迟,并保持有效直到时刻 t_4 。这种在时间上有目的的重叠是很重要的,因为它允许参考电压最准确地把轻微的变化反映在数据线电压上,因为它达到了它的最高水平。同样重要的是,预充电结束时,由晶体管 T_2 和 T_3 形成的小的漏电流被关断,并且,在 t_3 和 t_4 的这个小的重叠时间内,不影响数据线上的电压。

[0045] 根据图 7 和图 5,参考电压 V_{REF} 的偏置控制和产生都由晶体管 $T_1 - T_{14}$ 执行,也就是需要定时机制作为指示来操作它们。图 6 示出了这种偏置控制和连接到一个具有简单负载单元的参考电压生成器电路,将一个偏置线的输出端和参考电压送到一个标准的差分放大器,其输出端连接到一个标准的锁存器。图 8 示出了图 7 中所述的必要的时序操作,以及地址线及数据线的电压电平。 A_X 表示一个信号,通知各个单独的电路地址的变化。 A_X 信号被送到一个读信号发生器,产生一个输出时钟 ϕ_1 ,在时刻 t_1 输入到本发明。信号 ANIT 反映了内部地址的变化。读周期期间,一个单元栅极的逻辑电平可能变高。一个单元的栅极上是高逻辑电平,其结果是,将数据线的电压电平拉到较低的水平。在数据线被拉低之前,参考电压来自数据线,然后在时刻 t_4 被隔离,以保持其作为数据列线上,一个高电压电平的

准确反映时的完整性。在 t_4 时刻之后， T_5 时刻之前，数据线电压水平将继续下降，拉低偏置线电压。时刻 t_5 被充分延迟，以允许偏置线下降到其最低水平，就跟单元的逻辑电平所决定的一样。时刻 t_5 之后，差分放大器被 ϕ_2 和 $\bar{\phi}_2$ 停用，而且参考电压 V_{REF} 和偏置线电压电平之间的比较结果被锁入锁存器内。

[0046] 可以观察到的，参考电压 V_{REF} 接近于 $V_{CC} - 2V_T$ ，近似值反映了连接到该设备的负载产生的变化。然而，偏置线被预充电到 $V_{CC} - V_T$ 的电平。应当指出的是，一个阈值电压的这种差异对比较和放大电路不产生影响。如果一个单元的逻辑电平低或为零时，偏置线将保持在其最大电压值 $V_{CC} - V_T$ 。将偏置线电平与 $V_{CC} - V_T$ 或者参考电压进行比较的差分放大器，总是产生一个输出，该输出反映了偏置线的一个更高的电平。如果单元的值是一个逻辑电平“1”，而且偏置线的电压下降，该偏置线将显著下降超过一个阈值电压，因为该单元的漏电流大到足以使晶体管 T_5 ， T_4 过功率，该电流源保持着偏置线的最大电平。因此，偏置线的电压会降低恰好低于所需的差分放大器的电平，以产生一个反映 V_{REF} 为较大电压的输出。

[0047] 应该理解的是，这里所述的本发明的实施例子有多种替代方法，这些方法可以在本发明的实施中被采用。它的目的是，下面的权利要求限定在本发明内使用，并且涵盖这些权利要求及其等同物的范围的电路将包括在内。

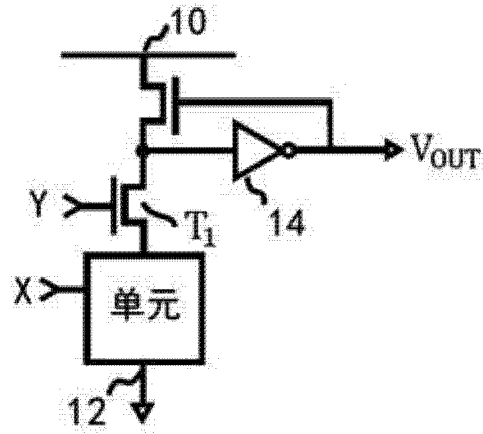


图 1

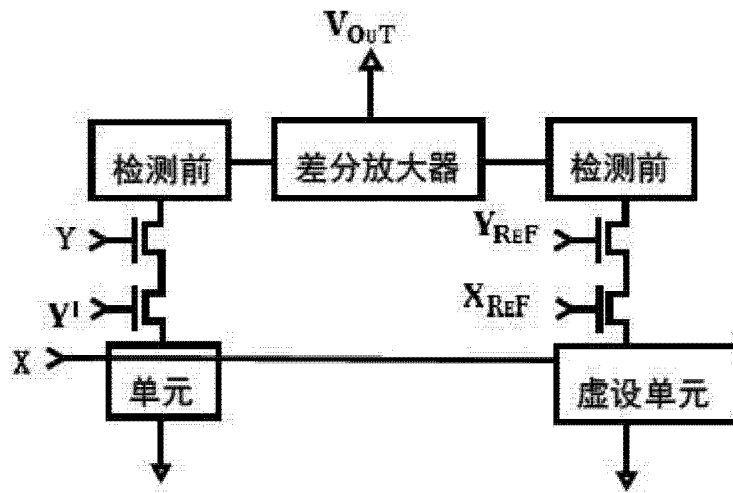


图 2

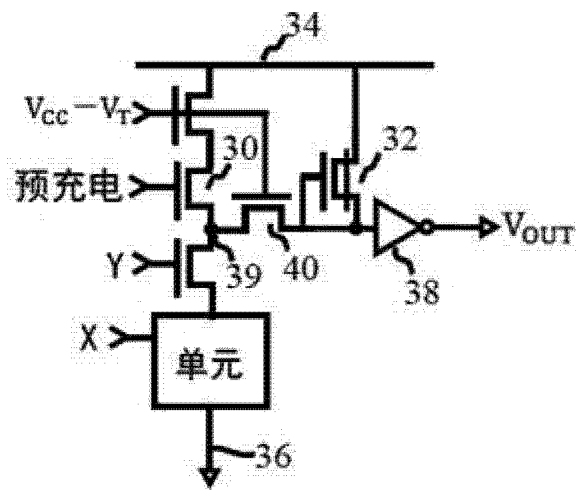


图 3

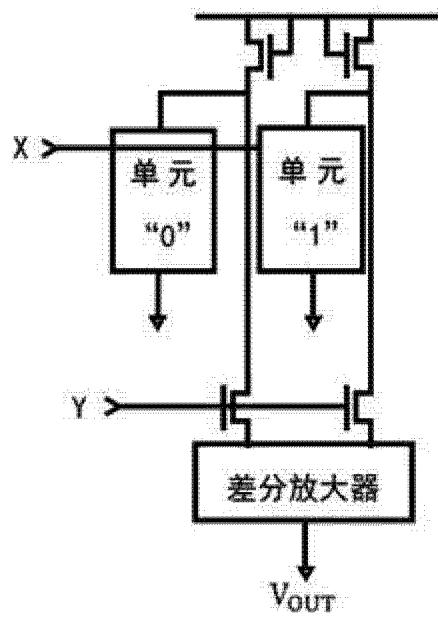


图 4

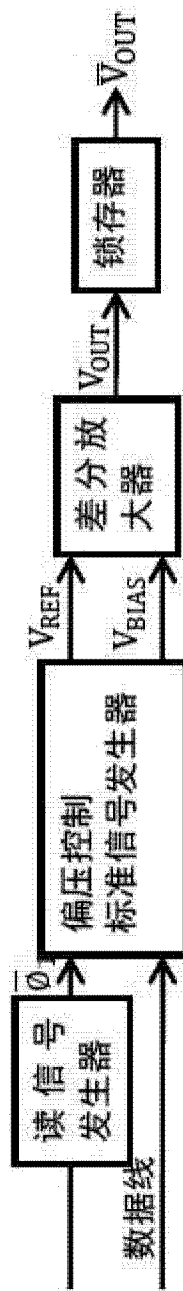


图 5

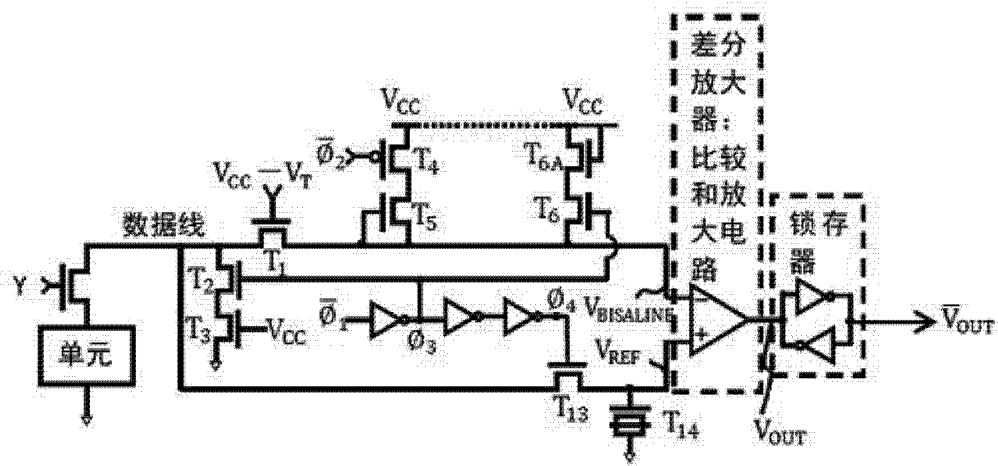


图 6

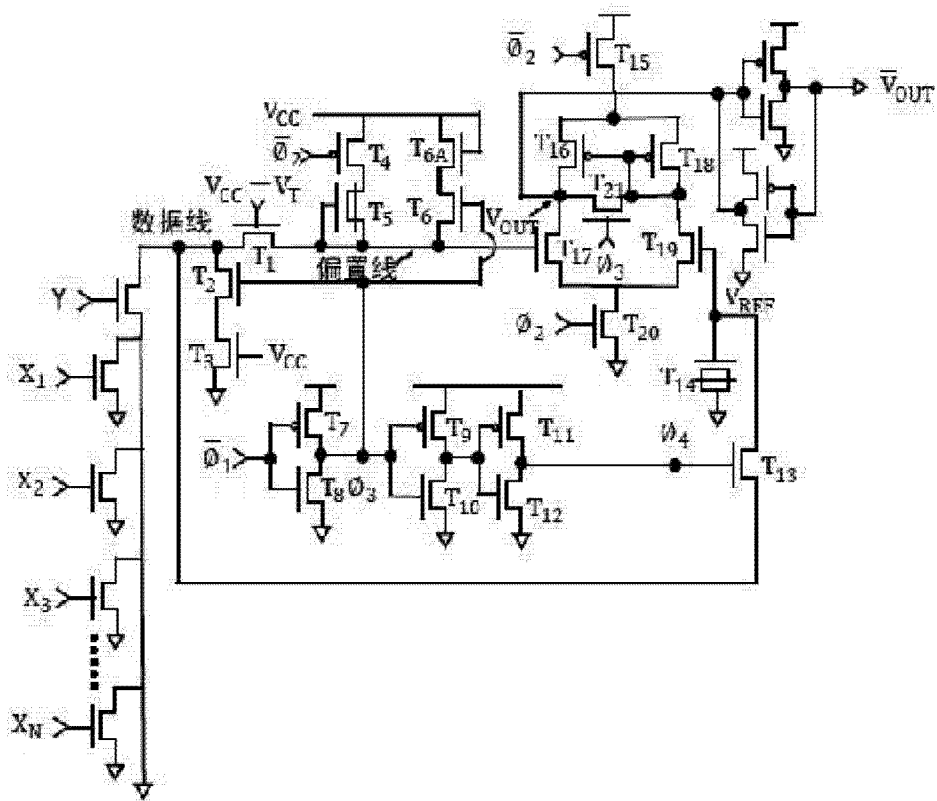


图 7

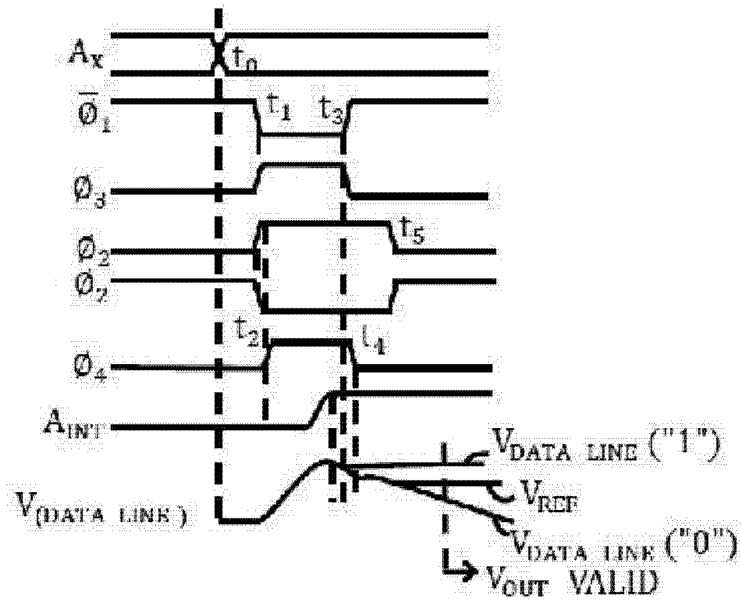


图 8