



⑫ A **Terinzagelegging** ⑪ **8600769**

Nederland

⑲ NL

-
- ⑤4 **Werkwijze voor het vervaardigen van een halfgeleiderinrichting.**
- ⑤1 Int.Cl.: H01L21/72, H01L21/94, H01L29/78.
- ⑦1 Aanvrager: N.V. Philips' Gloeilampenfabrieken te Eindhoven.
- ⑦4 Gem.: Ir. P.J.P.G. Simons c.s.
Internationaal Octrooibureau B.V.
Prof. Holstlaan 6
5656 AA Eindhoven.

-
- ⑳1 Aanvraag Nr. 8600769.
- ⑳2 Ingediend 26 maart 1986.
- ⑳3 --
- ⑳3 --
- ⑳1 --
- ⑳2 --

-
- ④3 Ter inzage gelegd 16 oktober 1987.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

N.V. Philips' Gloeilampenfabrieken te Eindhoven.

Werkwijze voor het vervaardigen van een halfgeleiderinrichting.

De uitvinding betreft een werkwijze voor het vervaardigen van een halfgeleiderinrichting met tenminste een schakelelement, waarbij deze inrichting een halfgeleiderlichaam heeft met een oppervlak, waarvan een eerste oppervlaktedeel wordt ingenomen door een aan dat oppervlak
5 grenzende eerste elektrodezone van het schakelelement, waarbij de eerste elektrodezone van een eerste geleidingstype is en op het oppervlak een tegen dotering maskerende eerste laag aanwezig is, waarin een bij een eerste doteringsbehandeling te gebruiken eerste opening voor het aanbrengen van dotering voor een tweede elektrodezone van het schakel-
10 element, die van het tweede geleidingstype is, wordt aangebracht zodanig, dat de tweede elektrodezone op het oppervlak gezien geheel door de eerste elektrodezone is omgeven, waarbij na de eerste doteringsbehandeling een geleidende laag voor elektrische aansluiting van de tweede elektrodezone wordt aangebracht, die door een isolerende laag van de
15 eerste elektrodezone is gescheiden en die in een opening in deze isolerende laag op een tweede oppervlaktedeel van de tweede elektrodezone ligt, waarbij het tweede oppervlaktedeel praktisch dezelfde grootte heeft als de eerste opening.

Een dergelijke werkwijze is bekend uit de Europese
20 octrooiaanvraag met publikatienummer 76 106, die sedert 6 april 1983 voor het publiek toegankelijk is.

Gebruikelijk is om voor de elektrische aansluiting van halfgeleiderzones van schakelelementen kontaktopeningen aan te brengen in een isolerende laag, die deze halfgeleiderzones bedekt en vervolgens
25 het halfgeleiderlichaam te voorzien van een op geschikte wijze in patroon gebrachte geleidende laag. Voor het maken van deze kontaktopeningen is een maskerende laag met een patroon nodig, dat moet worden uitgericht op de betreffende halfgeleiderzones, zodanig dat bijvoorbeeld de tussen aangrenzende zones gevormde pn-overgangen in elk geval met de
30 isolerende laag bedekt blijven. In verband met dit uitrichten wordt een uitrichttolerantie ingebouwd. Daartoe wordt voor de benodigde maskers een minimale afstand tussen de rand van de kontaktopening en de rand van

de voor het aanbrengen van de betreffende halfgeleiderzone te gebruiken doteringsopening voorgeschreven.

Om verschillende redenen kan het gewenst zijn om halfgeleiderzones te kontakteren zonder dat bedoelde uitrichttolerantie in acht behoef te worden genomen. In dergelijke gevallen wordt vaak de doteringsopening tevens als kontaktopening gebruikt. Deze oplossing wordt bijvoorbeeld bij zogenoemde "washed" emitters toegepast. Ondanks dat in deze gevallen tussen het maken van de doteringsopening en het aanbrengen van de geleidende laag behandelingen bij verhoogde temperatuur in een oxyderend milieu worden vermeden, moeten de openingen direkt voorafgaand aan het aanbrengen van de geleidende laag worden schoongemaakt. Praktisch onvermijdelijk worden daarbij ook de randen van de doteringsopeningen enigszins aangeëtst. Vooral bij gebruik van halfgeleiderzones met een geringe indringdiepte bestaat daarbij het gevaar, dat de te kontakteren zone begrenzendende pn-overgang niet voldoende door de isolerende laag beschermd blijft.

Het zal duidelijk zijn, dat als een schoongemaakte doteringsopening als kontaktopening wordt gebruikt, de kontaktopening en daarmee het direkt door de geleidende laag bedekte oppervlaktegedeelte van de betreffende halfgeleiderzone, tenminste dezelfde grootte als de doteringsopening heeft en ook als het schoonmaken zeer voorzichtig wordt uitgevoerd in feite enigszins groter dan deze doteringsopening is.

In de reeds genoemde Europese octrooiaanvraag met publikatienummer 76 106 is een andere oplossing aangegeven, waarbij de gebruikelijke uitrichttolerantie niet in acht behoef te worden genomen. Daartoe wordt een speciaal doteringsmasker toegepast, dat is opgebouwd uit een dunne tegen oxydatie maskerende siliciumnitridelaag en een daarop gedeponeerde polykristallijne siliciumlaag. De doteringsopening wordt nu in de gedeponeerde siliciumlaag aangebracht en de dotering wordt in deze opening door de siliciumnitridelaag heen geplant. Daarna wordt de gedeponeerde siliciumlaag bij verhoogde temperatuur geheel in siliciumoxyde omgezet. Op deze wijze wordt een siliciumoxydelaag verkregen, die ter plaatse van de oorspronkelijke doteringsopening een opening heeft, die ten gevolge van de omzetting van het silicium in siliciumoxyde kleiner dan de doteringsopening is. Volgens wordt met de siliciumoxydelaag als maskering het siliciumnitride uit deze verkleinde opening verwijderd, waarna deze opening als kontakt-

opening dient en de geleidende laag wordt aangebracht. De isolerende laag wordt in dit geval gevormd door een dubbellaag bestaande uit de op de halfgeleiderzone gelegen dunne siliciumnitridelaag en de door omzetting verkregen siliciumoxydelaag.

5 Bij de beide beschreven oplossingen is de kontaktopening weliswaar niet exakt even groot als de doteringsopening, maar heeft het door de geleidende laag bedekte oppervlaktedeel van de betreffende halfgeleiderzone wel praktisch dezelfde grootte als de doteringsopening. De uitdrukking "praktisch dezelfde grootte" geeft daarbij in het kader van
10 de onderhavige beschrijving aan, dat, voorzover de kontaktopening niet identiek is aan de doteringsopening, deze in elk geval zonder inachtneming van de gebruikelijke uitrichttolerantie van de doteringsopening is afgeleid.

Volledigheidshalve wordt opgemerkt, dat de te kontakteren
15 tweede elektrodezone, behalve een kleine emitterzone van een bipolaire transistor in een gefintegreerde schakeling, bijvoorbeeld ook een poortelektrode van een pn-overgangsveldeffekttransistor of een emitterdeelzone van een vermogenstransistor zijn kan. Zulk een vermogenstransistor kan bijvoorbeeld een interdigitale structuur hebben met meerdere streep-
20 vormige emitterzones, waarbij althans in een richting dwars op de evenwijdig gerangschikte emitterzones het in acht nemen van de gebruikelijke uitrichttolerantie tot te grote structuren zou leiden, die veel oppervlakte in beslag nemen en/of bijvoorbeeld een te grote emitter-basis-
kapaciteit hebben.

25 De onderhavige uitvinding beoogt onder meer een werkwijze aan te geven voor het vervaardigen van halfgeleiderinrichtingen met halfgeleiderzones, waarbij het met de kontakterende geleidende laag bedekte oppervlaktedeel van de betreffende halfgeleiderzone praktisch dezelfde grootte als de doteringsopening voor deze halfgeleiderzone heeft en die
30 vooral ook bij halfgeleiderzones met zeer geringe indringdiepte, dus in structuren met op zeer geringe diepte onder het oppervlak gelegen pn-overgangen, kan worden toegepast.

De uitvinding berust onder meer op het inzicht, dat
daarbij vermeden dient te worden, dat de uiteindelijke kontaktopening
35 groter is dan de doteringsopening en voorts ook, dat na het aanbrengen van de benodigde doteringsstof behandelingen bij verhoogde temperatuur, waarbij diffusie van de doteringsstof kan optreden, tot de hoogst nood-

zakelijke dienen te worden beperkt en de introductie van extra behandelingen van deze soort zoveel mogelijk dient te worden vermeden.

Een werkwijze van de in de aanhef beschreven soort is volgens de uitvinding daardoor gekenmerkt, dat na de eerste doterings-
5 behandeling althans over een deel van de eerste laag, waarin zich de eerste opening bevindt, een tweede laag van passiverend materiaal wordt
aangebracht, die althans ter plaatse van de eerste opening door anisotroop etsen wordt verwijderd, zodat in de eerste opening een langs
de gehele rand daarvan gelegen randdeel van de tweede laag achterblijft
10 en dat daarna de geleidende laag over de eerste laag en het randdeel van de tweede laag wordt aangebracht.

De werkwijze volgens de uitvinding heeft het voordeel, dat de uiteindelijke kontaktopening kleiner is dan de gebruikte doteringsopening, zonder dat daarvoor een behandeling bij verhoogde
15 temperatuur, waarbij diffusie van de aangebrachte doteringsstof kan optreden, nodig is. In de meeste gevallen zal niet eens een extra behandeling in het vervaardigingsproces behoeven te worden opgenomen. Bovendien is, zoals nog zal worden toegelicht, de werkwijze volgens de uitvinding
bijzonder geschikt voor het vervaardigen van geïntegreerde schake-
20 lingen, waarin naast bipolaire transistoren en/of pn-overgangsveld-effecttransistoren ook veldeffekttransistoren met geïsoleerde poortelektrode zijn opgenomen.

Bij voorkeur wordt als tweede laag een laag van isolerend materiaal aangebracht.

25 In een belangrijke voorkeursuitvoeringsvorm van de werkwijze volgens de uitvinding wordt als eerste laag een laag toegepast, die althans een laag van elektrisch geleidend materiaal bevat. Deze uitvoeringsvorm is vooral van belang, indien in de halfgeleiderinrichting
ook veldeffekttransistors met geïsoleerde poortelektrode worden aange-
30 bracht. In dat geval wordt de laag van geleidend materiaal bij voorkeur tegelijk aangebracht met een elektrisch geleidende laag voor een poortelektrode van tenminste een veldeffekttransistor met geïsoleerde poortelektrode. Voorts heeft de laag van geleidend materiaal met voordeel een
patroon met een gesloten geometrie, waarbij dit patroon de eerste
35 opening omgeeft. De dotering voor de tweede elektrodezone kan dan tegelijk met die voor source- en drainzones van de veldeffekttransistor worden aangebracht, terwijl voor het aanbrengen van het rondom de eerste

opening gelegen patroon geen extra bewerkingen in het vervaardigingsproces behoeven te worden opgenomen.

Bij voorkeur wordt als geleidend materiaal een vuurbestendig materiaal, zoals halfgeleidermateriaal, titaan, tantaal
5 molybdeen of wolfraam en/of een silicide van deze materialen, toegepast.

De uitvinding betreft voorts een halfgeleiderinrichting vervaardigd door toepassing van de werkwijze volgens de uitvinding.

Een halfgeleiderinrichting met tenminste een schakel-
element, waarbij deze inrichting een halfgeleiderlichaam heeft met een
10 oppervlak, waaraan een eerste elektrodezone van een eerste geleidings-
type van het schakelelement grenst, waarbij het schakelelement een
tweede elektrodezone van het tweede geleidingstype heeft, die op het
oppervlak gezien geheel door de eerste elektrodezone is omgeven en waar-
bij een door een isolerende laag van de eerste elektrodezone gescheiden
15 eerste geleidende laag aanwezig is, die via een kontaktopening in deze
isolerende laag met de tweede elektrodezone is verbonden, is bij voor-
keur daardoor gekenmerkt, dat op de isolerende laag een tweede gelei-
dende laag aanwezig is, die ter plaatse van de kontaktopening een met
20 deze kontaktopening korresponderende eerste opening heeft, waarbij
althans langs de gehele rand van de eerste opening in deze opening een
randdeel van passiverend materiaal is aangebracht en waarbij de eerste
geleidende laag over de tweede geleidende laag en het randdeel tot in de
kontaktopening verloopt.

De uitvinding zal nader worden uiteengezet aan de hand
25 van enkele voorbeelden en de bijgaande schematische tekening, waarin:

Figuren 1 en 2 dwarsdoorsneden tonen van een deel van een
halfgeleiderinrichting in verschillende stadia van de vervaardiging,

Figuur 3 een bovenaanzicht van dit deel van de inrichting
toont in het in figuur 2 weergegeven stadium, waarbij ter wille van de
30 duidelijkheid de bovenste laag 11 is weggelaten,

Figuren 4 tot en met 6 dwarsdoorsneden in verdere stadia
van de vervaardiging van deze halfgeleiderinrichting tonen,

Figuren 7A en 7B dwarsdoorsneden van verschillende delen
van een tweede halfgeleiderinrichting tonen tijdens een eerste stadium
35 van de vervaardiging,

Figuren 8A en 8B bijbehorende bovenaanzichten tonen van
de in figuren 7A/7B weergegeven delen en

Figuren 9A en 9B tot en met 12A en 12B dwarsdoorsneden van deze delen in verdere stadia van de vervaardiging tonen.

De halfgeleiderinrichting van het eerste voorbeeld is een geïntegreerde schakeling met bipolaire transistors, waarvan er één
5 in de figuren 1 tot en met 6 is getekend in verschillende stadia van de vervaardiging.

Uitgaande van een monokristallijn substraat 2 van bijvoorbeeld p-type silicium, wordt op gebruikelijke wijze n-type dotering voor een begraven laag 3 aangebracht en wordt vervolgens een n-type
10 epitaxiale laag 4 gegroeid. Op het oppervlak 5 van dit halfgeleiderlichaam 1 wordt een tegen oxydatie maskerende laag, die bijvoorbeeld siliciumnitride kan bevatten, aangebracht. Nadat deze laag in patroon is gebracht, wordt het halfgeleiderlichaam 1 selectief geoxydeerd, waardoor
15 veldisolatie dient. De dikte van de siliciumoxydelaag 6 bedraagt bijvoorbeeld ongeveer 0,6 μm . Op gebruikelijke wijze kan plaatselijk dotering voor de p-type scheidingszones 7 en plaatselijk dotering voor het n-type diepe kollektorkontaktgebied 8 worden aangebracht. Dan volgt een behandeling bij verhoogde temperatuur, waarbij deze doteringen
20 dieper het halfgeleiderlichaam 1 in diffunderen. Afhankelijk van het gekozen vervaardigingsproces kan deze behandeling geheel of gedeeltelijk samenvallen met de oxydatiebehandeling ter verkrijging van de siliciumoxydelaag 6. Het uiteindelijk verkregen, van het overige deel van het halfgeleiderlichaam 1 geïsoleerde deel 20(4) van de epitaxiale laag 4,
25 maakt deel uit van de kollektorzone van de bipolaire transistor.

Voorts kan op een gebruikelijke wijze plaatselijk dotering voor de p-type basiszone 9 worden aangebracht. Bijvoorbeeld kan borium worden geïmplanteerd met een dosis van ongeveer $1 \cdot 10^{14}$ atomen per cm^2 en een implantatie-energie van ongeveer 30 KeV. Nadat het oppervlak 5 zonedig is schoongemaakt, is een structuur verkregen, zoals
30 schematisch is getekend in figuur 1. In een volgend stadium van de vervaardiging is op het oppervlak 5 een tegen dotering maskerende laag 11 (figuur 2) aanwezig, waarin openingen 12 en 13 voor het aanbrengen van dotering voor de emitterzone 14 en een ondiepe kollektorkontaktzone 15
35 zijn aangebracht. In figuur 3 is schematisch een bijbehorend bovenaanzicht getekend.

In het in de figuren 2 en 3 weergegeven stadium van de

vervaardiging is reeds zichtbaar, dat de te vervaardigen halfgeleider-
inrichting tenminste een schakelelement, dat in dit voorbeeld een
bipolaire transistor is, bevat en een halfgeleiderlichaam 1 heeft met
een oppervlak 5, waarvan een eerste oppervlaktedeel 10(5) wordt inge-
5 nomen door een aan dat oppervlak 5 grenzende eerste elektrodezone 9 van
de transistor. De elektrodezone 9 is van een eerste geleidingstype. Op
het oppervlak 5 is een tegen dotering maskerende eerste laag 11 aan-
wezig, waarin een eerste, bij een eerste doteringsbehandeling te ge-
bruiken opening 12 voor het aanbrengen van dotering voor een tweede
10 elektrodezone 14 van de transistor is aangebracht. De tweede elektrode-
zone 14 is van het tweede, aan het eerste tegengestelde geleidingstype
en is hoger gedoteerd dan de eerste elektrodezone 9. Op het oppervlak 5
gezien is de tweede elektrodezone 14 geheel door de eerste elektrodezone
9 omgeven of, met andere woorden, ligt de opening 12 geheel binnen het
15 eerste oppervlaktedeel 10(5) en rondom op afstand van de veldisolatie 6,
die de begrenzing van het oppervlaktedeel 10(5) vormt. De eerste 9 en de
tweede elektrodezone 14 grenzen aan elkaar onder vorming van een aan het
oppervlak 5 eindigende pn-overgang 24.

Volgens de uitvinding wordt op een tijdstip nadat de
20 eerste doteringsbehandeling voor het verkrijgen van de tweede elektrode-
zone 14 is uitgevoerd, althans over een deel van de eerste laag, waarin
zich de eerste opening 12 bevindt, een tweede laag 16 van passiverend
materiaal aangebracht (figuur 4). Vervolgens wordt deze tweede laag 16
geheel of plaatselijk en tenminste ter plaatse van de eerste opening 12
25 door anisotroop etsen, bijvoorbeeld met behulp van een gebruikelijke
plasma-etsbewerking, verwijderd. Daarbij blijft in de opening 12, en in
het voorbeeld ook in de opening 13, een langs de gehele rand van elk van
deze openingen 12 en 13 gelegen randdeel 17(16) van de tweede laag 16
achter (figuur 5).

30 De opening 18 voor de elektrisch aansluiting van de basis-
zone 9 kan op gebruikelijke wijze met behulp van een fotolakmasker en
een etsbehandeling worden aangebracht. Desgewenst kan deze opening 18
ook reeds tegelijk met de openingen 12 en 13 worden aangebracht. Dan
wordt deze opening 18 echter tijdens de genoemde eerste doteringsbe-
35 handeling, in geval van implantatie bijvoorbeeld met een fotolakmasker,
afgedekt. Een geschikte dosis voor deze eerste doteringsbehandeling is
bijvoorbeeld ongeveer $1 \cdot 10^{16}$ arseenatomen per cm^2 .

Voorts kan nu op gebruikelijke wijze een geleidende laag van bijvoorbeeld aluminium voor elektrische aansluiting van de kollektorzone 20(4),3,8, de basiszone 9 en de tweede elektrodezone (de emitterzone) 14 worden gedeponereerd. Nadat deze laag in patroon is gebracht, is 5 de kollektorzone 20(4),3,8 verbonden met de geleidende laag 19, is de basiszone 9 verbonden met de geleidende laag 21 en is de emitterzone 14 verbonden met de geleidende laag 22 (figuur 6). De geleidende laag 22 voor elektrisch aansluiting van de tweede elektrodezone 14 is door een isolerende laag 11 van de eerste elektrodezone 9 gescheiden en ligt in 10 een van de opening 12 afgeleide opening in deze isolerende laag 11 op een tweede oppervlaktedeel 23(5) van de tweede elektrodezone 14. Het tweede oppervlaktedeel 23(5) heeft daarbij praktisch dezelfde grootte als de eerste opening 12, omdat de opening in de laag 11,17(16) zonder inachtneming van de gebruikelijke uitrichttolerantie van de doterings- 15 opening 12 is afgeleid.

De eerste laag 11 bestaat bij voorkeur uit isolerend materiaal zoals siliciumoxyde. Ook kan een samengestelde eerste laag 11 worden toegepast, die bijvoorbeeld uit een onderste deellaag van siliciumoxyde en een bij voorkeur dunne bovenste deellaag van silicium- 20 nitride bestaat. Als de eerste laag 11 een samengestelde laag is, kan de bovenste deellaag van een ander materiaal zijn dan de tweede laag 16. In dat geval kan de aanwezigheid van de bovenste deellaag de eindpunt- detektie bij het etsen van de tweede laag 16 vergemakkelijken. Na het etsen van de tweede laag 16 kan de bovenste deellaag, althans voor zover 25 die na deze etsbehandeling bloot ligt, naar keuze wel of niet worden verwijderd.

De dikte van de eerste laag 11 is bijvoorbeeld ongeveer 0,5 μm en is bij voorkeur niet kleiner dan ongeveer 0,15 μm . Door de keuze van de dikte van de eerste laag 11 en de keuze van de voor het 30 maken van de opening 12 toegepaste etsbewerking kan worden bewerkstelligd, dat de randen van de opening 12 een geschikte vorm hebben zodanig dat na het etsen van de tweede laag 16 langs de randen van de opening 12 randdelen 17(16) van geschikte afmetingen achterblijven. Bij voorkeur wordt de opening 12 ook middels een anisotrope etsbewerking, zoals door 35 plasma-etsen, verkregen. Naarmate de randen van de opening 12 steiler zijn en de dikte van de tweede laag 16 groter gekozen wordt, zullen de verkregen randdelen 17(16) een grotere breedte hebben en zal dus de af-

geleide kontakteringsopening kleiner zijn. Een geschikte dikte voor de tweede laag 16 bedraagt bijvoorbeeld ongeveer 0,4 μm . Bij voorkeur is deze dikte niet kleiner dan ongeveer 0,15 μm . De tweede laag 16 kan bijvoorbeeld door depositie van siliciumoxyde of siliciumnitride worden

5 verkregen. Na het aanbrengen van de tweede laag 16 kan bijvoorbeeld een getter- tevens annealbehandeling worden uitgevoerd van ongeveer 60 min. bij een temperatuur van ongeveer 925 $^{\circ}\text{C}$.

Voor de geleidende lagen 19, 21 en 22 kunnen ook andere materialen dan aluminium worden gebruikt. Bijvoorbeeld kunnen deze geleidende lagen op gebruikelijke wijze uit titaan-wolfrum-aluminium worden gevormd, waarbij in de kontaktopeningen aan het halfgeleideroppervlak titaansilicide kan zijn gevormd. Ook andere geschikte materialen of combinaties van materialen komen hier voor gebruik in

10 aanmerking.

De opening 12 heeft bijvoorbeeld afmetingen van ongeveer 2 μm bij 2 μm . De afmetingen van het door de eerste elektrodezone 9 ingenomen oppervlaktegedeelte 10(5) bedragen dan bijvoorbeeld ongeveer 4 μm bij 9 μm . De pn-overgang 24 ligt bijvoorbeeld op een diepte van ongeveer 0,2 μm onder het halfgeleideroppervlak 5. De pn-overgang 24 eindigt in zijn geheel aan het oppervlaktegedeelte 10(5) en ligt daarbij rondom op afstand van de veldisolatie 6 die het door de eerste elektrodezone 9 ingenomen oppervlaktegedeelte 10(5) begrenst. De pn-overgang 25 tussen de eerste elektrodezone 9 en het aangrenzende gebied 20(4) ligt bijvoorbeeld op een diepte van ongeveer 0,3 μm onder het oppervlak 5.

15

20

Het tweede voorbeeld betreft een geïntegreerde schakeling met veldeffekttransistors met een geïsoleerde poortelektrode, die met een n-type kanaal of met een p-type kanaal kunnen zijn uitgevoerd, en een of meer bipolaire transistors met een verticale structuur. Duidelijkheidshalve zijn in de betreffende figuren 7 tot en met 12

25

30

alleen een veldeffekttransistor met een n-type kanaal en een verticale npn-transistor getekend, waarbij de schematische figuren steeds in twee bij elkaar horende delen A en B zijn opgedeeld die verschillende delen van hetzelfde gemeenschappelijke halfgeleiderlichaam 1 tonen. Het deel A heeft betrekking op de bipolaire transistor en het deel B heeft betrekking op de veldeffekttransistor.

35

De figuren 7A, B tonen een halfgeleiderlichaam 1, dat bijvoorbeeld een p-type siliciumsubstraat of -substraatgebied 2 bevat en

dat op een gebruikelijke wijze is voorzien van een of meer n-type oppervlaktegebieden 32 met een geschikt gekozen doteringsconcentratieprofiel. De oppervlaktegebieden 32 kunnen bijvoorbeeld met behulp van ionenimplantatie zijn verkregen, waarbij indien gewenst ook eerst een deel van de
5 dotering in een substraat kan worden aangebracht, vervolgens een p-type epitaxiale laag kan worden aangegroeid en dan aanvullend verdere dotering via het oppervlak 5 van het halfgeleiderlichaam 1 in de niet-getekende epitaxiale laag kan worden aangebracht.

Naast de n-type oppervlaktegebieden 32 kan ook het
10 doteringsconcentratieprofiel in p-type oppervlaktegebieden 31 van het substraat 2, bijvoorbeeld door implantatie, op gebruikelijke wijze worden aangepast aan de te realiseren schakelementen en de gewenste elektrische eigenschappen daarvan.

Het halfgeleiderlichaam 1 kan voorts op gebruikelijke
15 wijze worden voorzien van een diepe n-type kontaktzone 8, van een p-type kanaalonderbrekende zone 33 en van een patroon van veldisolatie 6. Dit laatste patroon kan bijvoorbeeld door plaatselijke oxydatie van het halfgeleiderlichaam 1 worden verkregen. Het patroon bestaat dan uit siliciumoxyde. Ook andere konventionele vormen van veldisolatie, zoals
20 opgevulde groeven kunnen worden toegepast. De veldisolatie 6 begrenst aan het oppervlak 5 actieve gebieden voor de te realiseren transistors. Bijvoorbeeld kan het halfgeleiderlichaam 1 ook een of meer niet-getekende n-type oppervlaktegebieden 32 bevatten die bestemd zijn om daarin op gebruikelijke wijze een of meer veldeffekttransistors met een
25 geïsoleerde poortelektrode en een p-type kanaal aan te brengen. In oppervlaktegebieden 32 die bestemd zijn voor veldeffekttransistors kan de diepe kontaktzone 8 worden weggelaten.

In de actieve gebieden wordt het oppervlak 5 voorzien van een isolerende laag 34, die geschikt is om als diëlektrische laag
30 voor de poortelektroden van de veldeffekttransistors te dienen. Bijvoorbeeld wordt de laag 34 door thermische oxydatie van het halfgeleiderlichaam 1 verkregen en heeft de laag 34 een dikte van ongeveer 25 nm. Vervolgens wordt met behulp van een niet-getekend fotolakmasker dotering voor de p-type basiszone 9 (de eerste elektrodezone) geïmplanteerd in
35 een gedeelte van het oppervlaktegebied 32. Een geschikte dosis is bijvoorbeeld ongeveer $2 \cdot 10^{13}$ à $1 \cdot 10^{14}$ borium atomen per cm^2 . De implantatie-energie ligt bijvoorbeeld ongeveer tussen 30 en 50 keV. De

basiszone 9 neemt een eerste deel 10(5) van het oppervlak 5 in. Daarna wordt een geleidende laag van bijvoorbeeld polykristallijn of amorf silicium of van titaan, tantaal molybdeen of wolfraam aangebracht. Indien een siliciumlaag als geleidende laag wordt toegepast kan deze laag op gebruikelijke wijze tijdens de depositie of daarna worden gedoteerd, bijvoorbeeld met behulp van PH_3 . De dikte van zulk een siliciumlaag bedraagt bijvoorbeeld 500 nm. Uit deze laag wordt behalve de poortelektrode 35 ook een patroon 11 van geleidend materiaal, dat boven de basiszone 9 op de daar aanwezige eerste isolerende laag 34 ligt, verkregen. Het patroon 11 bepaalt de rand 36 van een opening 12' (zie ook figuren 8A, B). Het patroon 11 is bijvoorbeeld ringvormig of heeft althans een gesloten geometrie, waarbij de rand 36 rondom op enige afstand van de rand van het patroon van veldisolatie 6 boven de basiszone 9 ligt.

In het onderhavige voorbeeld bepaalt het patroon 11 tevens een deel 38 van de rand 38, 39 van een verdere opening 40', die naast de opening 12' eveneens boven het eerste oppervlaktedeel 10(5) gelegen is. Het overige deel 39 van deze rand 38, 39 valt praktisch samen met een deel van de rand van het patroon van veldisolatie 6.

Over de geleidende laag is nog een isolerende laag 54 aangebracht die vervolgens tegelijk met de geleidende laag in patroon is gebracht. De poortelektrode 35 en het patroon 11 zijn aan hun bovenzijde met deze isolerende laag 54 bedekt. Deze isolerende laag 54 kan bijvoorbeeld siliciumoxyde of siliciumnitride bevatten. De isolerende laag 54 kan ook worden weggelaten.

Nadat de poortelektrode 35 en het patroon 11 zijn verkregen wordt bij voorkeur in het oppervlaktegebied 31 plaatselijk dotering voor source- en drainzones 41 en 42 van de veldeffekttransistors aangebracht (figuur 9A, B). Bijvoorbeeld kan fosfor worden geïmplantieerd met een dosis van ongeveer $1 \cdot 10^{13}$ per cm^2 en een implantatie-energie van ongeveer 60 keV. Deze doteringsbehandeling dient ter verkrijging van relatief laag gedoteerde gedeelten 53 van de sourcezone 41 en de drainzone 42. Tijdens deze doteringsbehandeling kan het voor de sourcezone 41 bestemde deel van het oppervlak 5 ook met een (niet-getekende) maskerende laag zijn afgeschermd, zodat alleen de drainzone 42 een relatief laag gedoteerd gedeelte 53(42) heeft.

Vervolgens wordt over het gehele oppervlak van het half-

geleiderlichaam 1 een isolerende laag van bijvoorbeeld siliciumoxyde met een dikte van ongeveer 500 nm gedeponeerd. Deze isolerende laag wordt op gebruikelijke wijze door anisotroop etsen weer verwijderd, waarbij langs de opstaande, de praktisch verticale randen van de poortelektrode 35 en de opstaande randen 36 en 38 van het patroon 11 randdelen 43 achterblijven. Voorzover de randen van het patroon van veldisolatie 6, zoals de rand 39, voldoende steil zijn, zullen ook langs deze randen randdelen van deze isolerende laag behouden blijven. Zulke randdelen zijn eenvoudigheidshalve in de figuren niet getekend.

10 Als resultaat van de laatstbeschreven behandeling zijn onder meer ter plaatse van de openingen 12' en 40' verkleinde openingen 12 en 40 verkregen.

Over de verkregen structuur wordt een maskeringslaag 44
aangebracht, die bijvoorbeeld uit fotolak kan bestaan en waarmee de
15 opening 40 wordt afgedekt. Met behulp van deze maskeringslaag 44 wordt plaatselijk dotering geïmplanteerd voor de source- en drainzones 41 en 42 of tenminste voor relatief hoog gedoteerde oppervlaktegedeelten van deze zones 41 en 42. Tegelijk wordt dotering voor de emitterzone 14 (de tweede elektrodezone) van de bipolaire transistor geïmplanteerd. Ook
20 kan in dit stadium dotering voor een ondiepe kollektor-kontaktzone 15 worden aangebracht. Bijvoorbeeld worden arseenionen geïmplanteerd met een dosis van ongeveer $5 \cdot 10^{15}$ per cm^2 en een implantatie-energie van ongeveer 40 keV. Na deze behandeling wordt de laag 44 verwijderd.

Met een volgende maskeringslaag 45 (figuren 10A, B)
25 kunnen nu de openingen voor de source- en drainzones 41 en 42 en de opening 12 worden afgeschermd en kan een doteringsbehandeling worden uitgevoerd, waarbij in de opening 40 dotering wordt aangebracht. Bijvoorbeeld kunnen BF_2 -ionen worden gebruikt om borium te implanteren. De dosis kan ongeveer $3 \cdot 10^{15}$ per cm^2 bedragen en de implantatie-energie
30 is bijvoorbeeld ongeveer 65 keV. Deze dotering dient ter verkrijging van een hoger gedoteerde basis-kontaktzone 46(9). Tijdens deze doteringsbehandeling kan tevens waar nodig dotering voor source- en drainzones van veldeffektransistors met een p-type kanaal in het halfgeleiderlichaam 1 worden aangebracht. Na deze doteringsbehandeling wordt de laag
35 45 verwijderd. Ook bij deze doteringsbehandeling wordt het van randdelen 43 voorziene patroon 11 als doteringsmasker gebruikt, waarbij het patroon 11 dit maal de naar de tweede elektrodezone 14 toegekeerde rand

van de doteringsopening 40 bepaalt.

Een volgende behandeling bestaat uit het aanbrengen van een isolerende laag 16 (figuur 11A,B). Bijvoorbeeld wordt siliciumoxyde gedeponereerd met een dikte van ongeveer 400 nm. De isolerende laag 16 vormt de tweede isolerende laag van de werkwijze volgens de uitvinding. Nadat de laag 16 is aangebracht kan bijvoorbeeld een annealbehandeling volgen van ongeveer 1 uur bij ongeveer 925°C. Door deze behandeling worden waar nodig de aangebrachte doteringen geactiveerd.

Over de isolerende laag 16 wordt een maskeringslaag 48 aangebracht, die bijvoorbeeld uit fotolak kan bestaan en waarin tweede openingen 49 en 50 zijn aangebracht. In het kader van de onderhavige uitvinding is vooral de tweede opening 50, die boven de tweede elektrodezone 14 gelegen is, van belang. Deze tweede opening 50 is zo gepositioneerd, dat de van de rand 36 van het patroon 11 afgeleide rand van de eerste opening 12, dat wil zeggen het door het randdeel 43 begrensde deel van de eerste opening 12 binnen de tweede opening 50 gelegen is.

Vervolgens wordt het halfgeleiderlichaam 1 aan een anisotrope etsbehandeling onderworpen, waarbij openingen in de tweede isolerende laag 16 worden verkregen en waarbij zonodig ook de binnen de openingen 49 en 50 gelegen delen van de eerste isolerende laag 34 worden verwijderd. Daarbij is met name de boven de poortelektrode 35 gelegen opening 49 schematisch aangegeven. In praktische uitvoeringen zal deze opening 49 meestal niet boven het kanaalgebied van de transistor maar buiten de getekende doorsnede naast de transistor en boven de veldisolatie 6 gelegen zijn. Binnen de opening 50 blijven bij deze etsbehandeling langs de rand van de eerste opening 12 randdelen 17(16) van de tweede isolerende laag 16 achter. Bij voorkeur ligt de rand van de opening 12 omvattende opening in de tweede isolerende laag 16 in zijn geheel boven het geleidende patroon 11.

Bij een variant van de beschreven werkwijze wordt bij de etsbehandeling waarbij de openingen 12 en 40 (figuur 10A, B) worden verkregen reeds zo lang door geëtst, dat ook de in deze openingen 12 en 40 gelegen delen van de eerste isolerende laag 34 worden verwijderd. De na deze etsbehandeling nog volgende, hiervoor reeds beschreven doteringsbehandelingen kunnen in dat geval bij aangepaste implantatie-energieën worden uitgevoerd.

Nadat de tweede isolerende laag 16 is geëtst en de in

de openingen 49 en 50 bloot liggende delen van de isolerende laag 54 zijn verwijderd, kan de maskeringslaag 48 worden verwijderd en kan een geleidende laag van een geschikt materiaal, zoals aluminium, worden aangebracht (figuur 12A, B). Uit deze geleidende laag kunnen op gebruikelijke wijze de geleidende laag 19 voor aansluiting van de kollektorzone 32, 8, 15, de geleidende laag 21 voor aansluiting van de basiszone 9, 46, de geleidende laag 22 voor aansluiting van de emitterzone 14, de geleidende lagen 51 voor aansluiting van de source- en drainzones 41 en 42 en de geleidende laag 52 voor aansluiting van de poortelektrode 35 worden verkregen. Het resultaat is onder meer, dat de geleidende laag 22 voor aansluiting van de emitterzone 14 op een tweede oppervlaktegedeelte 23(5) van de emitterzone 14 ligt, waarbij dit tweede oppervlaktegedeelte 23(5) ter plaatse waar de van de rand 36 afgeleide rand van de eerste opening 12 binnen de tweede opening 50 gelegen is, praktisch tot aan laatstgenoemde rand reikt. Het oppervlaktegedeelte 23(5) van de emitterzone 14 heeft praktisch dezelfde grootte als de doteringsopening 12. De kontaktopening voor de emitterzone 14 is daarbij zonder inachtneming van de gebruikelijke uitrichttolerantie van de doteringsopening 12 afgeleid.

Het gebruik van de werkwijze volgens de uitvinding maakt het mogelijk om zeer kleine tweede elektrode- of emitterzones 14 toe te passen die door een relatief ondiep gelegen pn-overgang 24 van de eerste elektrode- of basiszone 9 zijn gescheiden. Daarbij voorkomen de aangebrachte randdelen 17(16), dat deze op geringe diepte gelegen pn-overgang 24 aan het oppervlak 5 door de geleidende laag 22 wordt kortgesloten.

In het tweede voorbeeld bevat de tegen dotering maskerende eerste laag van de werkwijze volgens de uitvinding het patroon 11 samen met de randdelen 43 en de in patroon gebrachte maskeringslaag 44. Indien het in de opening 12 bloot liggende deel van de laag 34 voorafgaand aan de doteringsbehandeling wordt weggehaald, kan ook de isolerende laag 34 tot de eerste laag worden gerekend. Als op de geleidende laag waaruit het patroon 11 wordt verkregen een isolerende laag 54 was aangebracht en deze toplaag tijdens de doteringsbehandeling nog op het patroon 11 aanwezig is, behoort ook deze toplaag 54 tot de eerste laag.

In de voorbeelden is het schakelelement een vertikaal uitgevoerde bipolaire transistor. De tweede elektrodezone kan echter ook één van de hoofdelektrodezones van een lateraal uitgevoerde bipolaire transistor zijn, waarbij de eerste elektrodezone dan de stuur-

elektrodezone (de basiszone) van deze transistor vormt. Met name in de laatstgenoemde uitvoeringsvorm kan de eerste elektrodezone een zonedig van het aangrenzende deel van het halfgeleiderlichaam geïsoleerd deel van een epitaxiale laag zijn. In dat geval heeft de eerste elektrode-
5 zone, afgezien van een eventueel aanwezige begraven laag, een praktisch uniforme doteringsconcentratie.

Het schakelement kan ook een diode met een anode- en een kathodezone zijn of een pn-overgangsveld-effecttransistor, waarbij de tweede elektrodezone bijvoorbeeld een poortelektrode vormt.

10 Het tweede voorbeeld resulteert in een halfgeleiderinrichting met tenminste een schakelement 32,9,14, waarbij de inrichting een halfgeleiderlichaam 1 heeft met een oppervlak 5, waaraan een eerste elektrodezone 9 van een eerste geleidingstype van het schakelement grenst, waarbij het schakelement een tweede elektrodezone 14 van het
15 tweede geleidingstype heeft, die op het oppervlak 5 gezien geheel door de eerste elektrodezone 9 is omgeven en waarbij een door een isolerende laag 34 van de eerste elektrodezone 9 gescheiden eerste geleidende laag 22 aanwezig is, die in een kontaktopening in deze isolerende laag 34 met de tweede elektrodezone 14 is verbonden. Volgens de uitvinding is op de
20 isolerende laag 34 een tweede geleidende laag 11 (het geleidende patroon 11) aanwezig, die ter plaatse van de kontaktopening een met deze kontaktopening korresponderende eerste opening 12 heeft, waarbij althans langs de gehele rand van deze eerste opening 12 een randdeel 17(16) van passiverend materiaal is aangebracht en waarbij de eerste geleidende laag 22
25 over de tweede geleidende laag 11 en het randdeel 17(16) tot in de kontaktopening verloopt.

Bij voorkeur is de eerste geleidende laag 22 door een tussenliggende isolerende laag 54 van de tweede geleidende laag 11 gescheiden.

30 In een verdere uitvoeringsvorm van deze inrichting is de eerste elektrodezone 9 verbonden met een verdere geleidende laag 21 en is een niet-getekende geleidende verbinding tussen deze verder geleidende laag 21 en de tweede geleidende laag 11 aanwezig. In deze uitvoeringsvorm wordt de laag 54 niet uit de opening 50 verwijderd en wordt
35 elders boven de geleidende laag 11 een niet-getekende kontaktopening aangebracht, waarbij de geleidende laag 11 via deze kontaktopening met een geschikt gekozen geleiderspoor, in dit geval met de geleidende laag

21, wordt verbonden. In deze uitvoeringsvorm is de capaciteit tussen het geleidende patroon 11 en de eerste elektrodezone 9 kortgesloten.

Met voordeel is op de tweede geleidende laag 11 een tweede laag 16 van passiverend materiaal aanwezig, die is voorzien van een derde opening 50, die groter is dan eerste opening 12, waarbij de eerste opening 12 geheel binnen de derde opening 50 gelegen is en de eerste geleidende laag 22 over de tweede laag 16 van passiverend materiaal verloopt en in de derde opening 50 direkt met de tweede geleidende laag 11 is verbonden.

10 In het tweede voorbeeld werd het patroon 11 eerst voorzien van randdelen 43 vóór dat de doteringsbehandeling voor de tweede elektrodezone 14 werd uitgevoerd. Het patroon 11 kan echter ook direkt, zonder randdelen 43, als doteringsmasker worden gebruikt, in het bijzonder indien bijvoorbeeld ook in de veldeffekttransistor met geïsoleerde poortelektrode geen randdelen 43 langs de poortelektrode 35 nodig zijn. Voorts kunnen, indien gewenst, onnodige randdelen 43 ook plaatselijk met behulp van een maskering en bijvoorbeeld een natte etsbewerking worden verwijderd.

Bij een verdere variant van het tweede voorbeeld wordt het patroon 11 eerst als doteringsmasker gebruikt tijdens de doteringsbehandeling voor het verkrijgen van de laag gedoteerde delen 53 van de veldeffekttransistor en worden vervolgens de randdelen 43 aangebracht zodat de opening 12 wordt verkregen. Op deze wijze wordt een tweede elektrodezone 14 verkregen, die een centraal hoger gedoteerd deel heeft, dat aan het halfgeleideroppervlak is omgeven door een aangrenzend lager gedoteerd deel van hetzelfde geleidingstype. Bij deze variant wordt de bescherming van de pn-overgang 24 in feite verzekerd door de combinatie van de randdelen 43 en 17(16) die nu samen voorkomen, dat de geleidende laag 22 de pn-overgang 24 aan het halfgeleideroppervlak overlapt. Deze variant kan bijvoorbeeld met voordeel worden toegepast als een relatief hoge emitter-basis-doorslagspanning gewenst is, die anders met een zo ondiep gelegen pn-overgang 24 moeilijk realiseerbaar zou zijn. De hier beschreven transistor met een emitterzone met een centraal hoger gedoteerd deel dat is omgeven door een aangrenzend lager gedoteerd deel kan ook indien op andere wijze verkregen van voordeel zijn. Bij voorkeur is echter ook dan de lager gedoteerde rand van de emitterzone verkregen met behulp van een doteringsopening, die door het aanbrengen van rand-

delen werd verkleind, waarbij het centrale deel door deze verkleinde opening werd aangebracht.

De uitvinding is niet beperkt tot de beschreven uitvoeringsvoorbeelden. Het zal duidelijk zijn, dat voor de vakman binnen 5 het kader van de onderhavige uitvinding vele variaties mogelijk zijn. Zo kunnen andere halfgeleidermaterialen dan silicium, zoals germanium of $A_{III}-B_V$ -verbindingen worden gebruikt. Voorts kunnen de beschreven geleidingstypes worden verwisseld en kunnen andere gebruikelijke doteringsstoffen worden gebruikt. Als isolerend materiaal komt 10 bijvoorbeeld ook oxynitride in aanmerking. Op gebruikelijke wijze kunnen meerdere halfgeleiderinrichtingen tegelijk in een halfgeleiderschijf worden aangebracht, die daarna in afzonderlijke halfgeleiderlichamen 1 wordt opgedeeld. De halfgeleiderinrichtingen kunnen vervolgens op gebruikelijke wijze in een gebruikelijke omhulling worden afgemonteerd.

Conclusies:

1. Werkwijze voor het vervaardigen van een halfgeleider-
inrichting met tenminste een schakelelement, waarbij deze inrichting een
halfgeleiderlichaam heeft met een oppervlak waarvan een eerste opper-
vlaktedeel wordt ingenomen door een aan dat oppervlak grenzende eerste
5 elektrodezone van het schakelelement, waarbij de eerste elektrodezone
van een eerste geleidingstype is en op het oppervlak een tegen dotering
maskerende eerste laag aanwezig is, waarin een bij een eerste doterings-
behandeling te gebruiken eerste opening voor het aanbrengen van dotering
voor een tweede elektrodezone van het schakelelement, die van het tweede
10 geleidingstype is, wordt aangebracht zodanig, dat de tweede elektrode-
zone op het oppervlak gezien geheel door de eerste elektrodezone is om-
geven, waarbij na de eerste doteringsbehandeling een geleidende laag
voor elektrische aansluiting van de tweede elektrodezone wordt aange-
bracht, die door een isolerende laag van de eerste elektrodezone is ge-
15 scheiden en die in een opening in deze isolerende laag op een tweede
oppervlaktedeel van de tweede elektrodezone ligt, waarbij het tweede
oppervlaktedeel praktisch dezelfde grootte heeft als de eerste opening,
met het kenmerk, dat na de eerste doteringsbehandeling althans over een
deel van de eerste laag, waarin zich de eerste opening bevindt, een
20 tweede laag van passiverend materiaal wordt aangebracht, die althans ter
plaats van de eerste opening door anisotroop etsen wordt verwijderd,
zodat in de eerste opening een langs de gehele rand daarvan gelegen
randdeel van de tweede laag achterblijft en dat daarna de geleidende
laag over de eerste laag en het randdeel van de tweede laag wordt
25 aangebracht.
2. Werkwijze volgens conclusie 1, met het kenmerk, dat als
tweede laag een laag van isolerend materiaal wordt aangebracht.
3. Werkwijze volgens conclusie 1 of 2, met het kenmerk, dat
als eerste laag een laag wordt toegepast, die althans een laag van
30 elektrisch geleidend materiaal bevat.
4. Werkwijze volgens conclusie 3, met het kenmerk, dat de
laag van elektrisch geleidend materiaal een patroon met een gesloten
geometrie heeft, waarbij dit patroon de eerste opening omgeeft.
5. Werkwijze volgens conclusie 3 of 4, met het kenmerk, dat
35 als geleidend materiaal een vuurbestendig materiaal, zoals halfgeleider-
materiaal, tantaal, titaan, molybdeen of wolfram of een silicide van
deze materialen, wordt toegepast.

6. Werkwijze volgens conclusie 3, 4 of 5, met het kenmerk, dat de laag van elektrisch geleidend materiaal tegelijk wordt aangebracht met een elektrisch geleidende laag voor een poortelektrode van tenminste een veldeffekttransistor met geïsoleerde poortelektrode.
- 5 7. Halfgeleiderinrichting vervaardigd door toepassing van de werkwijze volgens een of meer der voorgaande conclusies.
8. Halfgeleiderinrichting met tenminste een schakelement, waarbij deze inrichting een halfgeleiderlichaam heeft met een oppervlak, waaraan een eerste elektrodezone van een eerste geleidingstype van het
- 10 schakelement grenst, waarbij het schakelement een tweede elektrodezone van het tweede geleidingstype heeft, die op het oppervlak gezien geheel door de eerste elektrodezone is omgeven en waarbij een door een isolerende laag van de eerste elektrodezone gescheiden eerste geleidende laag aanwezig is, die via een kontaktopening in deze isolerende laag met
- 15 de tweede elektrodezone is verbonden, met het kenmerk, dat op de isolerende laag een tweede geleidende laag aanwezig is, die ter plaatse van de kontaktopening een met deze kontaktopening korresponderende eerste opening heeft, waarbij althans langs de gehele rand van deze eerste opening in deze opening een randdeel van passiverend materiaal is aange-
- 20 bracht en waarbij de eerste geleidende laag over de tweede geleidende laag en het randdeel tot in de kontaktopening verloopt.
9. Halfgeleiderinrichting volgens conclusie 8, met het kenmerk, dat de eerste geleidende laag door een tussenliggende isolerende laag van de tweede geleidende laag is gescheiden.
- 25 10. Halfgeleiderinrichting volgens conclusie 8, met het kenmerk, dat de eerste elektrodezone is verbonden met een verdere geleidende laag en een geleidende verbinding tussen deze verder geleidende laag en de tweede geleidende laag aanwezig is.
11. Halfgeleiderinrichting volgens conclusie 8, met het ken-
- 30 merk, dat op de tweede geleidende laag een tweede laag van passiverend materiaal aanwezig is, die is voorzien van een derde opening, die groter is eerste opening, waarbij de eerste opening geheel binnen de derde opening gelegen is en de eerste geleidende laag over de tweede laag van passiverend materiaal verloopt en in de derde opening direkt met de
- 35 tweede geleidende laag is verbonden.

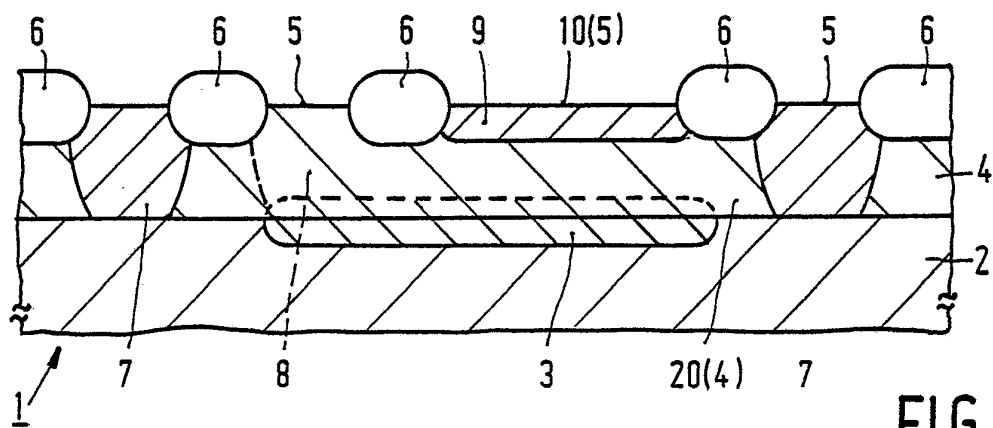


FIG. 1

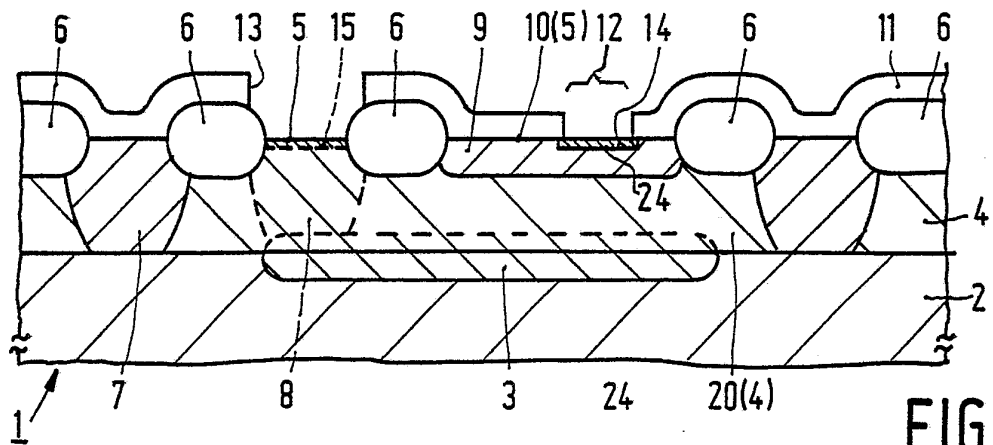


FIG. 2

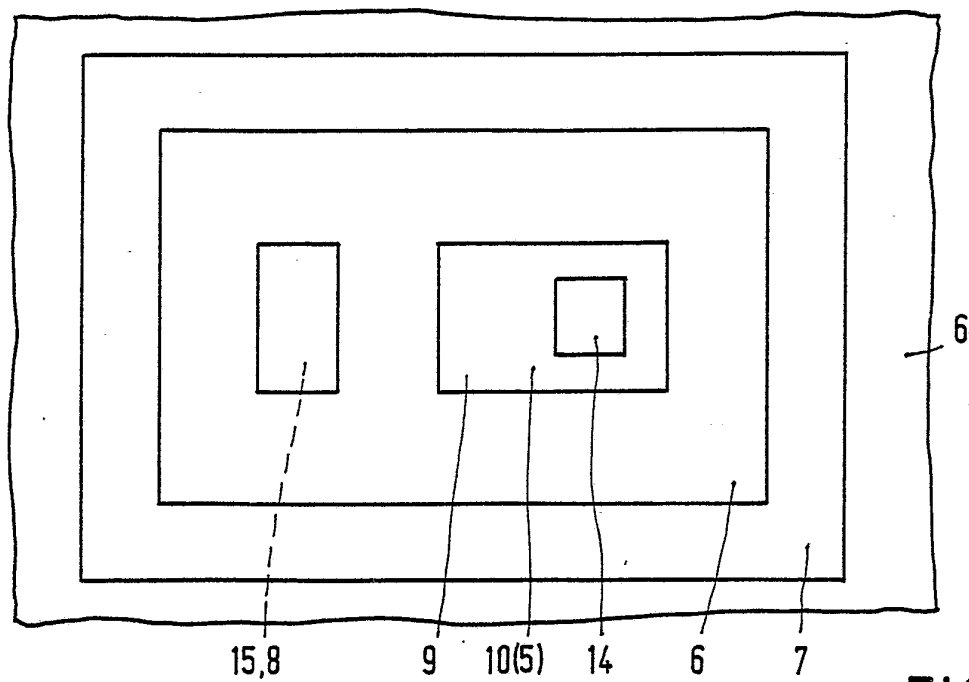


FIG. 3

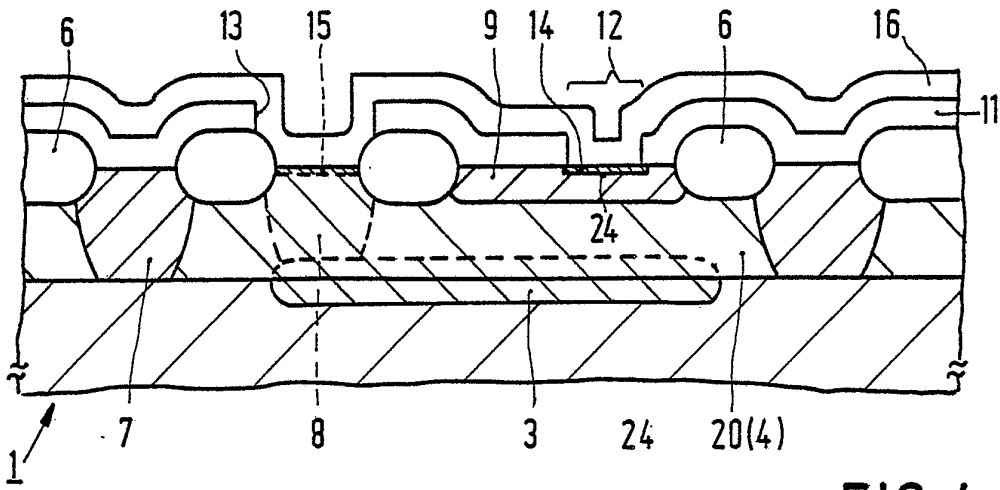


FIG. 4

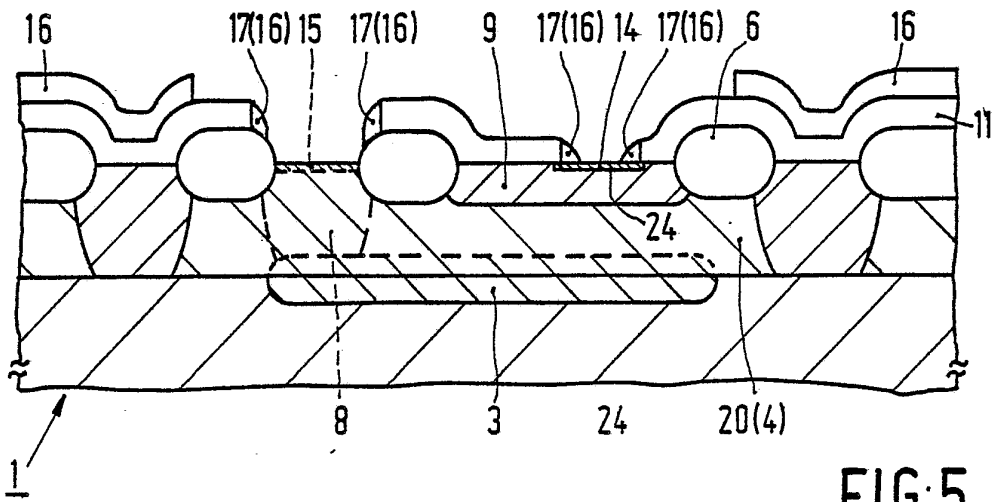


FIG. 5

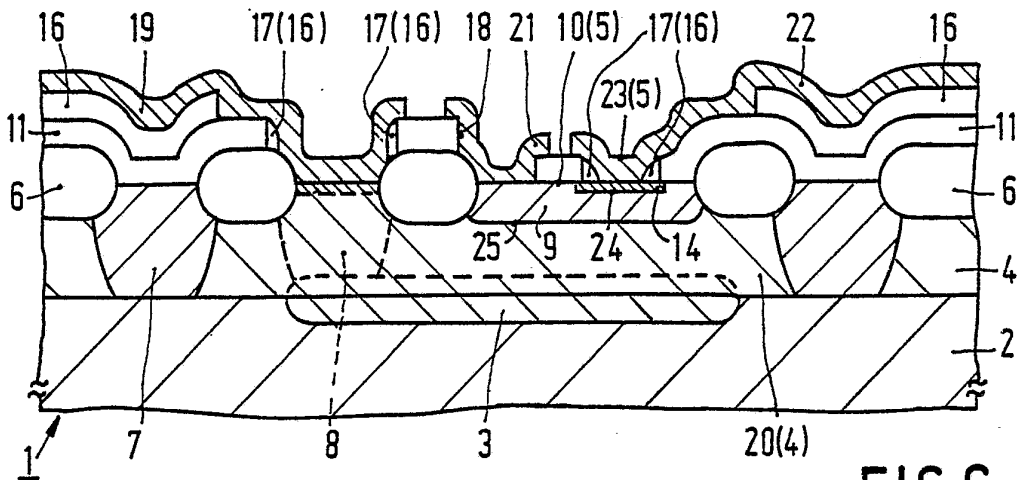


FIG. 6

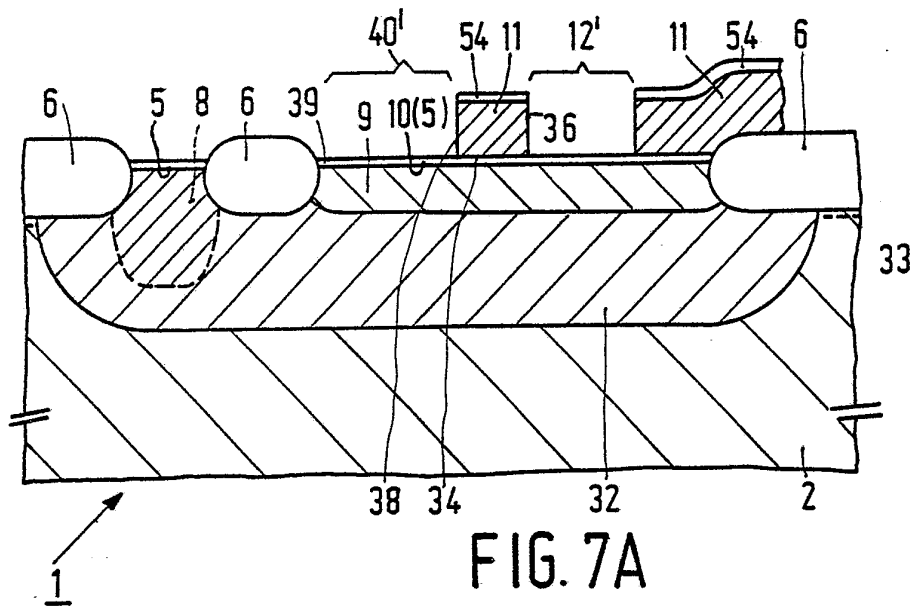


FIG. 7A

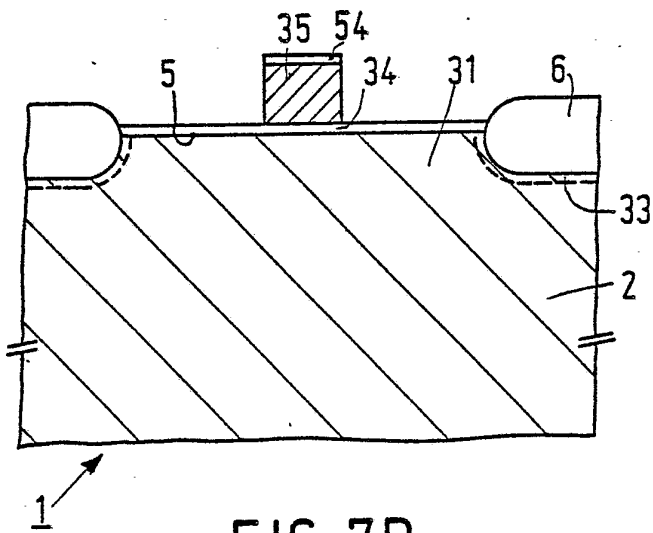


FIG. 7B

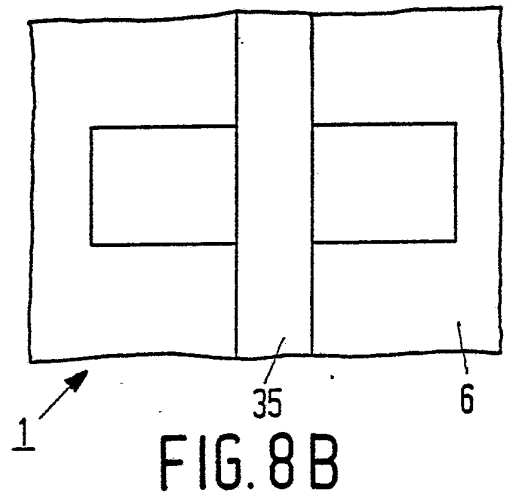


FIG. 8B

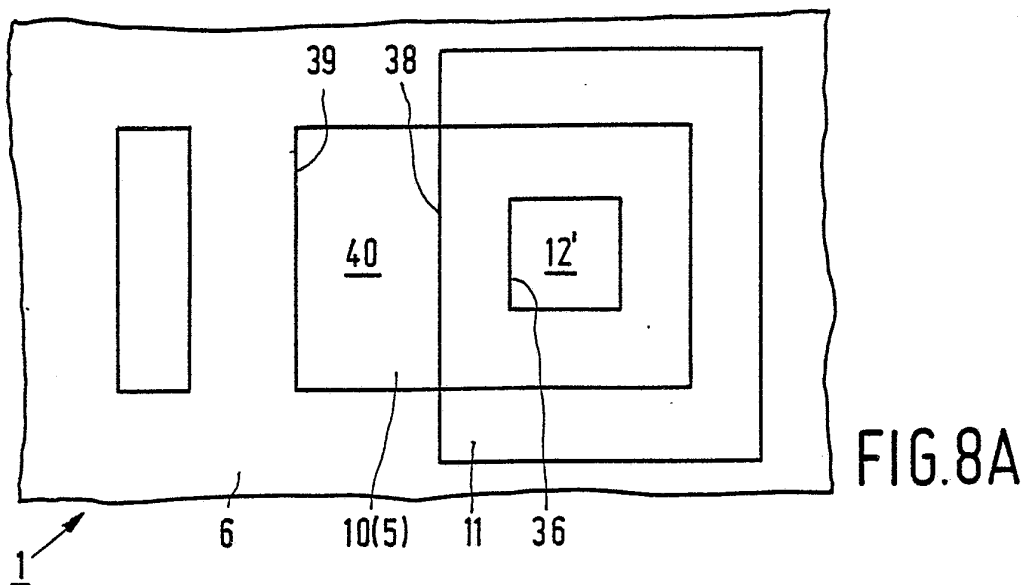


FIG. 8A

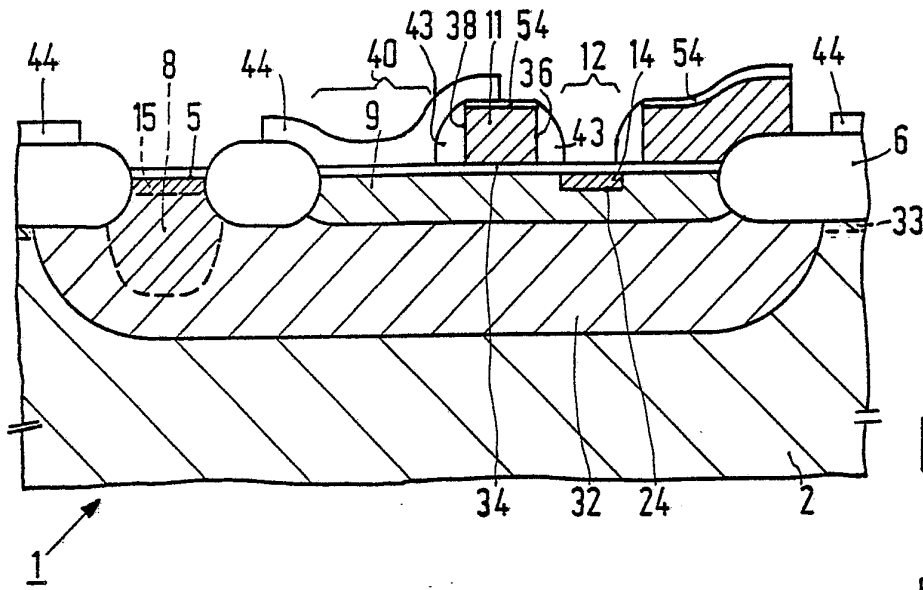


FIG. 9A

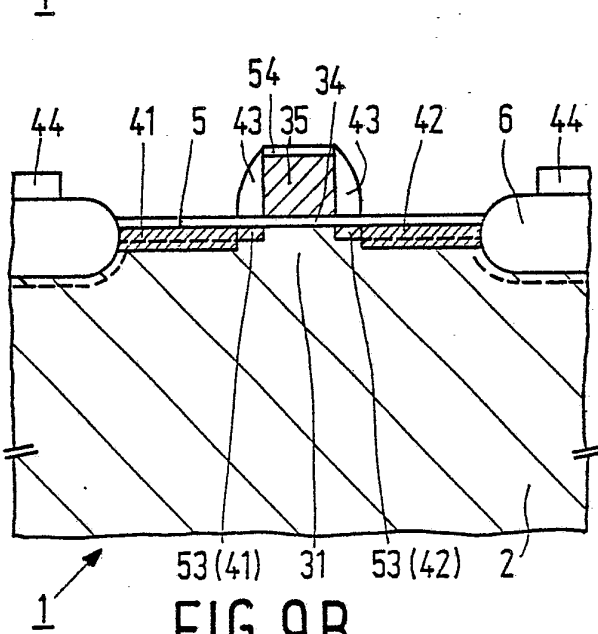


FIG. 9B

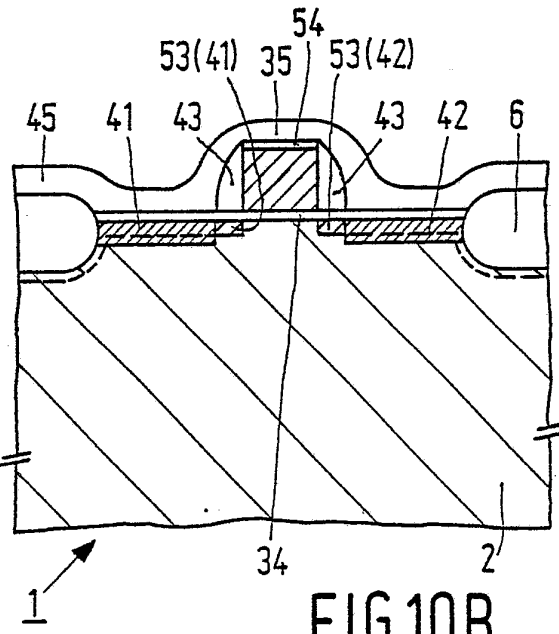


FIG. 10B

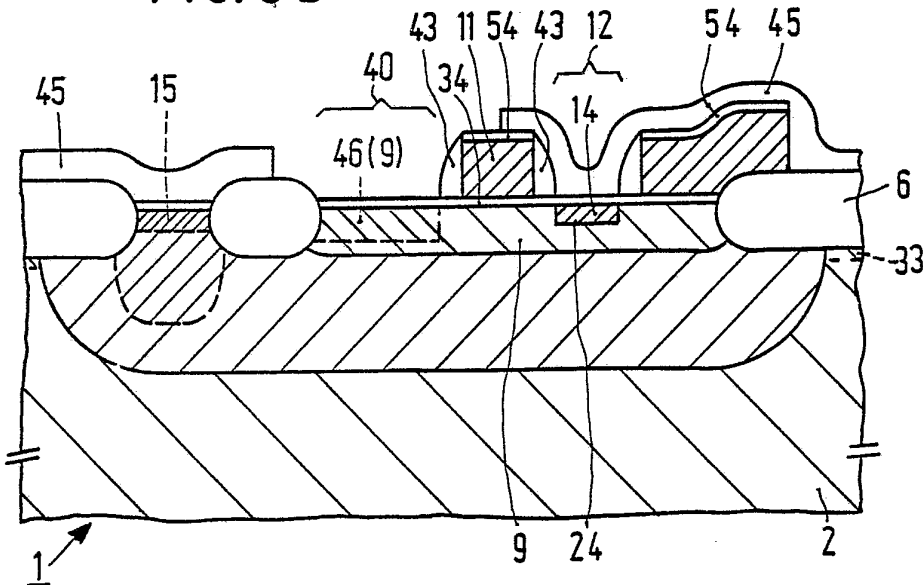


FIG. 10A

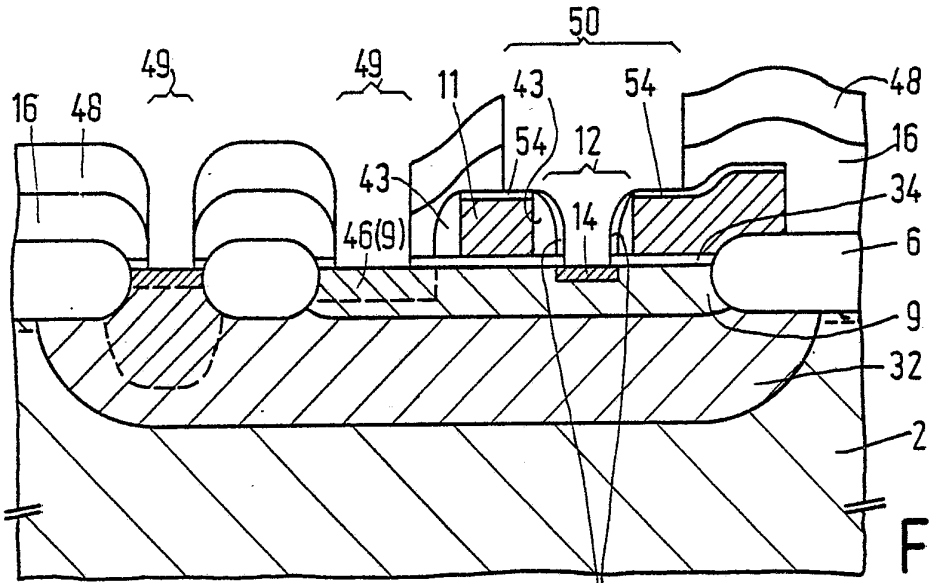


FIG. 11A

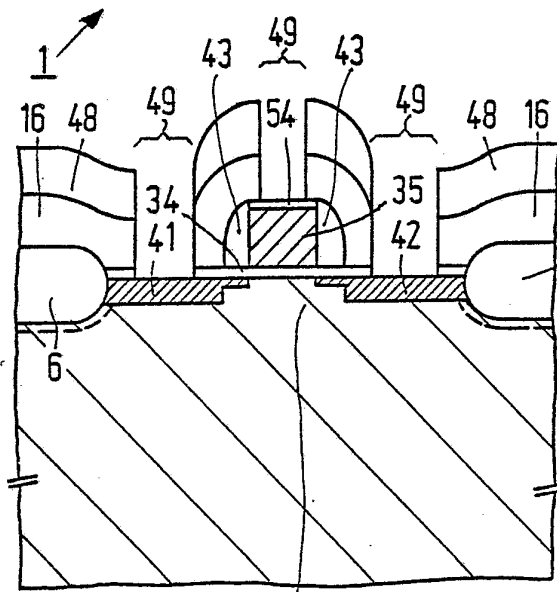


FIG. 11B

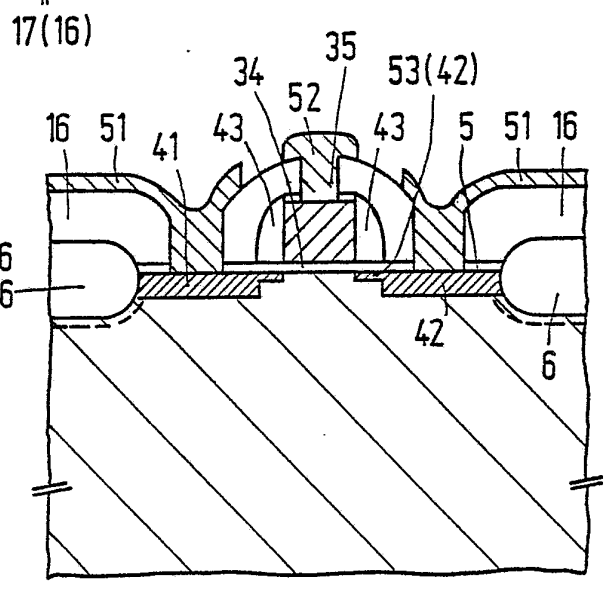


FIG. 12B

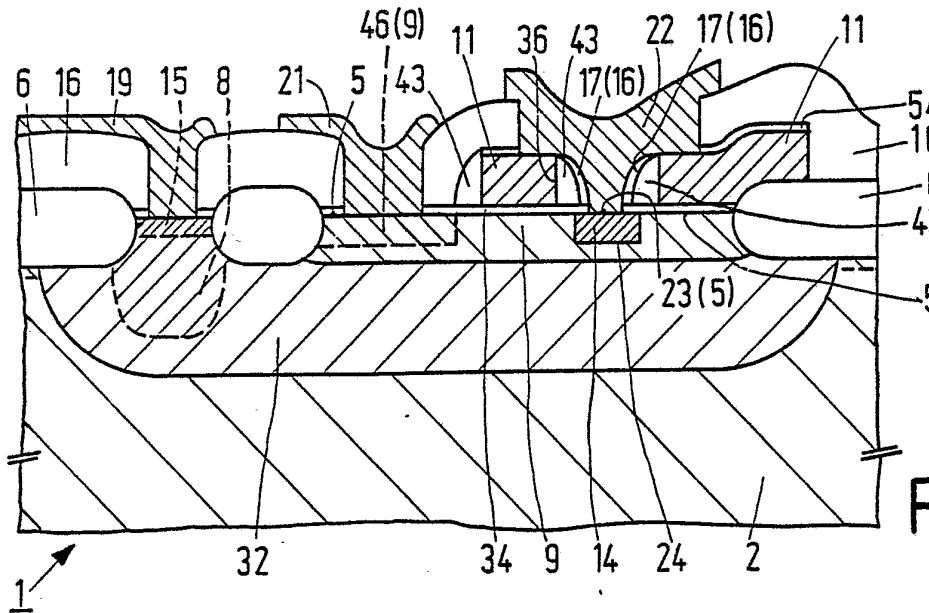


FIG. 12A