



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0127432
(43) 공개일자 2021년10월22일

(51) 국제특허분류(Int. Cl.)
H01L 27/11582 (2017.01) H01L 21/768 (2006.01)
H01L 25/00 (2014.01) H01L 25/065 (2006.01)
H01L 27/11521 (2017.01) H01L 27/11526 (2017.01)
H01L 27/11556 (2017.01) H01L 27/11568 (2017.01)
H01L 27/11573 (2017.01)
(52) CPC특허분류
H01L 27/11582 (2013.01)
H01L 21/76802 (2013.01)
(21) 출원번호 10-2020-0045289
(22) 출원일자 2020년04월14일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
권동훈
경기도 화성시 병점2로 35, 103동 408호
김기웅
서울특별시 성동구 독성로 51
(뒷면에 계속)
(74) 대리인
박영우

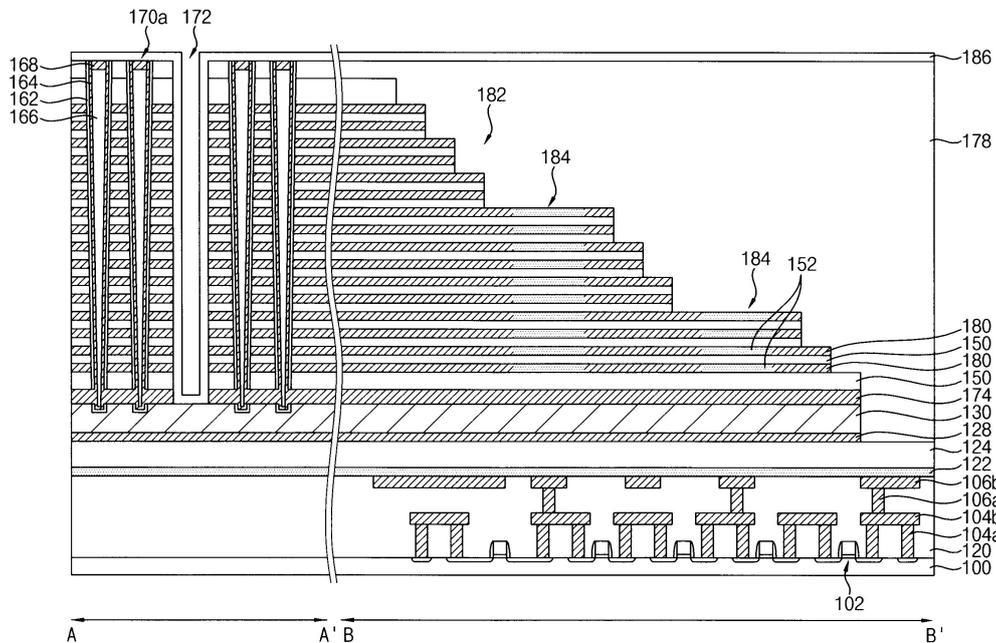
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 수직형 메모리 소자의 제조 방법

(57) 요약

수직형 메모리 소자의 제조 방법으로, 기판 상에, 페리 회로를 구성하고 하부 도전 패턴을 포함하는 회로 패턴을 형성한다. 상기 회로 패턴 상에, 상기 기판 상면에 수직한 수직 방향을 따라 서로 이격되면서 적층되는 게이트 전극들이 포함되고, 제1 방향으로 연장되고 워드 라인 컷팅 영역으로 제공되는 제1 개구부가 내부에 포함되는 셀 (뒷면에 계속)

대표도



적층 구조물을 형성한다. 상기 셀 적층 구조물을 덮는 제1 층간 절연막을 형성한다. 상기 제1 개구부의 표면 및 저면과 상기 제1 층간 절연막 상에 권포되도록 스페이서 절연막을 형성한다. 상기 셀 적층 구조물의 게이트 전극들을 노출하는 제1 콘택홀들 및 상기 셀 적층 구조물 아래의 하부 도전 패턴을 노출하는 관통 비아홀을 형성한다. 그리고, 상기 스페이서 절연막 상의 상기 제1 개구부 내부와 상기 제1 콘택홀들 및 관통 비아홀의 내부에 각각 도전 물질을 포함하는 매립 도전 패턴, 셀 콘택 플러그들 및 관통 비아 콘택을 형성한다. 상기 수직형 메모리 소자는 간단한 공정을 통해 제조될 수 있다.

(52) CPC특허분류

H01L 21/76877 (2013.01)

H01L 25/0657 (2013.01)

H01L 25/50 (2013.01)

H01L 27/11521 (2013.01)

H01L 27/11526 (2013.01)

H01L 27/11556 (2013.01)

H01L 27/11568 (2013.01)

H01L 27/11573 (2013.01)

(72) 발명자

민충기

경기도 화성시 동탄반석로 279, 115동 2202호

윤보연

서울특별시 서초구 신반포로15길 5, 39동 404호

명세서

청구범위

청구항 1

기관 상에, 페리 회로를 구성하고 하부 도전 패턴을 포함하는 회로 패턴을 형성하고;

상기 회로 패턴 상에, 상기 기관 상면에 수직한 수직 방향을 따라 서로 이격되면서 적층되는 게이트 전극들이 포함되고, 제1 방향으로 연장되고 워드 라인 커팅 영역으로 제공되는 제1 개구부가 내부에 포함되는 셀 적층 구조물을 형성하고;

상기 셀 적층 구조물을 덮는 제1 층간 절연막을 형성하고;

상기 제1 개구부의 표면 및 저면과 상기 제1 층간 절연막 상에 컨포멀하게 스페이서 절연막을 형성하고;

상기 셀 적층 구조물의 게이트 전극들을 노출하는 제1 콘택홀들 및 상기 셀 적층 구조물 아래의 하부 도전 패턴을 노출하는 관통 비아홀을 형성하고; 그리고,

상기 스페이서 절연막 상의 상기 제1 개구부 내부와 상기 제1 콘택홀들 및 관통 비아홀의 내부에, 각각 도전 물질을 포함하는 매립 도전 패턴, 셀 콘택 플러그들 및 관통 비아 콘택을 형성하는 것을 수직형 메모리 소자의 제조 방법.

청구항 2

제1 항에 있어서, 상기 셀 적층 구조물의 게이트 전극들을 노출하는 제1 콘택홀들 및 상기 셀 적층 구조물 아래의 하부 도전 패턴을 노출하는 관통 비아홀을 형성하는 것은,

상기 스페이서 절연막 상에, 상기 제1 개구부의 입구 부위를 덮으면서 셀 콘택 플러그의 형성 부위 상부를 선택적으로 노출하는 제1 하드 마스크 패턴을 형성하고;

상기 제1 하드 마스크 패턴을 이용하여 상기 제1 층간 절연막을 식각하여 상기 제1 콘택홀들을 형성하고;

상기 스페이서 절연막 상에, 상기 제1 개구부의 입구 부위를 덮으면서 관통 비아 콘택 형성 부위 상부를 선택적으로 노출하는 제2 하드 마스크 패턴을 형성하고; 그리고,

상기 제2 하드 마스크 패턴을 이용하여 상기 제1 층간 절연막 및 셀적층 구조물의 일부분을 식각하여 상기 관통 비아홀을 형성하는 것을 포함하는 수직형 메모리 소자의 제조 방법.

청구항 3

제1 항에 있어서, 상기 셀 적층 구조물의 게이트 전극들을 노출하는 제1 콘택홀들 및 상기 셀 적층 구조물 아래의 하부 도전 패턴을 노출하는 관통 비아홀은, 한번의 식각 공정을 통해 형성하는 수직형 메모리 소자의 제조 방법.

청구항 4

제1 항에 있어서, 상기 스페이서 절연막은 실리콘 산화물을 포함하는 수직형 메모리 소자의 제조 방법.

청구항 5

제1 항에 있어서, 상기 스페이서 절연막은 상기 제1 개구부의 표면 프로파일을 따라 형성되어, 상기 스페이서 절연막이 형성된 이후에도 상기 제1 개구부 내에 내부 공간이 남아있는 수직형 메모리 소자의 제조 방법.

청구항 6

제1 항에 있어서, 상기 매립 도전 패턴, 셀 콘택 플러그들 및 관통 비아 콘택은 동일한 금속 물질을 포함하는 수직형 메모리 소자의 제조 방법.

청구항 7

제6 항에 있어서, 상기 매립 도전 패턴, 셀 콘택 플러그들 및 관통 비아 콘택은 텅스텐을 포함하는 수직형 메모리 소자의 제조 방법.

청구항 8

제1 항에 있어서, 상기 스페이서 절연막 상의 상기 제1 개구부 내부와 상기 제1 콘택홀들 및 관통 비아홀의 내부에 각각 도전 물질을 포함하는 매립 도전 패턴, 셀 콘택 플러그들 및 관통 비아 콘택을 형성하는 것은,

상기 스페이서 절연막 상의 상기 제1 개구부 내부와 상기 제1 콘택홀들 및 관통 비아홀의 내부를 채우는 도전막을 형성하고; 그리고,

상기 제1 층간 절연막 상의 스페이서 절연막이 노출되도록 상기 도전막을 평탄화하여, 상부면들이 동일한 평면 상에 위치하는 매립 도전 패턴, 셀 콘택 플러그들 및 관통 비아 콘택을 형성하는 것을 포함하는 수직형 메모리 소자의 제조 방법.

청구항 9

제1 항에 있어서, 상기 회로 패턴들과 상기 셀 적층 구조물의 수직 방향 사이에, 공통 소오스 패턴 및 베이스 반도체 패턴을 형성하는 것을 더 포함하는 수직형 메모리 소자의 제조 방법.

청구항 10

제1 항에 있어서, 상기 셀 적층 구조물을 관통하는 채널 구조물을 형성하는 것을 더 포함하는 수직형 메모리 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 수직형 메모리 소자의 제조 방법에 관한 것이다. 보다 상세하게는, 씨오피 구조의 수직형 메모리 소자의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근, 기관 상에 페리 회로가 형성되고, 페리 회로 상에 메모리 셀이 수직하게 배치되는 씨오피(COP, Cell on Peri) 구조의 수직형 메모리 소자가 개발되고 있다. 상기 씨오피 구조의 수직형 메모리 소자는 메모리 셀들을 포함하는 셀 적층 구조물들을 포함하고, 상기 셀 적층 구조물들의 사이에는 워드 라인 컷팅 영역이 포함될 수 있다. 또한, 상기 셀 적층 구조물들을 덮는 층간 절연막을 관통하여 페리 회로의 배선과 접하는 관통 비아 콘택이 구비될 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 과제는 공정이 간소화되는 수직형 메모리 소자의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0004] 상기 본 발명의 일 과제를 달성하기 위하여, 본 발명의 실시예들에 따른 수직형 메모리 소자의 제조 방법으로, 기관 상에, 페리 회로를 구성하고 하부 도전 패턴을 포함하는 회로 패턴을 형성한다. 상기 회로 패턴 상에, 상기 기관 상면에 수직한 수직 방향을 따라 서로 이격되면서 적층되는 게이트 전극들이 포함되고, 제1 방향으로 연장되고 워드 라인 컷팅 영역으로 제공되는 제1 개구부가 내부에 포함되는 셀 적층 구조물을 형성한다. 상기 셀 적층 구조물을 덮는 제1 층간 절연막을 형성한다. 상기 제1 개구부의 표면 및 저면과 상기 제1 층간 절연막 상에 컨포멀하게 스페이서 절연막을 형성한다. 상기 셀 적층 구조물의 게이트 전극들을 노출하는 제1 콘택홀들 및 상기 셀 적층 구조물 아래의 하부 도전 패턴을 노출하는 관통 비아홀을 형성한다. 그리고, 상기 스페이서 절연막 상의 상기 제1 개구부 내부와 상기 제1 콘택홀들 및 관통 비아홀의 내부에 각각 도전 물질을 포함하는 매립 도전 패턴, 셀 콘택 플러그들 및 관통 비아 콘택을 형성한다.

발명의 효과

[0005] 상기 수직형 메모리 소자는 워드 라인 컷팅용 제1 개구부 내부에 스페이서 절연막 및 도전 물질을 포함하는 매립 도전 패턴이 형성될 수 있다. 따라서, 상기 수직형 메모리 소자는 간단한 공정을 통해 제조될 수 있다.

도면의 간단한 설명

[0006] 도 1 내지 도 14는 예시적인 실시예들에 따른 수직형 메모리 소자의 제조 방법을 설명하기 위한 단면도들 및 평면도들이다.

발명을 실시하기 위한 구체적인 내용

[0007] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

[0008] 이하에서는, 기관 상면에 실질적으로 수직한 방향을 수직 방향으로 정의하고, 상기 기관 상면에 실질적으로 평행한 수평 방향들 중에서 서로 수직하는 두 방향들을 각각 제1 및 제2 방향들로 정의한다.

[0009] 도 1 내지 도 14는 예시적인 실시예들에 따른 수직형 메모리 소자의 제조 방법을 설명하기 위한 단면도들 및 평면도들이다.

[0010] 도 2, 4, 6, 8, 12 및 14는 평면도이고, 도 1, 3, 5, 7, 9, 10, 11 및 13은 단면도들이다. 각 단면도는 해당하는 평면도의 A-A' 부위 및 B-B' 부위를 절단하였을 때의 단면을 포함한다.

[0011] 도 1 및 도 2를 참조하면, 기관(100) 상에 페리 회로를 구성하는 회로 패턴들을 형성하고, 상기 회로 패턴들을 덮는 제1 하부 층간 절연막(120)을 형성한다. 상기 회로 패턴은 하부 트랜지스터들(102), 하부 콘택 플러그들(104a, 106a), 하부 도전 패턴들(104b, 106b) 등을 포함할 수 있다.

[0012] 예시적인 실시예에서, 상기 하부 콘택 플러그(104a, 106a) 및 하부 도전 패턴들(104b, 106b)은 상기 하부 트랜지스터들(102)과 전기적으로 연결될 수 있다.

[0013] 하부 도전 패턴들(104b, 106b) 중에서 최상부에 형성되는 제2 하부 도전 패턴(106b)의 상부면은 상기 제1 하부 층간 절연막(120)의 상부면과 동일한 평면에 위치할 수 있다. 상기 제2 하부 도전 패턴들(106b) 중 일부는 이후에 설명하는 관통 비아 콘택이 형성되는 부위와 수직 방향으로 서로 대향하도록 배치될 수 있다. 예시적인 실시예에서, 상기 최상부에 형성되는 제2 하부 도전 패턴(106b)은 텅스텐을 포함할 수 있다.

[0014] 상기 제1 하부 층간 절연막(120) 상에 식각 저지막(122) 및 제2 하부 층간 절연막(124)을 형성한다.

[0015] 상기 제2 하부 층간 절연막(124) 상에 공통 소오스(common source) 패턴(128)을 형성한다. 상기 공통 소오스 패턴(128) 상에 베이스 반도체 패턴(130)을 형성한다. 상기 공통 소오스 패턴(128)은 금속 또는 금속 실리사이드를 포함할 수 있다. 예시적인 실시예에서, 상기 공통 소오스 패턴(128)은 텅스텐 또는 텅스텐 실리사이드를 포함할 수 있다.

[0016] 상기 베이스 반도체 패턴(130) 상에 희생막 및 절연막을 교대로 반복적하여 적층할 수 있다. 상기 절연막은 실리콘 산화물을 포함할 수 있다. 상기 희생막은 상기 절연막에 대해 식각 선택비를 갖는 물질, 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있다. 상기 베이스 반도체 패턴(130) 상부면과 접촉되는 최하부에는 하부 희생막이 형성될 수 있다.

[0017] 상기 희생막들 및 절연막들을 패터닝함으로써, 몰드 구조물(160)을 형성한다. 상기 몰드 구조물(160)은 희생 패턴(152) 및 절연 패턴(150)이 반복 적층될 수 있다. 상기 몰드 구조물(160)의 최하부에는 최하부 희생 패턴(140)이 구비될 수 있다.

[0018] 상기 몰드 구조물(160)은 상기 베이스 반도체 패턴(130) 상에 각각 형성될 수 있다. 상기 몰드 구조물(160)은 제1 방향의 가장자리 부위가 계단 형상을 가질 수 있다.

[0019] 상기 몰드 구조물(160) 및 이후에 설명하는 셀 적층 구조물에서 계단 형상을 갖는 가장자리 부위를 패드 영역이라 하고, 상기 계단 형상을 갖지 않는 부위를 셀 영역이라 한다.

[0020] 도 3 및 도 4를 참조하면, 상기 제2 하부 층간 절연막(124) 상에 상기 몰드 구조물(160)을 덮는 제1 층간 절연막(178)을 형성한다. 이후, 평탄화 공정을 통해, 상기 제1 층간 절연막(178)의 상부면을 평탄화할 수 있다. 상기 제1 층간 절연막(178)은 실리콘 산화물을 포함할 수 있다.

- [0021] 상기 셀 영역의 상기 제1 층간 절연막(178) 및 몰드 구조물(160)을 관통하여 상기 베이스 반도체 패턴(130)까지 연장되는 예비 채널 구조물(170)을 형성한다. 상기 예비 채널 구조물(170)은 예비 전하 저장 구조물(161), 채널(164), 매립 절연 패턴(166) 및 캡핑 패턴(168)을 포함할 수 있다. 상기 예비 전하 저장 구조물(161)은 예를 들어 실리콘 산화물, 실리콘 질화물 및 실리콘 산화물이 순차적으로 적층되는 구조를 가질 수 있다.
- [0022] 상기 몰드 구조물(160)의 일부분을 식각하여 상기 제1 방향으로 연장되는 제1 개구부(172)를 형성한다. 상기 제1 개구부(172)의 저면에는 상기 베이스 반도체 패턴(130)이 노출될 수 있다. 상기 제1 개구부(172)는 워드 라인 커팅 영역으로 제공될 수 있다.
- [0023] 한편, 도시하지는 않았지만, 상기 식각 공정을 통해 형성되는 제1 개구부(172)에 의해 상기 몰드 구조물(160)은 복수개로 분리될 수 있다. 즉, 복수의 몰드 구조물들(160)의 제2 방향 사이에는 상기 제1 개구부(172)가 구비될 수 있다. 따라서, 상기 몰드 구조물들(160)은 상기 제2 방향으로 서로 이격되게 배치될 수 있다.
- [0024] 도 5 및 도 6을 참조하면, 상기 몰드 구조물(160)의 최하부 희생 패턴(140)을 제거하여 갭을 형성하고, 상기 갭 부위에 노출되는 예비 전하 저장 구조물을 제거하여 전하 저장 구조물(162)을 형성할 수 있다. 따라서, 상기 전하 저장 구조물(162), 채널(164), 매립 절연 패턴(166) 및 캡핑 패턴(168)을 포함하는 채널 구조물(170a)이 형성될 수 있다.
- [0025] 이 후, 상기 갭 내부에 채널 연결 패턴(174)을 형성한다. 상기 채널 연결 패턴(174)은 예를 들어 폴리실리콘을 포함할 수 있다. 따라서, 상기 채널 연결 패턴(174)은 상기 채널(164)의 측벽과 접촉할 수 있다. 상기 채널(164)과 상기 채널 연결 패턴(174)과 전기적으로 연결될 수 있다. 또한, 상기 채널 연결 패턴(174)의 저면은 상기 베이스 반도체 패턴(130)의 상부면과 직접 접촉할 수 있다.
- [0026] 또한, 상기 몰드 구조물들(160)에 포함되는 각 희생 패턴들(152)을 제거하여 상기 절연 패턴들(150)의 수직 방향 사이에 갭들을 각각 형성한다. 상기 희생 패턴들(152)의 일부를 제거하는 공정에서, 상기 패드 영역의 일부에 형성되는 희생 패턴들(152)은 제거되지 않고 남아있을 수 있다.
- [0027] 상기 갭들의 내부에 도전 물질을 채워서, 상기 갭들 내부에 게이트 전극(180)을 형성한다. 상기 도전 물질은 베리어 패턴 및 금속 패턴을 포함할 수 있다. 예시적인 실시예에서, 상기 게이트 전극(180)은 텅스텐을 포함할 수 있다.
- [0028] 상기 공정에 의해, 상기 몰드 구조물들(160)은 셀 적층 구조물들(182)로 변환될 수 있다. 상기 셀 적층 구조물(182)은 채널 연결 패턴(174), 상기 채널 연결 패턴(174) 상에 구비되고, 수직 방향으로 이격된 복수의 게이트 전극들(180), 게이트 전극들(180) 사이에 형성된 절연 패턴들(150)을 포함할 수 있다. 상기 게이트 전극(180) 및 절연 패턴(150)은 상기 수직 방향으로 번갈아 반복 배치될 수 있다. 상기 셀 적층 구조물(182)의 상기 제1 방향의 가장자리 부위는 계단 형상을 가질 수 있다.
- [0029] 한편, 상기 셀 적층 구조물(182)의 패드 영역의 일부분에는 상기 절연 패턴(150) 및 희생 패턴(152)이 적층되는 부위(184)를 가질 수 있다.
- [0030] 또한, 상기 제1 개구부(172) 내부에 형성되는 도전 물질을 모두 제거한다. 따라서, 상기 제1 개구부(172) 저면에는 상기 베이스 반도체 패턴(130)이 노출될 수 있다.
- [0031] 도 7 및 도 8을 참조하면, 상기 제1 개구부(172)의 측벽 및 저면과 상기 제1 층간 절연막(178) 상에 컨포멀하게 스페이서 절연막(186)을 형성한다. 예시적인 실시예에서, 상기 스페이서 절연막(186)은 실리콘 산화물을 포함할 수 있다.
- [0032] 상기 스페이서 절연막(186)은 상기 제1 개구부(172) 내부를 완전하게 채우지 않고, 상기 제1 개구부(172)의 표면 프로파일을 따라 형성될 수 있다. 즉, 상기 스페이서 절연막(186)을 형성한 이 후에도 상기 제1 개구부(172)에는 내부 공간이 남아 있을 수 있다.
- [0033] 따라서, 상기 제1 개구부(172) 내부를 채우는 절연 물질로 완전히 채우는 공정 및 상기 절연 물질을 평탄화 하는 공정 등이 수행되지 않기 때문에, 제조 공정이 매우 단순화될 수 있다. 또한, 상기 제1 개구부(172) 내부에 얇은 두께로 스페이서 절연막(186)이 형성되므로, 상기 스페이서 절연막(186)을 형성하는데 요구되는 시간 및 막을 형성하기 위한 소스 물질 등이 감소될 수 있어서 상기 스페이서 절연막(186)을 형성하는데 소요되는 비용이 크게 감소될 수 있다. 그러므로, 상기 수직형 메모리 소자의 생산성이 크게 향상될 수 있다.
- [0034] 도 9를 참조하면, 상기 스페이서 절연막(186) 상에 제1 하드 마스크막(188)을 형성한다. 상기 제1 하드 마스크

막(188)은 상기 제1 개구부(172)를 채우지 않으면서 상기 제1 개구부(172)의 입구 부위를 덮을 수 있다. 그러므로, 상기 제1 하드 마스크막(188)이 형성된 이후에도 상기 제1 개구부(172)의 내부 공간이 유지될 수 있다. 또한, 상기 제1 하드 마스크막(188)에 의해 상기 제1 개구부(172)의 내부는 외부에 노출되지 않을 수 있다.

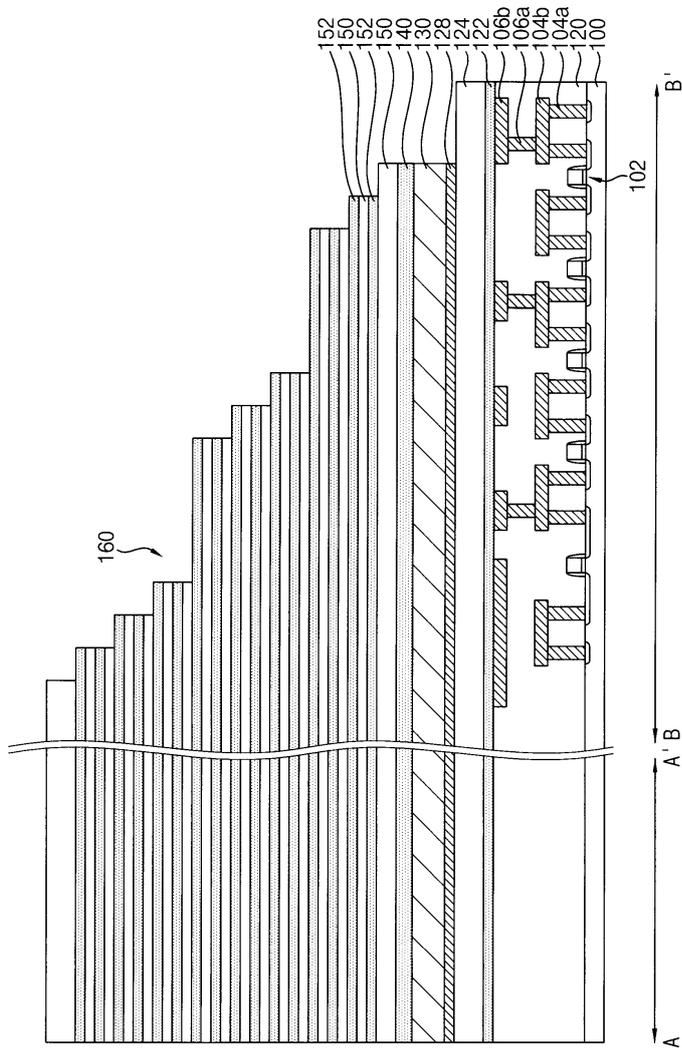
- [0035] 예시적인 실시예에서, 상기 제1 하드 마스크막(188)은 탄소를 포함할 수 있다.
- [0036] 도 10을 참조하면, 상기 제1 하드 마스크막(188) 상에 사진 공정을 수행하여 제1 포토레지스트 패턴(도시안됨)을 형성한다. 상기 제1 포토레지스트 패턴을 식각 마스크로 사용하여, 상기 제1 하드 마스크막(188)을 식각함으로써 제1 하드 마스크 패턴(188a)을 형성한다.
- [0037] 예시적인 실시예에서, 상기 제1 하드 마스크 패턴(188a)은 셀 콘택 플러그의 형성 부위의 상부를 선택적으로 노출할 수 있다. 상기 셀 콘택 플러그는 상기 게이트 전극들(180)과 전기적으로 연결되기 위한 콘택 플러그일 수 있다.
- [0038] 이후, 상기 제1 하드 마스크 패턴(188a)을 식각 마스크로 이용하여, 상기 패드 영역의 상기 스페이서 절연막(186) 및 상기 제1 층간 절연막(178)을 식각할 수 있다. 따라서, 상기 패드 영역의 상기 스페이서 절연막(186) 및 상기 제1 층간 절연막(178)을 관통하여 상기 게이트 전극들(180)의 상부면의 가장자리를 각각 노출하는 제1 콘택홀들(190)을 형성한다. 상기 제1 콘택홀들(190)에 의해 계단 형상을 갖는 게이트 전극들(180)의 상부면이 노출될 수 있다.
- [0039] 도 11 및 도 12를 참조하면, 상기 제1 하드 마스크 패턴을 제거한다. 상기 스페이서 절연막(186) 상에 제2 하드 마스크막을 형성한다. 상기 제2 하드 마스크막은 상기 제1 개구부(172) 및 제1 콘택홀들(190)을 채우지 않으면서 상기 제1 개구부(172) 및 제1 콘택홀들(190)의 입구 부위를 덮을 수 있다. 예시적인 실시예에서, 상기 제2 하드 마스크막은 탄소를 포함할 수 있다.
- [0040] 상기 제2 하드 마스크막 상에 사진 공정을 수행하여 제2 포토레지스트 패턴(도시안됨)을 형성한다. 상기 제2 포토레지스트 패턴을 식각 마스크로 사용하여, 상기 제2 하드 마스크막을 식각함으로써 제2 하드 마스크 패턴(189)을 형성한다.
- [0041] 예시적인 실시예에서, 상기 제2 하드 마스크 패턴(189)은 하부의 페리 회로와 전기적으로 연결되는 상기 관통 비아 콘택 형성 부위의 상부를 노출할 수 있다.
- [0042] 이후, 상기 제2 하드 마스크 패턴(189)을 식각 마스크로 이용하는 식각 공정을 수행하여, 제2 하부 도전 패턴(106b)을 노출하는 관통 비아홀들(192)을 형성한다.
- [0043] 구체적으로, 상기 패드 영역에 위치하는 절연 패턴(150) 및 희생 패턴(152)의 적층 부위(184)와, 상기 제1 층간 절연막(178), 제2 하부 층간 절연막(124) 및 식각 저지막(122)을 차례로 식각하여 상기 제2 하부 도전 패턴(106b)을 노출하는 관통 비아홀들(192)을 형성할 수 있다. 또한, 상기 셀 적층 구조물(182) 외측의 상기 제1 층간 절연막(178), 제2 하부 층간 절연막(124) 및 식각 저지막(122)을 차례로 식각하여 제2 하부 도전 패턴(106b)을 노출하는 관통 비아홀들(192)을 형성할 수 있다.
- [0044] 도 9 내지 도 12를 참조로 설명한 것에서는, 상기 제1 콘택홀들(190)과 상기 관통 비아홀들(192)은 서로 다른 식각 공정을 통해 각각 형성될 수 있다.
- [0045] 그러나, 일부 예시적인 실시예에서, 하드 마스크 패턴을 상기 셀 콘택 플러그의 형성 부위 및 상기 관통 비아 콘택 형성 부위를 모두 노출하도록 형성하고, 상기 하드 마스크 패턴을 이용하여 식각 공정을 수행함으로써, 상기 제1 콘택홀들 및 관통 비아홀들은 1회의 식각 공정을 통해 동시에 형성될 수도 있다.
- [0046] 도 13 및 도 14를 참조하면, 상기 제2 하드 마스크 패턴을 제거한다.
- [0047] 상기 스페이서 절연막(186) 상에, 상기 제1 개구부(172), 제1 콘택홀들(190) 및 관통 비아홀들(192)의 내부를 채우도록 도전막을 형성한다. 이후, 상기 제1 개구부(172), 제1 콘택홀들(190) 및 관통 비아홀들(192)의 내부에만 상기 도전막이 남아있도록 상기 도전막을 평탄화한다. 따라서, 제1 개구부(172), 제1 콘택홀들(190) 및 관통 비아홀들(192)의 내부에 각각 매립 도전 패턴(194), 셀 콘택 플러그(196) 및 관통 비아 콘택들(198)을 각각 형성할 수 있다.
- [0048] 구체적으로, 상기 제1 콘택홀들(190) 및 관통 비아홀들(192)의 내부 표면 및 상기 스페이서 절연막(186) 상에 킨포멀하게 베리어 금속막을 형성한다. 상기 베리어 금속막 상에, 상기 제1 개구부(172), 제1 콘택홀들(190) 및 관통 비아홀들(192)의 내부를 완전히 채우도록 금속막을 형성한다. 이후, 적어도 상기 제1 층간 절연막(178)

상의 스페이스 절연막(186) 상에 형성되는 금속막 및 베리어 금속막을 평탄화 공정을 통해 제거한다. 따라서, 상기 매립 도전 패턴(194), 셀 콘택 플러그들(196) 및 관통 비아 콘택들(198)을 각각 형성한다. 상기 매립 도전 패턴(194), 셀 콘택 플러그들(196) 및 관통 비아 콘택들(198)은 각각 베리어 패턴 및 금속 패턴을 포함할 수 있다.

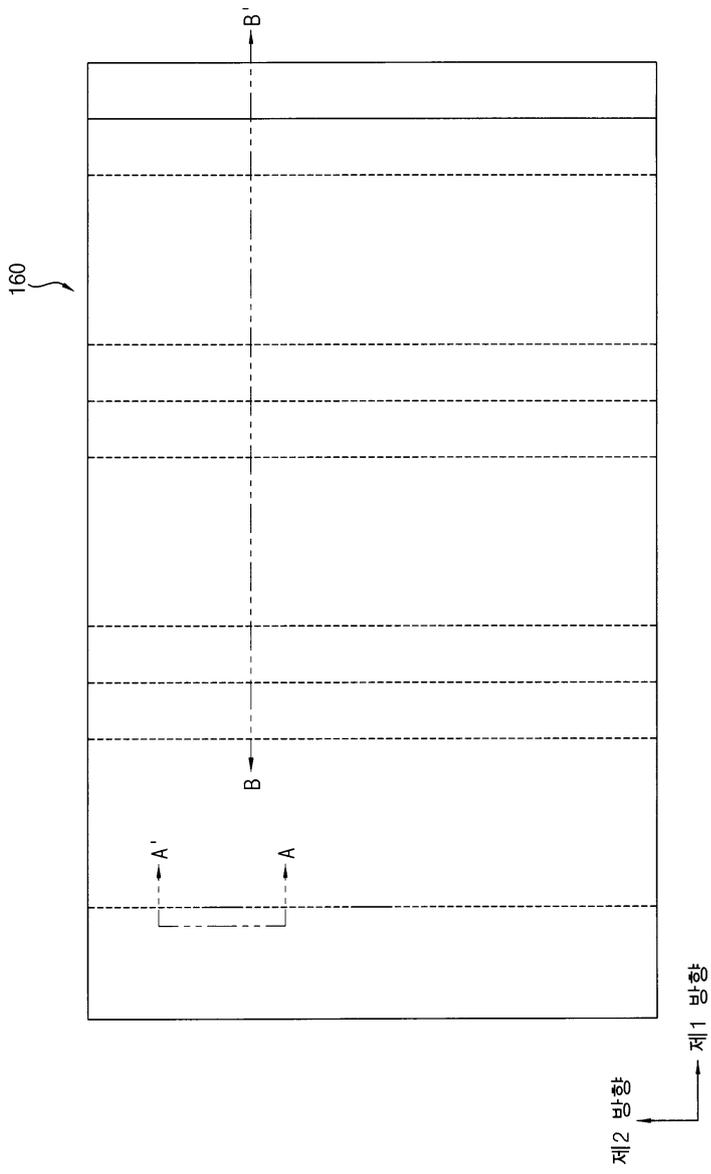
- [0049] 상기 매립 도전 패턴(194), 셀 콘택 플러그들(196) 및 관통 비아 콘택들(198)은 동일한 증착 및 평탄화 공정을 통해 형성되므로, 동일한 금속 물질을 포함할 수 있다. 상기 금속 패턴은 예를 들어, 텅스텐, 티타늄, 탄탈륨, 백금, 코발트 등의 전기 저항이 낮은 금속을 포함할 수 있고, 상기 베리어 패턴은 예를 들어, 티타늄 질화물, 탄탈륨 질화물 등의 금속 질화물을 포함할 수 있다.
- [0050] 예시적인 실시예에서, 상기 금속 패턴은 화학 기상 증착 공정을 통해 형성할 수 있다. 일 예로, 상기 금속 패턴은 텅스텐을 포함할 수 있다. 화학 기상 증착 공정을 통해 텅스텐을 증착하는 경우, 텅스텐 소오스 가스로 예를 들어 WF6를 사용할 수 있고, 환원 가스로 SiH4 및/또는 B2H6를 사용할 수 있다.
- [0051] 예시적인 실시예에서, 상기 평탄화 공정은 화학 기계적 연마 공정을 포함할 수 있다. 예시적인 실시예에서, 상기 스페이스 절연막(186)의 상부면이 노출되도록 상기 평탄화 공정이 수행될 수 있다. 일부 예시적인 실시예에서, 상기 채널 구조물(170a)의 상부면이 노출되도록 상기 평탄화 공정이 수행될 수도 있다.
- [0052] 상기 평탄화 공정에 의해 상기 매립 도전 패턴(194), 셀 콘택 플러그들(196) 및 관통 비아 콘택들(198)이 형성되므로, 상기 매립 도전 패턴(194), 셀 콘택 플러그들(196) 및 관통 비아 콘택들(198)의 상부면들은 동일한 평면에 위치할 수 있다.
- [0053] 상기 셀 콘택 플러그들(196)의 저면은 상기 게이트 전극들(180)과 각각 접촉함으로써, 상기 셀 콘택 플러그들(196)은 상기 게이트 전극들(180)과 전기적으로 연결될 수 있다. 또한, 상기 관통 비아 콘택들(198)의 저면은 상기 제2 하부 도전 패턴(106b)과 접촉할 수 있다. 상기 관통 비아 콘택들(198)은 상기 제2 하부 도전 패턴(106b)을 통해 페리 회로들과 전기적으로 연결될 수 있다.
- [0054] 한편, 상기 워드 라인 커팅 영역의 제1 개구부 내에는 상기 제1 방향으로 연장되는 매립 도전 패턴(194)이 구비될 수 있다. 상기 매립 도전 패턴(194)은 측벽 및 저면이 상기 스페이스 절연막(186)에 의해 둘러싸여 있다. 따라서, 상기 매립 도전 패턴(194)은 다른 패턴들과 전기적으로 연결되지 않고, 상기 제1 개구부(172) 내부를 채우는 물질로만 기능할 수 있다.
- [0055] 설명한 것과 같이, 상기 제1 개구부(172) 내부를 별도의 공정을 통해 절연 물질로 완전하게 채우지 않고, 후속의 콘택 플러그의 형성 공정을 수행할 때 도전 물질로 상기 제1 개구부(172) 내부를 함께 채울 수 있다. 상기 제1 개구부(172) 내부를 채우는 공정이 생략되어 공정이 단순해질 수 있다.
- [0056] 이 후, 도시하지는 않았지만, 상기 매립 도전 패턴(194), 셀 콘택 플러그들(196), 관통 비아 콘택들(198) 및 스페이스 절연막 상에 상부 층간 절연막을 형성하고, 상기 셀 콘택 플러그들(196), 관통 비아 콘택들(198)과 각각 연결되는 상부 배선들을 형성하는 공정이 더 수행될 수 있다.
- [0057] 상기 공정을 통해 수직형 메모리 소자가 제조될 수 있다.
- [0058] 이하에서는, 상기 설명한 수직형 메모리 소자의 구조적 특징에 대해서도 13 및 도 14를 참조로 하여 간단히 설명한다.
- [0059] 도 13 및 도 14를 참조하면, 기판(100) 상에 페리 회로들을 포함하는 하부 구조물이 구비되고, 상기 하부 구조물 상에 상기 셀 적층 구조물(182)이 구비된다. 상기 셀 적층 구조물(182)의 저면 아래에는 상기 셀 적층 구조물(182)과 이격되어 공통 소오스 패턴(128)이 구비될 수 있다.
- [0060] 상기 셀 적층 구조물(182) 내에는 상기 제1 개구부(172)가 구비될 수 있다. 상기 제1 개구부(172)는 워드 라인 커팅 영역으로 제공될 수 있다. 상기 셀 적층 구조물(182)을 덮는 제1 층간 절연막(178)이 구비될 수 있다.
- [0061] 상기 셀 적층 구조물(182)의 패드 영역 상에 배치되는 제1 층간 절연막(178)을 관통하여 각 게이트 전극(180)의 상부면 가장자리 부위와 접하는 셀 콘택 플러그들(196)이 구비될 수 있다.
- [0062] 상기 셀 적층 구조물들(182)의 패드 영역의 일부분 또는 상기 셀 적층 구조물들(182)과 이격되는 부위를 관통하여 상기 하부 구조물에 포함되는 제2 하부 도전 패턴(106b)과 접촉하는 상기 관통 비아 콘택들(198)이 구비될 수 있다.

도면

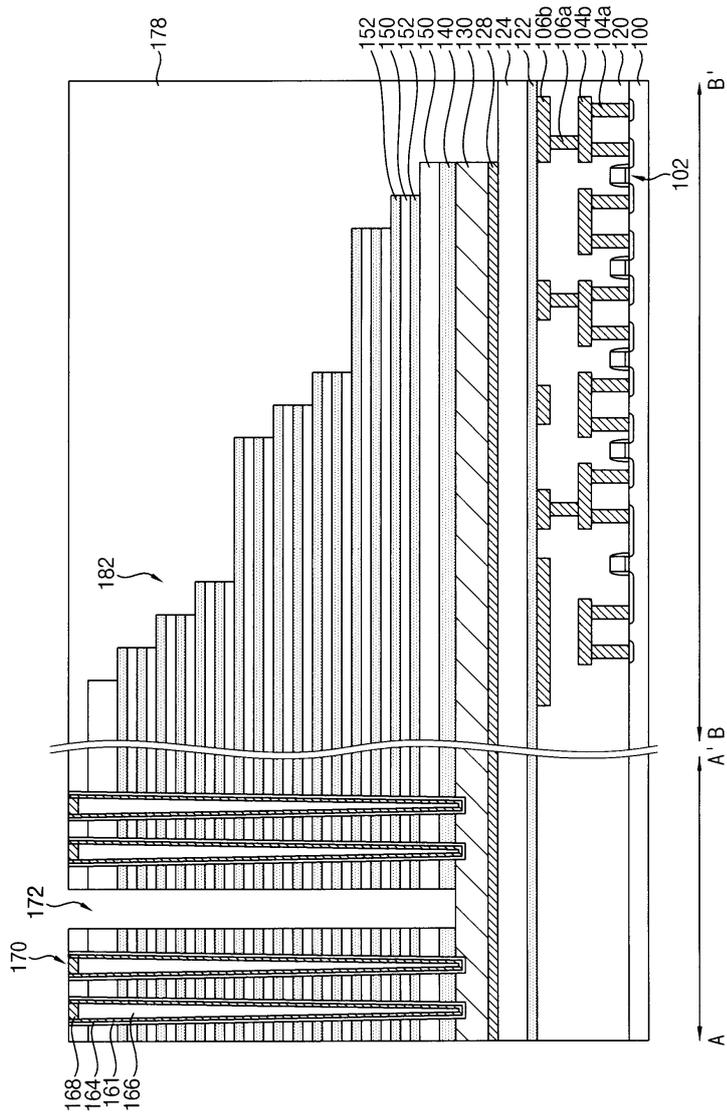
도면1



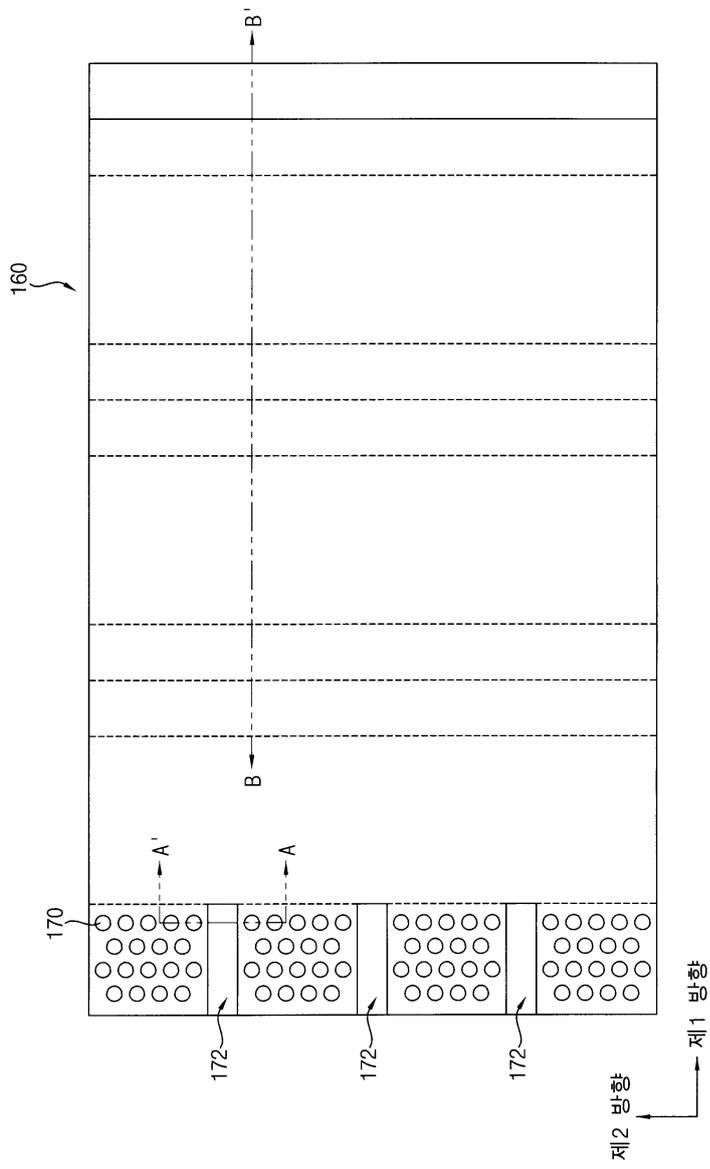
도면2



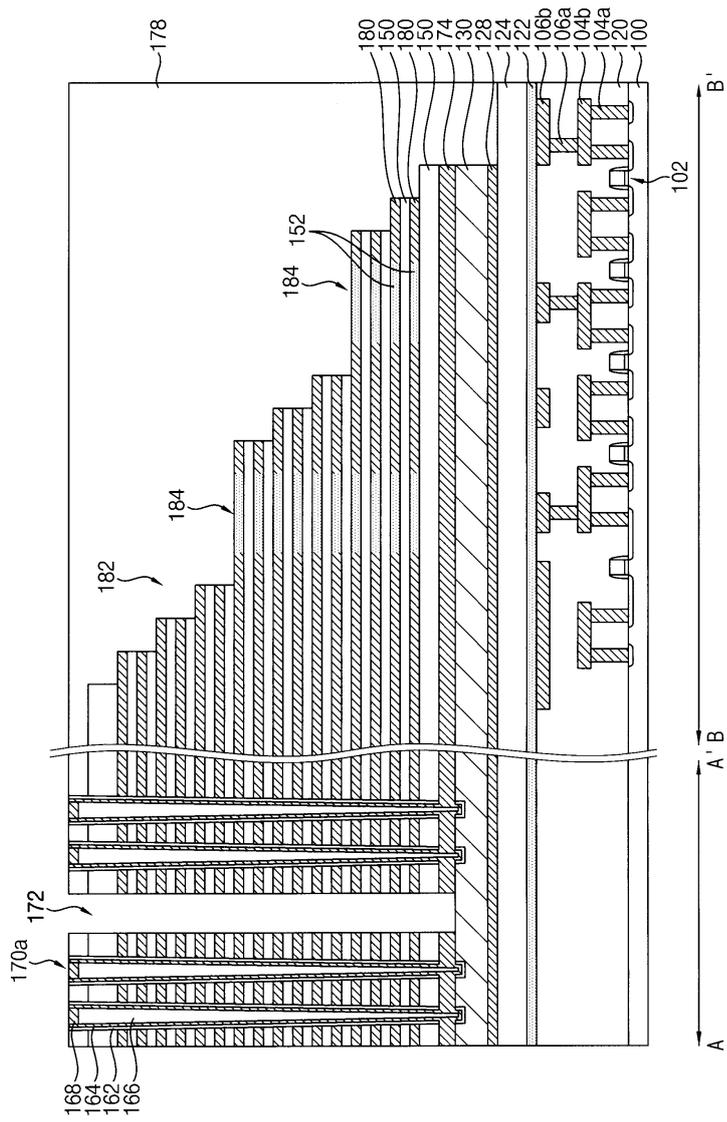
도면3



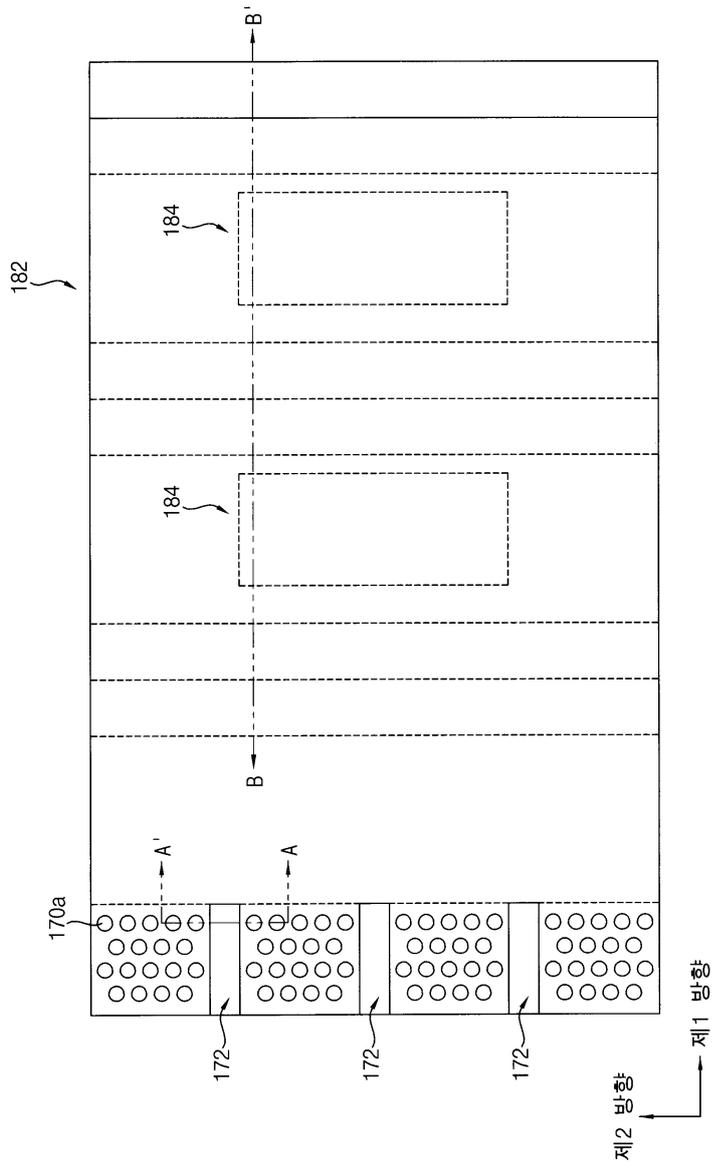
도면4



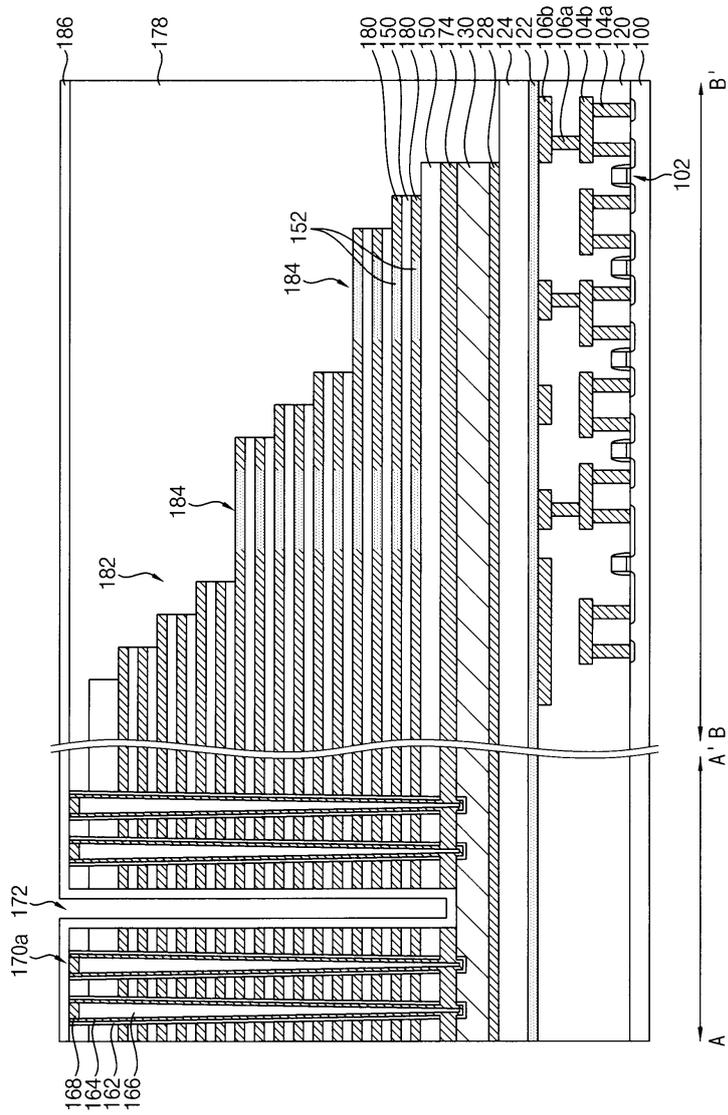
도면5



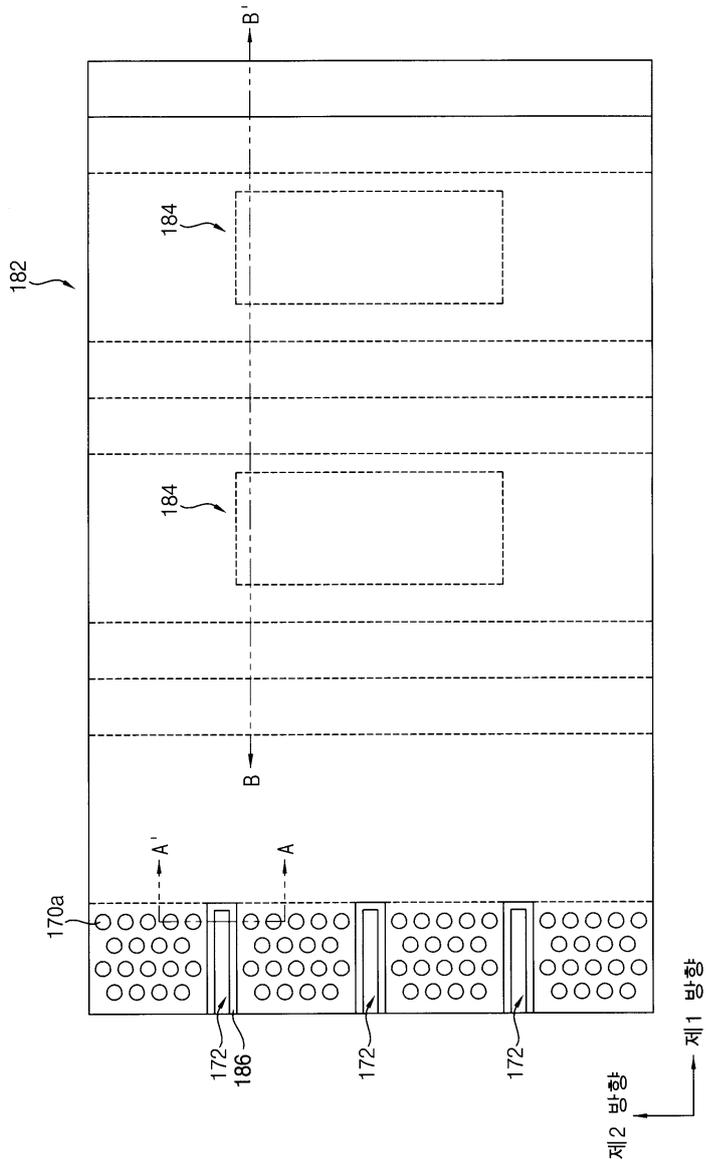
도면6



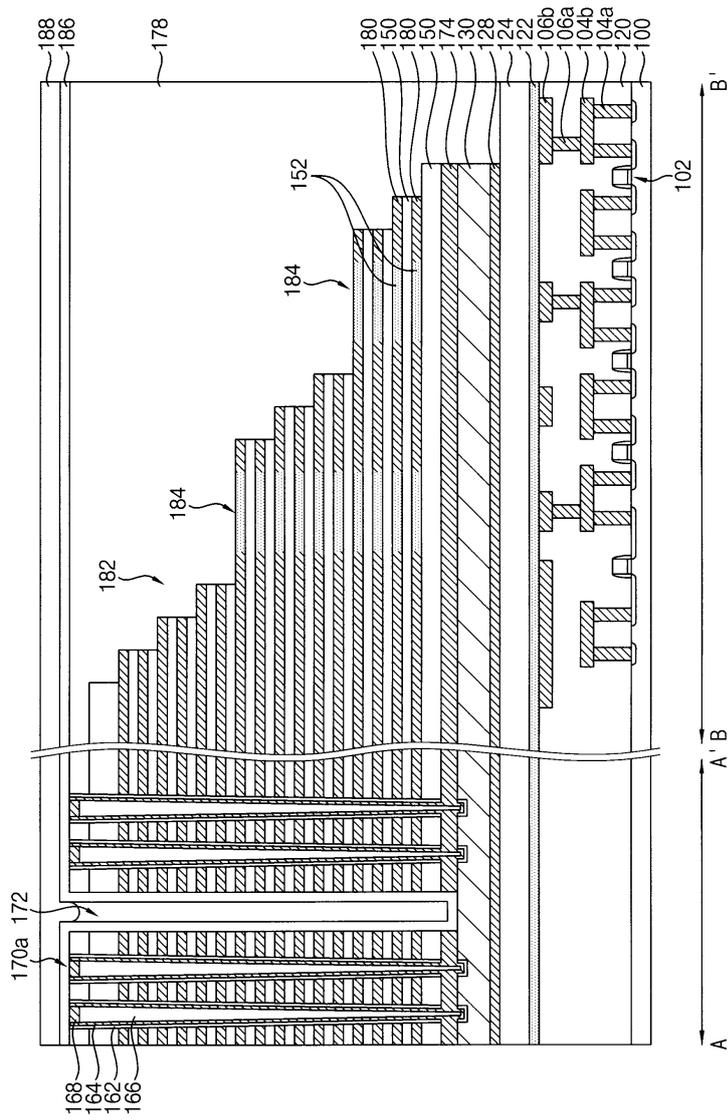
도면7



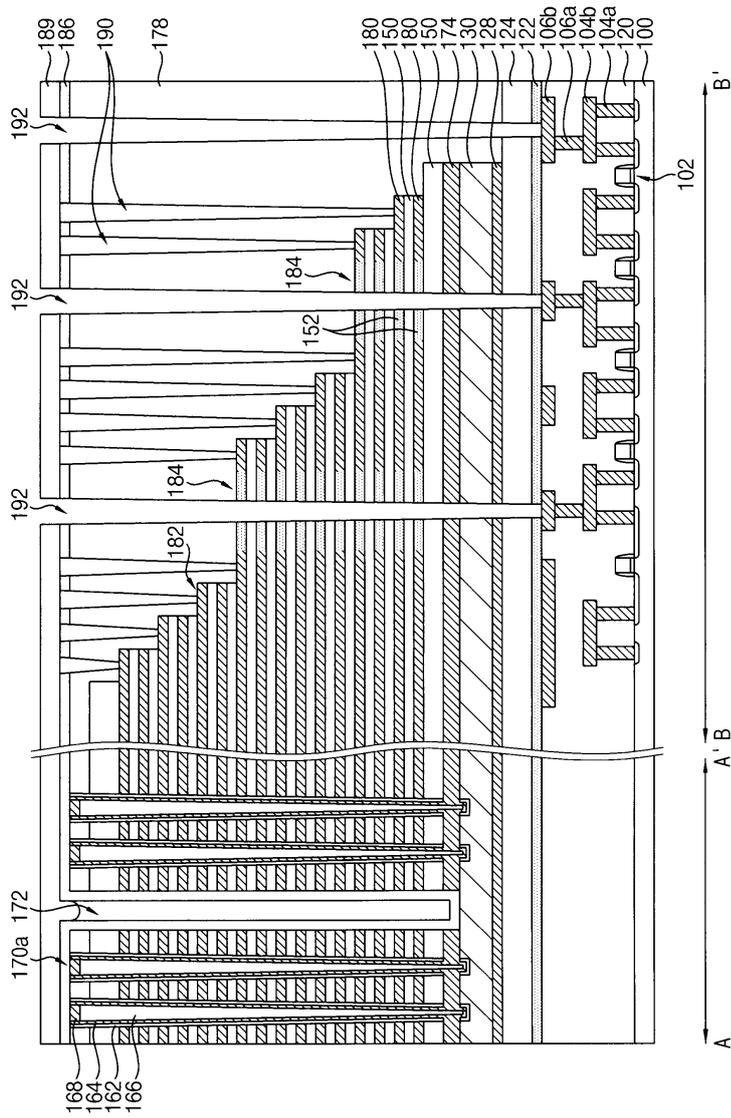
도면8



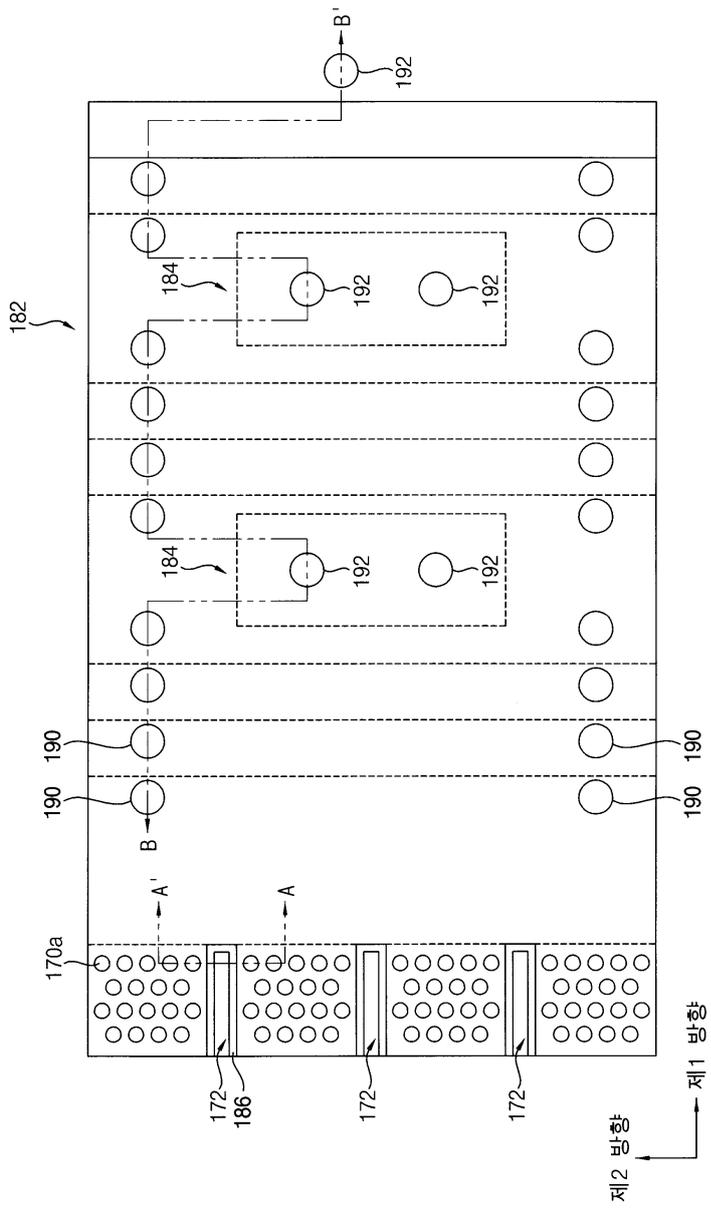
도면9



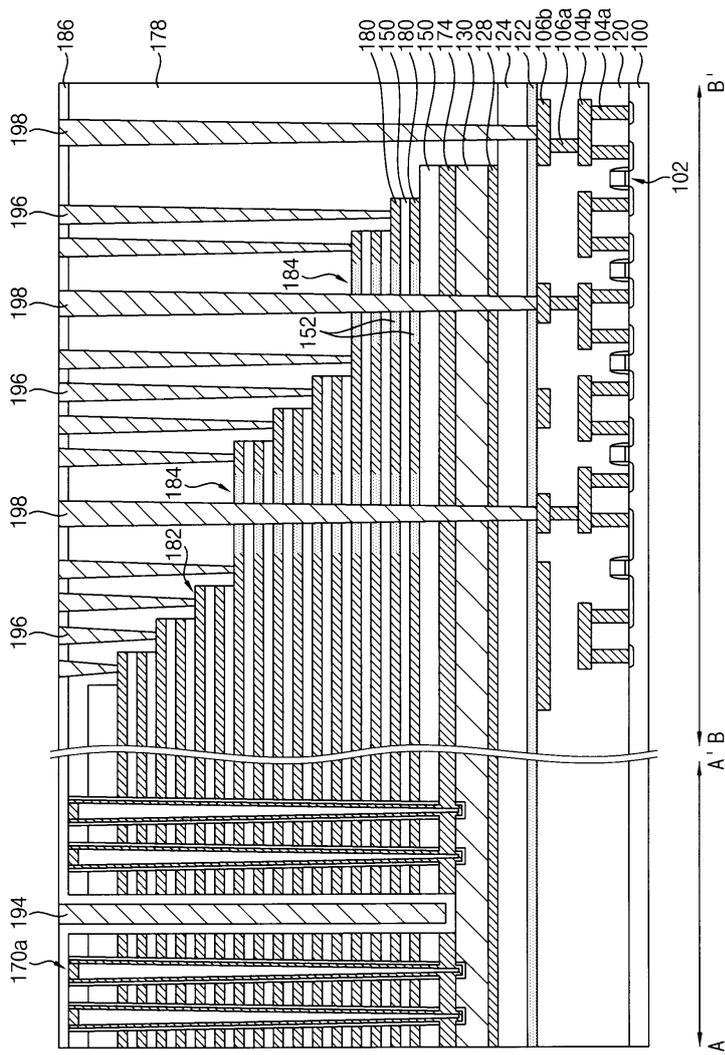
도면11



도면12



도면13



도면14

