

[12] 发明专利说明书

[21] ZL 专利号 95114846. X

[45] 授权公告日 2001 年 7 月 11 日

[11] 授权公告号 CN 1068473C

[22] 申请日 1995.4.6 [24] 颁证日 2001.3.29

[21] 申请号 95114846. X

[30] 优先权

[32] 1994.4.7 [33] GB [31] 9406866.5

[73] 专利权人 RCA. 汤姆森许可公司

地址 美国新泽西州

[72] 发明人 W·登霍兰达

[56] 参考文献

GB 1481786	1977. 9. 13	H03B3/04
US 4291274	1981. 9. 22	H03D13/00
US 5061904	1991. 10. 29	H03L7/091

审查员 田东青

[74] 专利代理机构 中国专利代理(香港)有限公司

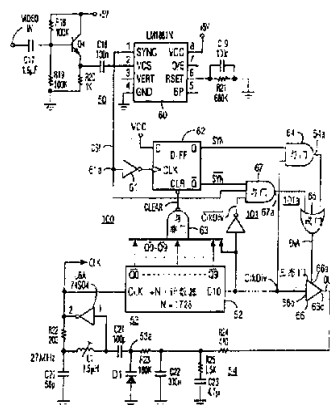
代理人 吴增勇 马铁良

权利要求书 3 页 说明书 5 页 附图页数 2 页

[54] 发明名称 锁相环的鉴相器

[57] 摘要

一种锁相环电路包括鉴相器(101a, 62)用于产生频率高于电视信号(V IDEOIN)行频的时钟信号(CLK)。鉴相器包括在出现水平同步脉冲(CSI)时置位的触发器(62)。提供分频的计数器(52)的输出(Q0 - Q9)被解码,以便对触发器每个水平周期进行复位。除了该触发器外,对计数器的计数级而言仅使用组合逻辑部件(101a)以产生相位误差指示信号(OUT),该信号(OUT)经低通滤波器(54)耦合到锁相环电路的振荡器(53)的控制输入端(53a)。





权 利 要 求 书

1. 一种锁相环电路, 包括:

可控振荡器 (53);

同步信号 (CSI) 源 (50);

信号存储触发器 (62), 响应所述同步信号, 用于在出现所述同步信号的边沿 (LE1 / LE2) 时产生第一状态的触发器输出信号 (SYN), 所述输出信号在所述第一状态和一个第二状态 (H/L) 之间交变; 所述锁相环电路的特征在于还包括:

解码器 (101a), 用于将所述同步信号经由所述同步信号的信号通路加到所述解码器 (66c) 的一个输出端, 该解码器包括所述触发器以在所述解码器的所述输出端产生相位差指示信号 (OUT), 所述相位差指示信号是根据所述同步信号和所述振荡器 (53) 的一个输出信号 (CLK) 之间的相位差产生的, 以致对于正和负两种相位差而言, 在同步信号的所述源和所述解码器的所述输出之间没有其他触发器包含在所述同步信号的任何信号路径内; 和

低通滤波器 (54), 响应所述相位差指示信号 (OUT) 并耦合到所述振荡器的控制输入端 (53a), 用于以锁相环方式控制所述振荡器, 致使在稳态锁相操作下, 所述振荡器输出信号边沿 (CE) 与所述同步信号的所述边沿对齐。

2. 根据权利要求 1 的锁相环电路, 其特征在于: 一个计数器 (52) 响应所述振荡器输出信号 (CLK) 用以对所述振荡器输出信号分频, 所述计数器被耦合到所述解码器 (101a) 以便对所述振荡器输出信号的所述边沿 (CLK) 提供时序信息。

3. 根据权利要求 2 的一种锁相环电路, 其特征在于: 所述计数器 (52) 被耦合到所述触发器 (62), 以产生所述第二状态 (SYN =



低)的所述触发器输出信号。

4. 根据权利要求3的锁相环电路,其特征在於:所述计数器(52)产生一个第一信号(C1KDiv)和其中所述相位差指示信号(OUT)脉冲的脉宽是根据当所述触发器输出信号(SYN)响应所述同步信号(CSI)呈现所述第一态(SYN=高)时的时刻(LE1)和所述第一信号出现时刻(TT1)之间的间隔长度来确定的。

5. 根据权利要求4的锁相环电路,其特征在於:所述计数器(52)产生一个相对于所述第一信号时移的第二信号(CLEAR),其中所述同步信号(CSI)是从一视频信号(VIDEOIN)导出并包括水平比率信号和所述水平比率信号的给定脉冲(CSI)对之间的一个均衡脉冲(EQ)以及其中在所述水平比率信号的一个给定周期内,所述第二信号引起所述触发器(62)跟随所述均衡脉冲的出现,以防止所述均衡脉冲影响所述相位差指示信号(OUT)的方式,呈现所述第二状态。

6. 根据权利要求1的锁相环电路,其特征在於:所述相位差指示信号脉冲(OUT)在所述相位差为正时处于第一幅度(高)和在所述相位差为负时处于第二幅度(低)。

7. 根据权利要求1的锁相环电路,其特征在於:一个计数器(52)响应所述振荡器输出信号(CLK),用以产生较低频率的第一信号(C1KDiv)其中所述解码器(101a)包括一个三态门(66),该门(66)将所述计数器的所述第一信号耦合到所述门的输出端(66c)以在所述输出端产生所述相位误差指示信号(OUT)脉冲。

8. 根据权利要求1的锁相环电路,其特征在於:计数器(52)响应所述振荡器输出信号(CLK),用于产生耦合到所述解码器(101a)的第一信号(C1KDiv),其中当所述同步信号(CSI)相位超前所述第一信号时所述相位差指示信号(OUT)脉冲有一个响应所述触发器输出信号(SYN)的前沿和响应所述第一信号出现的后沿(TT1),而



当所述同步信号相位滞后所述第一信号时，所述脉冲有一个响应所述第一信号出现的前沿（TT2）和一响应所述触发器输出信号的后沿。

9. 根据权利要求 8 的锁相环电路，其特征在于：所述计数器（52）产生第二信号（CLEAR），该信号是相对所述第一信号时移的用于对所述触发器（62）进行初始化和用于使其在一给定的所述同步信号（CSI）周期内呈现所述第二状态（SYN=低）。

10. 根据权利要求 8 的锁相环电路，其特征在于：所述触发器（62）是在所述计数器（52）和所述解码器的所述输出端（66c）之间任何信号路径中的唯一存储级。

11. 根据权利要求 1 的锁相环电路，其特征在于：所述同步信号（CSI）以旁通所述触发器（经 67）的方式耦合到所述解码器（101a），用以使所述相位误差指示信号（OUT）能在正常操作下产生并用以在所述同步信号被遗漏时禁止所述相位误差指示信号的产生。



说明书

锁相环的鉴相器

本发明涉及用于产生锁相环时钟信号的装置。

具有诸如屏上显示文本和画中画 (picture-in-picture) 等性能用于电视机和磁带录象机信号源的数字式视频信号处理系统可能要求锁相于称为行同步时钟的水平同步信号的时钟信号。一般锁相环 (PLL) 系统即为产生行同步时钟而形成。通常, 这种 PLL 需要一鉴相器和一计数器。

在鉴相器中产生一个与水平同步信号的占空因数无关的相位误差指示信号可能是理想的。产生这样一种时钟信号, 即在相位同步条件下, 时钟边沿与同步信号的边沿对齐或近似同时发生, 也可为理想的。更为理想的可能做法产生这样一种相位误差指示信号, 致使水平同步信号被加到鉴相器中的仅仅一个触发器而该同步信号没有任何信号通路包括鉴相器的另一触发器。这样, 当相位误差为正和负时均仅用一个触发器。从而简化了鉴相器的电路。

本发明的目的是提供一种锁相环电路。

体现本发明一个方面的锁相环电路包括一个可控振荡器和一同步信号源。一个触发器响应同步信号, 在同步信号出现的边沿, 产生第一状态的触发器输出信号, 该输出信号在该第一状态和一个第二状态之间交变。一个解码器用于将同步信号经由包含该触发器的同步信号的信号通路加到所述解码器的输出端。在解码器输出端产生相位差指示信号。该相位差指示信号是根据同步信号和振荡器的输出信号之间的相位差产生的。对于正和负两种相位差而言, 没有其他触发器包含在同步信号源和解码器输出端之间的同步信号的任何信号通路内。一个低通滤波器响应相位差指示信号和耦合到振荡器的控制输入端, 用

于以锁相环方式控制振荡器。在稳态相位同步操作下,振荡器输出信号的边沿是与同步信号边沿对齐的。

图 1 以方块图形式部分示出体现本发明一个方面,包含一鉴相器的锁相环(PLL);和

图 2a-2f 是用于说明图 1PLL 操作的波形图。

图 1 表示一锁相环电路(PLL)100 的一个方块图,PLL100 体现本发明的一个方面,包括一鉴相器 101。例如从电视接收机的视频检波器(未示出)获得的基带亮度视频信号 VIDEO-IN 被耦合到一个传统同步分离器 50,该分离器 50 产生水平同步信号 CSI 的脉冲,该信号脉冲具有水平偏转频率 f_H 下的周期 H,也就是例如在 NTSC 标准中 f_H 为 $15734H_z$ 。

输出信号 CLKDiv 是通过在 PLL100 在压控振荡器 53 中产生的振荡输出信号 CLK 进行分频在输出端 Q10 上产生的经 N 分频二进制计数器 52 的 11 个输出 Q0-Q10 的最大有效位。信号 CLK 可用于电视接收机的不同阶段(未示出),供视频信号处理之用。在稳态操作下,信号 CLK 的频率等于 $N \times f_H$ 。值 N 表示信号 CLK 的频率与信号 CLKDiv 的频率之比。值 N 例如可等于 1716。

图 2a-2f 示出有助于解释图 1 电路图操作的波形。图 1 与 2a-2f 中的相似符号和数码指示相似的项目或功能。

存储器单元的清零输入 CLR 或图 1D 型触发器 62 接收在 NAND 门 63 的一个输出端产生的低(Low)态清零信号 CLEAR。在计数器 52 的一个给定周期 H 中,当在输出端 Q0-Q9 产生的 10 个最低有效反向信号的每一个处于高态(HIGH),而信号 CLKDiv 在非反向输出端 Q10 产生的最高有效位处于高态(HIGH)时,产生信号 CLEAR。这样,在图 2a 的时间 TR(1)或 TR(2),图 1 的信号 CLEAR 到达低状态(LOW)。当信号 CLEAR 处于低态时,触发器 62 被锁定至复位状态,在此状态下输出端 Q 上产生的是图 2C 的信号 SYN,处于低电位,同时触发器 62 的反向输出端 Q 产生的信号 SYN 处于高状态。信号 CLEAR 提供每个水平周期 H 中对触发器 62 的初始化。

当调谐电视接收机以接收一电视台时,一旦在图 1 的信号 VIDEOIN

中出现一水平同步脉冲便产生图 2b 的水平同步信号脉冲 CSI 的有从高一到低跃变的前沿 LE(1)或 LE(2)。图 2b 的两信号脉冲之间为高状态。

触发器 62 的输入端 D 接收高状态的信号 VCC。当图 2b 的信号 CSI 出现前沿 LE(1)或 LE(2)时,图 1 的触发器 62 的触发边沿被锁定于置位状态,在此状态下,在图 1 触发器 62 的非反向输出端 Q 产生的图 2c 的输出信号 SYN 到达高状态。信号 CLKDiv 有一个与图 2c 的信号 SYN 作相位比较的图 2a 的后沿 TT(1)或 TT(2)。

在第一实例中,图 2b 左侧所示前沿 LE(1)出现在图 2a 的信号 CLKDiv 已处于高状态时。第一实例描绘了这样一种情况,作为由前沿 LE(1)确定的图 2b 的信号脉冲 CSI 的相位滞后作为由信号 CLKDiv 的后沿 TT(1)确定的图 2a 信号 CLKDiv 的相位。因此,接收信号 SYN 和 CLKDiv 的与门 64 的图 1 输出信号 64a 处于图 2b 的沿 LE(1)和图 2a 的沿 TT(1)之间的高状态。

图 1 的输出信号 64a 经或(OR)门 65 耦合到三态门 66 的允许输入端 66a 以在图 1 的输入端 66a 产生图 2a 的允许信号 ENA。信号 CLKDiv 被耦合到门 66 的输入端 66b。信号 ENA,在出现图 2b 的边沿 LE(1)的时间和出现图 2a 的沿 TT(1)的时间之间处于高状态。所以,图 1 的信号 ENA 使得也处于高状态的信号 CLKDiv 能耦合到门 66 的输出端 66c,用于产生图 1 和 2e 的高状态输出信号 OUT。

这样,从信号 CLKDiv 产生有一峰值的高状态相位差指示信号脉冲 OUT。就在图 2b 的边沿 LE(1)和图 2a 的边沿 TT(1)之间的间隔前和后,形成图 2d 信号 ENA 的脉冲宽度,图 1 的输出端 66c 处于高阻抗状态。信号 OUT 的脉宽与相位误差或相位差成比例。信号 OUT 经构成 PLL100 的环路滤波器的传统低通滤波器 54 被耦合到振荡器 53 的控制输入端 53a,用以控制信号 CLK 的相位和频率。

在第二实例中,图 2a 的右侧所示前沿 LE(2)出现在图 2a 的信号 CLKDiv 已处于低状态时。该第二实例描绘的情况是:作为由前沿 LE(2)确定的图 2a 的信号 CSI 相位滞后于作为由后沿 TT(2)所确定的图 2a 的信号 CLKDiv 的相位。因此接收信号 SYN 和 CLKDiv 的与门 67 的图 1 输出信号 67a 在图 2a 的边沿 TT(2)与图 2b 的边沿 LE(2)之间为高状态。

图 1 的输出信号 67a 经或门 65 耦合到三态门 66 的允许输入端 66a 用于在图 1 输入端 66a 产生图 2d 的允许信号 ENA。信号 CLKDiv 被耦合到门 66 的输入端 66b。在出现图 2a 边沿 TT(2)时和出现图 2b 边沿 LE

(2)时之间的时间,信号 ENA 处于高态,所以,图 1 的信号 ENA 使得处于低态的信号 CLKDiv 能耦合到门 66 的输出端 66c。结果,使图 1 和 2e 的输出信号 OUT 以低态产生。这样,产生有低态峰值的相位差指示信号脉冲 OUT。

就在形成图 2d 的信号 ENA 脉冲宽度的图 2a 的边沿 TT(2)和图 2b 的边沿 LE(2)之间间隔的前,后,图 1 输出端 66c 处于高阻抗状态。信号 OUT 的脉冲宽度正比于图 2b 的前沿 LE(2)与图 2a 边沿 TT(2)之间的相位误差或时差。有利之处在于信号 OUT 与每个信号 CSI 和信号 CLKDiv 的占空因数无关。因此图 1 的 PLL100 可有利地不受信号 CSI 的占空因数任何变化的影响,而这种变化可能由于,例如,噪声或信号接收偏差而引起。

在相位同步状态下,图 2a 的边沿 TT(2)或 TT(1)同图 2f 的信号 CLK 的时钟沿 CE 紧接之后或几乎同时出现。因此在相位同步操作状态下信号 CLK 和 CSI 的这两边沿是对齐的。使图 2f 的信号 CLK 的时钟沿 CE 同图 2a 的边沿 TT(1)或 TT(2)对齐可有助于对图中未示的利用信号 CLK 的视频设备的其他阶段中的信号进行处理。

按本发明一个特性,耦合到触发器 62 的图 1 信号 CSI 在产生信号 OUT 的过程中不加入到任何其他信号存储级。门 64,65,67 和 66 构成相位检波器的解码器 101a。解码器 101a 完全由组合的逻辑级构成。这样,当相位差为正和负时,除了触发器 62 以外没有触发器耦合到在产生信号 CSI 的端 61a 和产生信号 OUT 的端 66c 之间形成的信号通路。仅用一个触发器的结果便是简化了相位检波器的电路。

在第三实例中,电视接收机未被调谐到接收任何视频信号,导致遗漏图 1 的信号 VIDEO-IN 同步分离器 60 的操作致使当不出现同步脉冲时,例如在电视接收机未调谐接收到某一发送台时,信号 CSI 继续处于低态。由于信号 CLEAR 的作用,使触发器 62 处于复位态和信号 SYN 处于低态。由于低态的信号 CSI 禁止通过门 67 去产生信号 ENA。当门 67 被禁止时,由于不产生信号 ENA 结果使端 66a。未被驱动并在端 66c 产生高阻抗,所以,有利的是当,例如在信号 CSI 中出现短时长中断时,滤波器 54 和振荡器 53 不受干扰。此外,当连续遗漏视频信号 VIDEO-IN 时,振荡器 53 将操作在一个标称自激频率下。

按照本发明另一个特性,图 2a 的信号 CLKDiv 具有大于 1:1 的低—高比,例如为 2:1。因此,当出现图 2a 的边沿 TR(1)或 TR(2)时出现的图 1

信号 CLEAR 将使图 1 的触发器 62 能将接着出现在信号 CSI 中的图 2b 的均衡脉冲 EQ 复位。因此,出现在垂直回扫期间的均衡脉冲 EQ 将不干扰 PLL100 的操作,因为它们并不影响跟随图 2a 的边沿 TR(1)或 TR(2)的信号 SYN。

除了为分频目的所需计数器 52 的触发计数级以外,只需要一个附加触发器,即触发器 62。解码器 101a 的所有其他逻辑级均是较少存储器 (memory-less) 或组合逻辑级。正如前面已解释过,PLL100 的有利结构在于:在产生信号 CSI 的端 61a 与产生信号 OUT 的端 66c 之间的任何信号通路中,除了触发器 62 以外没有附加存储器元件。因此,当相位差无论是正还是负时在信号 CSI 的任何信号通路中,触发器 62 是唯一的触发器。

说明书附图

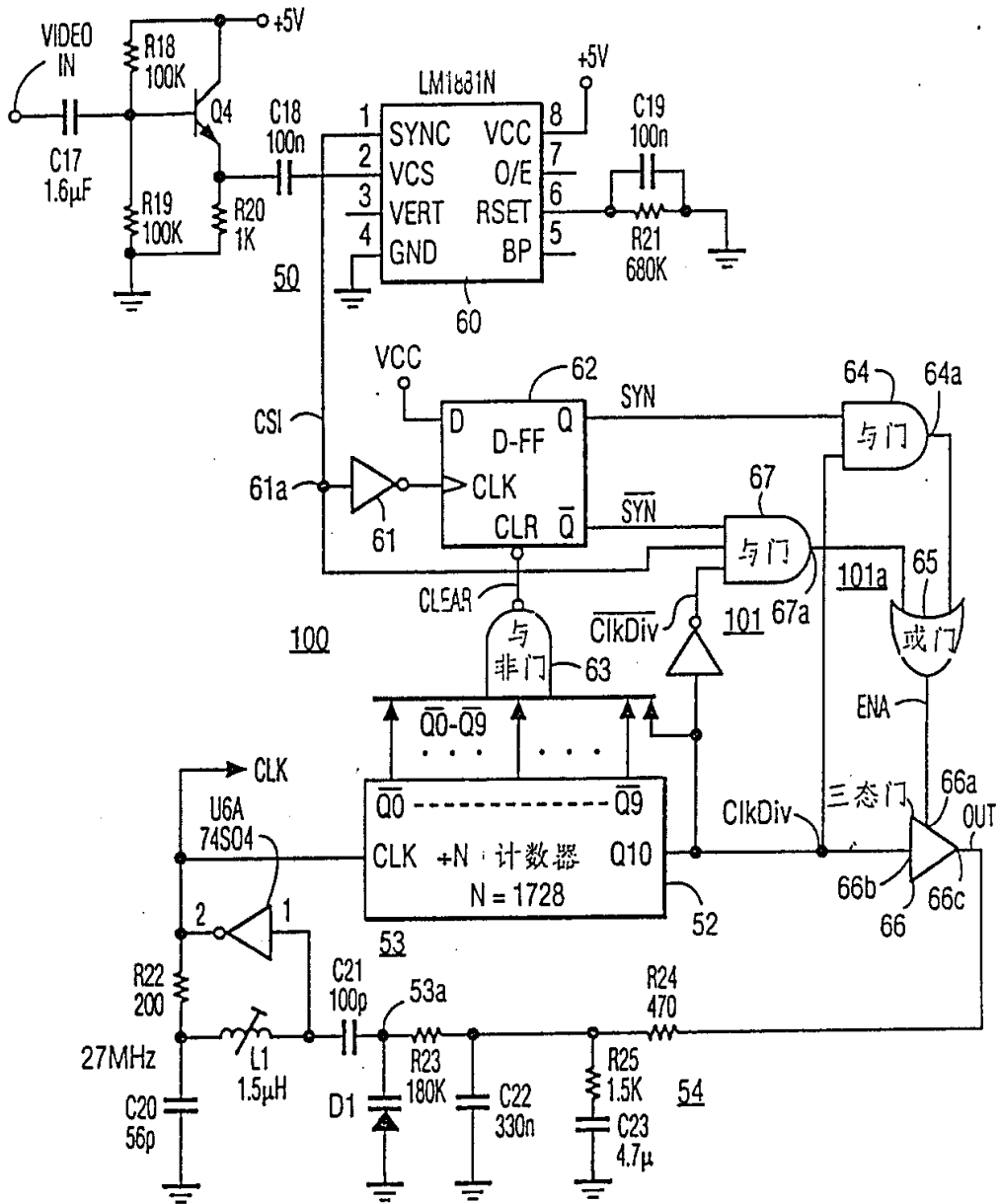


图 1

