



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I483453 B

(45) 公告日：中華民國 104 (2015) 年 05 月 01 日

(21) 申請案號：100113139

(22) 申請日：中華民國 100 (2011) 年 04 月 15 日

(51) Int. Cl. : **H01P1/20 (2006.01)**

(71) 申請人：國立台灣大學(中華民國) NATIONAL TAIWAN UNIVERSITY (TW)

臺北市大安區羅斯福路 4 段 1 號

(72) 發明人：吳宗霖 WU, TZONG LIN (TW)；歐陽逸賢 AO IEONG, IN IAT (TW)

(74) 代理人：郭雨嵐；林發立

(56) 參考文獻：

「Low-Temperature Cofired Ceramic LC Filters for RF Applications」, Published in: Microwave Magazine, IEEE (Volume:9, Issue: 5), Date of Publication: Oct. 2008, Page(s): 118 - 128.

「A compact second-order LTCC bandpass filter with two finite transmission zeros」, Published in: Microwave Theory and Techniques, IEEE Transactions on (Volume:51, Issue: 2), Date of Publication: Feb. 2003, Page(s): 337 - 341.

「Design and Analysis of Vertical Split Ring Resonator and Its Application to Unbalanced-Balanced Filter」, Published in: Microwave Theory and Techniques, IEEE Transactions on (Volume:58, Issue: 1), Date of Publication: Jan. 2010, Page(s): 157 - 164.

「A Broadband and Miniaturized Common-Mode Filter for Gigahertz Differential Signals Based on Negative-Permittivity Metamaterials」, Published in: Microwave Theory and Techniques, IEEE Transactions on (Volume:58, Issue: 1), Date of Publication: Jan. 2010, Page(s): 195 - 202.

審查人員：謝裕民

申請專利範圍項數：16 項 圖式數：16 共 37 頁

(54) 名稱

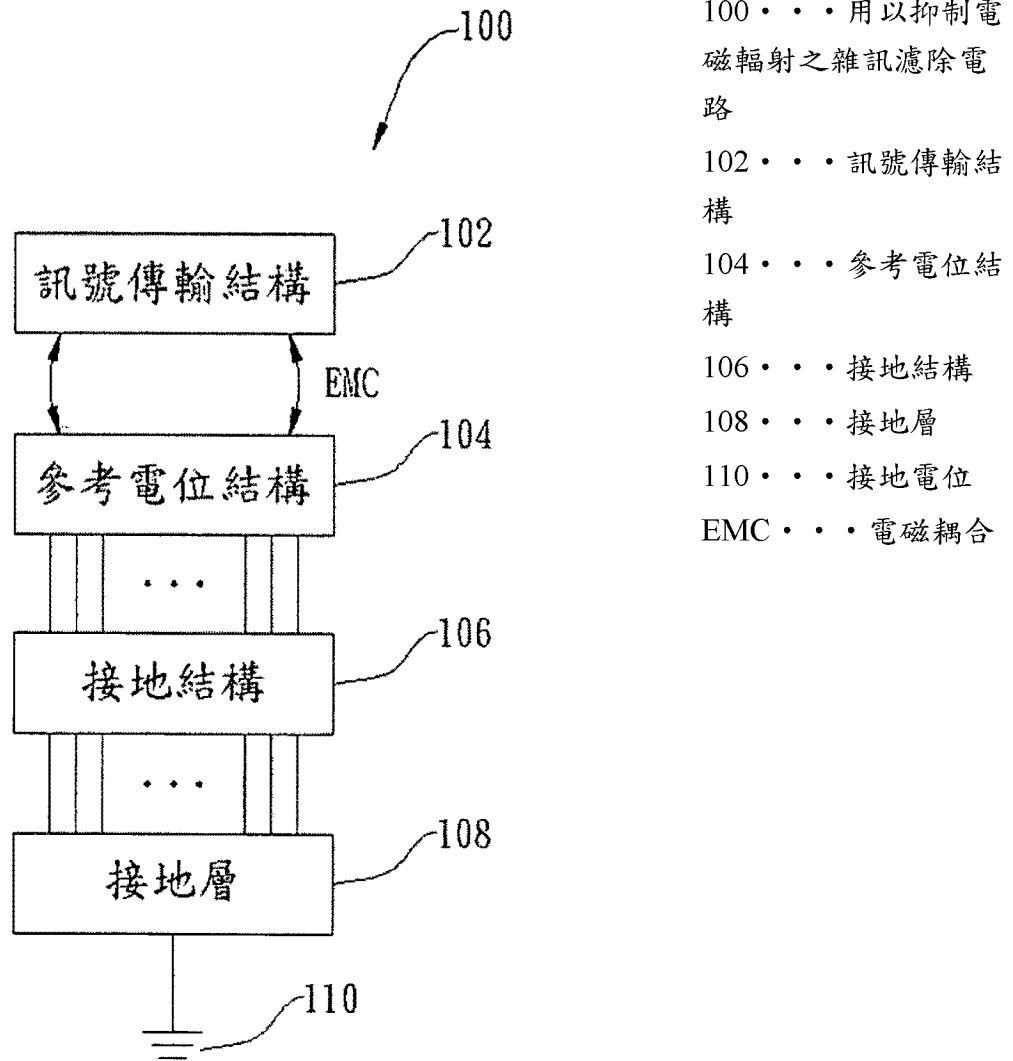
用以抑制電磁輻射 (EMI) 之雜訊濾除電路

NOISE FILTERING CIRCUIT FOR SUPPRESSING EMI

(57) 摘要

本發明提供一種用以抑制電磁輻射之雜訊濾除電路，係用以濾除數位訊號於傳輸時之高頻倍頻雜訊，該雜訊濾除電路包括由導體所形成之參考電位結構、由一條傳輸導體所形成之訊號傳輸結構、接地層以及電性連接至該參考電位結構與該接地層之接地結構；其中該接地結構係電性連接至該參考電位結構與該接地層，用以配合該參考電位結構與該訊號傳輸結構之間所產生之電磁耦合以及該接地結構本身所形成之電感，而共同形成電感-電容共振架構，俾使數位訊號於特定頻率下得到雜訊濾除，而讓數位訊號的基頻部分(passband)得以傳輸。

A noise filtering circuit for suppressing EMI is provided, which includes a reference voltage structure constituted by conductors, a signal transmitting structure constituted by a transmission conductor, a ground layer, and a ground structure connecting electrically to the reference voltage structure and the ground layer. The ground structure is configured to form an inductor-capacitor oscillating structure in coordination with the electric-magnetical coupling between the reference voltage structure and the signal transmitting structure as well as the inductance of the ground structure, so that a digital signal is filtered in a specific frequency and the passband of the digital signal can be transmitted.



第一圖

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種用以抑制電磁輻射(EMI)之雜訊濾除電路，更詳而言之，係關於一種能夠在寬頻頻帶內濾除高速數位訊號之高頻倍頻成分的雜訊濾除電路，可讓數位訊號的基頻部分(passband)得以傳輸。

【先前技術】

隨著消費性電子產品的快速發展，高速數位電路的操作速度及時脈頻率亦變得越來越高，更高速的數位訊號意味著更寬廣的頻域成分分布。然而，在實際的電子電路設計當中，不對稱性是無法避免的；舉例來說，為了節省延長線(Delay line)的面積而形成蜿蜒布線(Meandered line)，諸如：轉彎、穿過槽孔或因開槽而產生的不連續...等結構。對於這些蜿蜒布線來說，當訊號的高頻倍頻成分通過這些不連續結構或是被傳送到相連接的導線及屏蔽金屬時，往往會產生電磁輻射，進而對產品造成嚴重的電磁相容與電磁干擾(EMI)問題。

為此，一些濾除訊號之高頻倍頻成分的方法已被提出。最典型的方法就是利用鐵氧體磁珠(Ferrite bead)/環形扼流圈(Toroid choke)，也就是利用鐵磁材料的高電感性以阻隔訊號的高頻倍頻成分。然而，因為鐵磁性材質(ferromagnet)之導磁係數(permeability)在高頻時的衰減非常迅速，使得鐵氧體磁珠/環形扼流圈實際上無法應用於 GHz 等級的高頻訊號，此外，此種結構亦因尺寸過大而無法應用於高速數位電路上。

再者，目前應於工業上的表面貼著元件(SMD)，乃主要根據一階低通濾波器之原型所設計的微小化結構。然而，此等微小化濾波式結構在設計上要求較大的串聯電感及旁路電容等架構，也導致為實現此設計必須耗費較高的成本。

是故，如何提供一種可解決先前技術種種缺失之雜訊濾除電路，以改善先前技術所造成應用範圍不夠寬廣以及設計成本

較高的缺點，實已成為業界亟待解決之技術難題。

【發明內容】

係
Filter

鑒於上述先前技術的缺點，本發明之目的在於提供一種雜訊濾除電路，係以電磁耦合原理結合接地等效電感形成共振結構，形成對於主訊號維持低損耗的雜訊濾除元件，可有效抑制數位訊號中的高頻倍頻成分，而讓數位訊號的基頻部分 (passband) 得以傳輸。

根據上述構想，本發明一方面提供一種用以抑制電磁輻射之雜訊濾除電路，係用以濾除數位訊號於傳輸時之高頻倍頻雜訊，該雜訊濾除電路包括：參考電位結構，由導體所形成；一條用以傳輸數位訊號的傳輸導體，係設置成與該參考電位結構形成電磁耦合，且該條傳輸導體與該參考電位結構形成電磁耦合，用以於傳輸數位訊號時形成傳輸線特性，使得主訊號之基頻部分 (passband) 的傳輸不受影響；接地層，係電性連接至接地電位；以及接地結構，係電性連接至該參考電位結構與該接地層，用以配合該參考電位結構與該條傳輸導體之間所產生之電磁耦合以及該接地結構本身所形成之電感，而共同形成電感-電容共振架構，俾使數位訊號於特定頻率下得到雜訊濾除效果，進而抑制電磁輻射之產生。

根據上述構想，本發明另一方面提供一種雜訊濾除電路，係用以濾除數位訊號於傳輸時之高頻倍頻雜訊，該雜訊濾除電路包括：參考電位結構，由導體所形成；一條用以傳輸數位訊號的傳輸導體，係設置成與該參考電位結構形成電磁耦合，且該條傳輸導體與該參考電位結構形成電磁耦合，用以於傳輸數位訊號時形成傳輸線特性，使得訊號傳輸不受影響；接地層，係電性連接至接地電位；以及接地結構，係電性連接至該參考電位結構與該接地層，用以配合該參考電位結構與該條傳輸導體之間所產生之電磁耦合以及該接地結構本身所形成之電感，而共同形成電感-電容共振架構，俾使數位訊號於特定頻

率下得到雜訊濾除，而讓數位訊號的基頻部分(passband)得以傳輸；其中，該電感-電容共振架構於第一特定頻率下發生串聯共振，對於數位訊號的不要成分形成低阻抗，使得該數位訊號的不要成分被導引至該接地電位，於該第一特定頻率下形成第一零點，而該電感-電容共振架構於第二特定頻率下發生並聯共振，對於數位訊號的所需成分形成高阻抗，使得該數位訊號的所需成分被導引回原路徑，無法繼續傳遞下去，於該第二特定頻率下形成第二零點。

較佳者，其中該參考電位結構與該傳輸導體之間形成耦合電容與耦合電感，該接地結構於該參考電位結構與該接地層之間形成電感。

較佳者，其中該電感-電容共振架構於第一特定頻率下發生串聯共振，對於數位訊號形成低阻抗，使得該數位訊號的不要成分被導引至該接地電位，於該第一特定頻率下形成第一零點。

較佳者，其中該電感-電容共振架構於第二特定頻率下發生並聯共振，對於數位訊號形成高阻抗，使得該數位訊號的所需成分被導引回原路徑，無法繼續傳遞下去，於該第二特定頻率下形成第二零點。

較佳者，其中該傳輸導體與該參考電位結構所形成之電磁耦合或傳輸線效應結合該接地結構之電感特性，係用以令該雜訊濾除電路於一個或多個特定頻率下形成對應零點。

較佳者，其中該傳輸導體與該參考電位結構於傳送數位訊號時所形成之傳輸線特性，係用以令該數位訊號不致衰減與耗損，而讓數位訊號的基頻部分(passband)得以順利傳輸。

較佳者，其中該參考電位結構係以導體所形成具圓弧表面之本體。

較佳者，其中該參考電位結構係以導體所形成具不規則表面之本體。

較佳者，其中該參考電位結構與該傳輸導體之間設置有介

電材料或鐵磁性材料層。

【實施方式】

如第 1 圖所示，係顯示本發明之用以抑制電磁輻射(EMI)之雜訊濾除電路 100 之架構圖。如圖所示，用以抑制電磁輻射之雜訊濾除電路 100 包含訊號傳輸結構 102、參考電位結構 104、接地結構 106、以及接地層 108。

訊號傳輸結構 102 與參考電位結構 104 之間形成電磁耦合(EMC)，使得兩者之間產生耦合電容與耦合電感，而訊號傳輸結構 102 係由一條傳輸導體所構成。該條傳輸導體或傳輸線皆與該參考電位結構 104 形成電磁耦合，故該條傳輸導體或傳輸線與參考電位結構 104 之間皆具有耦合電容與耦合電感。

該參考電位結構 104 可包含以導體所形成具任何形狀之本體。舉例而言，該參考電位結構 104 可為平版狀、圓弧狀或波浪狀之表面，只要能夠與訊號傳輸結構 102 形成電磁耦合即可。

接地結構 106 分別電性連接參考電位結構 104 與接地層 108，並且於參考電位結構 104 與接地層 108 之間形成電感。當然，在更為高頻的範圍內，其亦可並聯連接更多的等效電容，以對整體電路增添更佳的保護效果。此外，接地結構 106 所形成之電感可配合上述訊號傳輸結構 102 與參考電位結構 104 間之電磁耦合所產生之耦合電容與耦合電感，形成電感-電容共振架構。

接地層 108 係電性連接至接地電位 110。

如上所述，本發明之雜訊濾除電路 100 之電感-電容共振架構能夠於第一特定頻率下發生串聯共振，對於數位訊號形成低阻抗零點(Zero)，使得該數位訊號被導引至接地電位 110。同時，該電感-電容共振架構亦可於第二特定頻率下發生並聯共振，對於數位訊號形成高阻抗，使得該數位訊號反射回原路

徑，產生類似零點之響應，達到抑制數位訊號之雜訊的效果。

在此須提出說明的是，該第一特定頻率與該第二特定頻率可能為相同頻率亦可為不同頻率，端視雜訊濾除電路 100 的各個組成元件之尺寸與特性而定。

請併同參閱第 2A 至 2C 圖，其中，第 2A 圖係顯示本發明之雜訊濾除電路之立體示意圖，第 2B 圖係顯示本發明之雜訊濾除電路之上視圖，第 2C 圖則係顯示本發明之雜訊濾除電路之側視圖。如第 2A 圖所示，該雜訊濾除電路包含訊號傳輸導體 202、參考電位結構 204、接地結構 206 以及接地層 208。該條傳輸導體 202 可透過如盲孔結構之導電貫孔 203a、203b 連接至數位訊號輸入端 201a、輸出端 201b。

該參考電位結構 204 係由導體所形成，於本實施形態中係為平板結構，但並不限於此，於其他實施形態中，可為其他任何形狀。

於本實施形態中，該條訊號傳輸導體 202 係設置成平行於參考電位結構 204 且係用以傳送數位訊號，且係與參考電位結構 204 間隔相同距離，並與參考電位結構 204 形成電磁耦合(將於稍後說明)，當傳送數位訊號時，傳輸導體 202 與參考電位結構 204 產生電磁耦合以及彼此之間的互感(mutual inductance) 與互容(mutual capacitance)，藉此形成傳輸線特性而使數位訊號得以在衰減及損耗極低的傳輸條件下，讓其基頻部分(passband)順利進行傳輸。

接地層 208 係電性連接至接地電位(GND)，並且與接地結構 206 電性連接。

於本實施形態中，接地結構 206 係於該條傳輸導體 202 之一側位置電性連接參考電位結構 204，接地結構 206 所形成之電感可結合該條傳輸導體 202 與參考電位結構 204 間之電磁耦合所產生之耦合電容與耦合電感，形成電感-電容共振架構。

依據設計者的需求，可藉由調整該條傳輸導體 202 之形

狀、寬度、線距、佈線密度、高度、或是參考電位結構之寬度以及長度，而改變等效電路中各個電容或電感元件之數值。該電感-電容共振架構於某特定頻率下，可對於數位訊號形成低阻抗零點，使得數位訊號被導引至該接地電位；又或者，於某特定頻率下，可對於數位訊號形成高阻抗，使得該數位訊號被導引回到原路徑，產生類似零點之效果。

如上所述，本發明之雜訊濾除電路能夠達到抑制數位雜訊(數位訊號的高頻倍頻部分)，且不影響數位訊號傳輸之目的。須提出說明的是，上述第 2A 圖所示之雜訊濾除電路僅例示單位長度之架構，也就是說，此架構亦可延伸應用於多個類似架構之組合。

於其他實施形態中，該條傳輸導體 202 可能為更複雜的對稱導線或金屬互連(interconnection)，而參考電位結構 204 亦可能為多層平板、圓弧面或波浪面之組合，此外，該接地結構 206 亦可以更複雜的導體結構結合導電貫孔(via)來實現。上述傳輸導體、參考電位結構、接地結構之其他變化態樣或實施型態將描述於後文中。

請參閱第 3A 圖，其係顯示對於低繞線密度之傳輸導體，第 2A 圖之雜訊濾除電路之單零點等效電路之示意圖。如圖所示，此單零點等效電路係一階之等效電路(此處使用所謂”一階”用語是為了說明方便而使用所致，其意義是指使用單一個 T 型 series-L-shunt-C 網路來描述傳輸線效應，與電路學中的階數(order)並不相同，後文所使用的”二階”、”三階”等用語亦同)，其中，該電感 L1 係該條傳輸導體與該參考電位結構間所產生之電感耦合，該耦合電容 C1 係該條傳輸導體與該參考電位結構間所產生之電容耦合，而該電感 L2 係該接地結構於該參考電位結構與該接地層之間形成之等效電感。此電路的零點為 C1 與 L2 之串聯共振頻率為：

$$\omega_0 = \frac{1}{\sqrt{L_2 C_1}}$$

請參閱第 3B 圖，其係顯示本發明之雜訊濾除電路所形成的單零點 Z1 之示意圖。曲線 301 與 302 係數位訊號於各個頻率下傳輸的情形，其中曲線 301 顯示數位訊號於各個頻率下傳輸時的回復損失(return loss)，曲線 302 顯示數位訊號於各個頻率下傳輸時的介入損失(insertion loss)；由此可知，數位訊號的基頻成分於本發明之雜訊濾除電路中能夠正常傳輸，並未受到影響或抑制，同時於高頻特定頻率產生共振零點 Z1。

請參閱第 4A 圖，其係顯示對於較高繞線密度之傳輸導體，第 2A 圖之雜訊濾除電路之雙零點等效電路之示意圖。如圖所示，此雙零點等效電路係二階之等效電路，其中，該電感 L1 係該條傳輸導體與該參考電位結構間所產生之電感耦合，該耦合電容 C1 係該條傳輸導體與該參考電位結構間所產生之電容耦合，而該電感 L2 係該接地結構於該參考電位結構與該接地層之間形成之等效電感。

除該電感 $2L_2$ 以外是上半部電路，而該電感 $2L_2$ 是下半部電路，所述之上半部電路與下半部電路僅便於說明本發明之技術特徵的相對位置，並非用以限定本發明之實施形態。要求得此電路的零點，可以先求出其傳輸阻抗(Z_{21})。由於此電路可分成上半部及下半部兩者之疊加(cascoded)，故有：

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} V_1^a + V_1^b \\ V_2^a + V_2^b \end{bmatrix} = \begin{bmatrix} Z_{11}^a + Z_{11}^b & Z_{12}^a + Z_{12}^b \\ Z_{21}^a + Z_{21}^b & Z_{22}^a + Z_{22}^b \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}$$

$$Z_{total} = Z_a + Z_b,$$

也就是其 Z 矩陣為其上部 Z 矩陣與下部 Z 矩陣之和。因

此，此電路的 Z_{21} 為上半部電路的 Z_{21} 與下半部電路的 Z_{21} 之和。對 $Z_{21}=0$ 求根，可求得此電路的零點。

對於上半部電路而言，

$$Z_{21_up} = \frac{1}{2j\omega C_1 - j\omega^3 L_1 C_1^2}$$

對於下半部電路而言，

$$Z_{21_down} = 2j\omega L_2$$

令 $Z_{21}=Z_{21_up}+Z_{21_down}=0$ ，得到下列式子(式 1):

一般而言，在設計上可設計 $L_2>L_1$ ，得到下列結果(式 2):

$$\omega_{:1} \cong \frac{1}{\sqrt{2L_2 2C_1}}, \quad \omega_{:2} \cong \frac{1}{\sqrt{L_1 C_1/2}}$$

$$\omega_{:1,2} = \sqrt{\frac{1 \pm \sqrt{1 - L_1/2L_2}}{L_1 C_1}}$$

以下將配合第 4C 圖與第 4D 圖說明式 2 所揭示之共振零點的物理機制。

根據式 2，可理解到第一共振零點係該電感-電容共振架構發生串聯共振之頻率。如第 4C 圖所示，係顯示該電感-電容共振架構於第一共振零點頻率下發生串聯共振，對於數位訊號形成低阻抗，使得該數位訊號被導引至該接地電位。

再者，根據式 2，可理解到第二共振零點係該電感-電容共振架構發生並聯共振之頻率。如第 4D 圖所示，係顯示該電感-電容共振架構於第二共振零點頻率下發生並聯共振，對於數位訊號形成高阻抗，使得該數位訊號被反彈回原路徑，無法繼續傳遞下去。

須提出說明的是，儘管本發明之雜訊抑制電路亦可以更高階之等效電路(如三階、五階)表示，但在本發明所考慮的頻率範圍內，採用更高階的等效電路對於數位訊號都是產生雙零點而達到數位訊號的雜訊抑制效果，故分析兩階的雙零點電路在

一定程度上具有代表性，同時可簡化分析過程。

請參閱第 4B 圖，其係顯示本發明之雜訊濾除電路所形成的兩個零點 $Z1$ 、 $Z2$ 之示意圖。同前，曲線 402 係數位訊號於各個頻率下傳輸的情形，明顯於特定頻率產生如先前所述之共振零點 $Z1$ 、 $Z2$ ；同時，不影響訊號基頻部分(passband)之傳輸。應了解到，該第一共振零點 $Z1$ 與該第二共振零點 $Z2$ 可能為相同頻率亦可為不同頻率，端視該雜訊濾除電路的各個組成元件之尺寸與特性而定。

請參閱第 5A 圖，其係顯示第 2A 圖之雜訊濾除電路之多零點等效電路之示意圖，而第 5B 圖則係顯示本發明之雜訊濾除電路所形成的多零點 $Z1$ 、 $Z2$ 、 $X1$ 及 $X2$ 之示意圖。

根據前述各圖之說明，可理解到各共振零點係該電感-電容共振架構發生並聯共振之頻率，其可分別對於數位訊號的不要成分(高頻倍頻成分)或所需成分形成高或低阻抗，使得該數位訊號的高頻倍頻成分被引導至地或是反彈回原路徑，達到濾除作用。

在此須提出說明的是，本發明之雜訊濾除電路中具有傳輸線特性之傳輸導體結構於高頻受到電磁耦合效應或傳輸線效應結合接地結構之電感效應之影響，將於特定的一個或多個頻率下產生類似零點的現象，這些類似零點的現象可能造成類似本發明所欲之零點，但實質上的物理原理並不相同，至於電磁耦合效應與傳輸線效應之細節，並不在此贅述。第 5B 圖所示者，係本發明之雜訊抑制電路所形成的傳輸線結構於更高特定頻率下因傳輸線效應或電磁耦合效應結合接地結構之效應(主要為接地結構之電感結合其並聯連接之等效電容之效應)所產生之零點 $X1$ 、 $X2$ 之示意圖。相較於第 4B 圖，第 5B 圖所示者於更高頻率具有例如兩個額外的零點 $X1$ 、 $X2$ ，取決於傳輸線或傳輸導體之特性，亦可能有超過兩個以上或者任何數量的類似零點。如前所述，此類零點的現象係起因於傳輸線結構之電磁耦合效應或傳輸線效應，因此該兩個額外的零點

X1、X2 與本發明所揭露之共振零點 Z1、Z2 並不相同。

請參閱第 6A 圖，其係顯示本發明之雜訊濾除電路之單組型態一實施例之結構示意圖。如圖所示，於該條傳輸導體 602 之兩側設置有對稱的參考電位結構 604，該等電位結構分別透過接地結構 606 電性連接至接地層 608。再請參閱第 6B 圖，其係顯示本發明之雜訊濾除電路之四組並排實施例之結構示意圖，由該圖可以清楚看出，其係將第 6A 圖的雜訊濾除電路以四組並排的方式所構成，且四組雜訊濾除電路係共同使用同一接地層 608。由此可知，本發明之雜訊濾除電路可以如第 2 圖所示之結構進行各種變化與組合。依據設計者的需求，可結合複數個單位長度結構，以各種相對位置關係進行組合，藉此提供所期望的數位雜訊濾除效果。

在此須提出說明的是，本發明之雜訊濾除電路之各個組成元件並不限定於上述實施形態所揭示之形狀或尺寸，如第 7、8、9 圖所示，係訊號傳輸結構的可能實施形態。此外，如第 10、11、12、13 圖所示，係參考電位結構的可能實施形態。再者，如第 14、15、16 圖所示，係接地結構的可實施形態。

由上述之內容可知，本發明之雜訊濾除電路，能夠在不致影響數位訊號品質的前提下，對數位訊號的高頻倍頻雜訊達到濾除的效果，同時可增進雜訊濾波電路的微縮化並且可實施於印刷電路板上，提供了具效能優勢與成本效益之雜訊濾除解決方案，進而避免習知技術中應用範圍不夠寬廣以及設計成本較高之問題。

上述實施形態僅例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施形態進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1 圖：本發明之雜訊濾除電路 100 之架構圖。

第 2A 圖：本發明之雜訊濾除電路之立體概念圖。

第 2B 圖：本發明之雜訊濾除電路之上視圖。

第 2C 圖：本發明之雜訊濾除電路之側視圖。

第 3A 圖：對於低繞線密度的傳輸導體，第 2A 圖之雜訊濾除電路之單零點等效電路之示意圖。

第 3B 圖：本發明之雜訊濾除電路所形成的單零點 Z1 之示意圖，其中曲線 301 顯示數位訊號於各個頻率下傳輸時的回復損失，曲線 302 顯示數位訊號於各個頻率下傳輸時的介入損失。

第 4A 圖：對於更高繞線密度的傳輸導體，第 2A 圖之雜訊濾除電路之雙零點等效電路之示意圖。

第 4B 圖：本發明之雜訊濾除電路所形成的兩個零點 Z1、Z2 之示意圖。其中曲線 402 顯示數位訊號於各個頻率下傳輸時的介入損失。

第 4C 圖：係顯示第 4A 圖之電感-電容共振架構於第一共振零點頻率下發生串聯共振。

第 4D 圖：係顯示第 4A 圖之電感-電容共振架構於第二共振零點頻率下發生並聯共振。

第 5A 圖：第 2A 圖之雜訊濾除電路之多零點等效電路之示意圖。

第 5B 圖：本發明之雜訊濾除電路之傳輸導體結構所形成的傳輸線結構於特定頻率下因傳輸線效應或電磁耦合效應結合接地結構之電感效應於高頻所產生之額外零點 X1、X2 之示意圖。

第 6A 圖：本發明之雜訊濾除電路之單組型態一實施例之結構示意圖。

第 6B 圖：本發明之雜訊濾除電路之四組並排型態一實施例之結構示意圖。

- 第 7 圖：本發明之訊號傳輸結構的第一可能實施形態。
- 第 8 圖：本發明之訊號傳輸結構的第二可能實施形態。
- 第 9 圖：本發明之訊號傳輸結構的第三可能實施形態。
- 第 10 圖：本發明之參考電位結構的第一可能實施形態。
- 第 11 圖：本發明之參考電位結構的第二可能實施形態。
- 第 12 圖：本發明之參考電位結構的第三可能實施形態。
- 第 13 圖：本發明之參考電位結構的第四可能實施形態。
- 第 14 圖：本發明之接地結構的第一可能實施形態。
- 第 15 圖：本發明之接地結構的第二可能實施形態。
- 第 16 圖：本發明之接地結構的第三可能實施形態。

【主要元件符號說明】

- 100 雜訊濾除電路
- 102 訊號傳輸結構
- 104 參考電位結構
- 106 接地結構
- 108 接地層
- 110 接地電位
- 201a 數位訊號輸入端
- 201b 數位訊號輸出端
- 202 訊號傳輸導體
- 203a 導電貫孔
- 203b 導電貫孔
- 204 參考電位結構
- 206 接地結構
- 208 接地層
- 301 曲線
- 302 曲線
- 402 曲線
- 602 訊號傳輸導體

604 參考電位結構

606 接地結構

608 接地層

C1 耦合電容

EMC 電磁耦合

L1 電感

L2 電感

Z1 零點

Z2 零點

X1 零點

X2 零點

發明專利說明書

100 4 20 修正
年 月 日 補充

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100113139

※ 申請日：100.4.15 ※IPC 分類：H01P 1/20 (2006.01)

公告本

一、發明名稱：(中文/英文)

用以抑制電磁輻射(EMI)之雜訊濾除電路

NOISE FILTERING CIRCUIT FOR SUPPRESSING EMI

二、中文發明摘要：

本發明提供一種用以抑制電磁輻射之雜訊濾除電路，係用以濾除數位訊號於傳輸時之高頻倍頻雜訊，該雜訊濾除電路包括由導體所形成之參考電位結構、由一條傳輸導體所形成之訊號傳輸結構、接地層以及電性連接至該參考電位結構與該接地層之接地結構；其中該接地結構係電性連接至該參考電位結構與該接地層，用以配合該參考電位結構與該訊號傳輸結構之間所產生之電磁耦合以及該接地結構本身所形成之電感，而共同形成電感-電容共振架構，俾使數位訊號於特定頻率下得到雜訊濾除，而讓數位訊號的基頻部分(passband)得以傳輸。

三、英文發明摘要：

A noise filtering circuit for suppressing EMI is provided, which includes a reference voltage structure constituted by conductors, a signal transmitting structure constituted by a transmission conductor, a ground layer, and a ground structure connecting electrically to the reference voltage structure and the ground layer. The ground structure is configured to form an inductor-capacitor oscillating structure in coordination with the electric-magnetical coupling

between the reference voltage structure and the signal transmitting structure as well as the inductance of the ground structure, so that a digital signal is filtered in a specific frequency and the passband of the digital signal can be transmitted.

七、申請專利範圍：

1. 一種雜訊濾除電路，係用以濾除數位訊號於傳輸時之高頻倍頻雜訊，該雜訊濾除電路包括：
 - 參考電位結構，由導體所形成；
 - 一條用以傳輸數位訊號的傳輸導體，係設置成與該參考電位結構形成電磁耦合，且該條傳輸導體與該參考電位結構形成電磁耦合，用以於傳輸數位訊號時形成傳輸線特性，使得訊號傳輸不受影響；
 - 接地層，係電性連接至接地電位；以及
 - 接地結構，係電性連接至該參考電位結構與該接地層，用以配合該參考電位結構與該條傳輸導體之間所產生之電磁耦合以及該接地結構本身所形成之電感，而共同形成電感-電容共振架構，俾使數位訊號於特定頻率下得到雜訊濾除，而讓數位訊號的基頻部分(passband)得以傳輸。
2. 如申請專利範圍第 1 項之雜訊濾除電路，其中該參考電位結構與該條傳輸導體之間形成耦合電容與耦合電感，該接地結構於該參考電位結構與該接地層之間形成電感。
3. 如申請專利範圍第 1 項之雜訊濾除電路，其中該電感-電容共振架構於第一特定頻率下發生串聯共振，對於數位訊號的不要成分形成低阻抗，使得該數位訊號的不要成分被導引至該接地電位，於該第一特定頻率下形成第一零點。
4. 如申請專利範圍第 1 項之雜訊濾除電路，其中該電感-電容共振架構於第二特定頻率下發生並聯共振，對於數位訊號的所需成分形成高阻抗，使得該數位訊號的所需成分被導引回原路徑，無法繼續傳遞下去，於該第二特定頻率下形成第二零點。
5. 如申請專利範圍第 1 項之雜訊濾除電路，其中該條傳輸導體與該參考電位結構所形成之電磁耦合或傳輸線效應結合該接地結構之電感特性，係用以令該雜訊濾除電路於一個或多個特定頻率下形成對應零點。
6. 如申請專利範圍第 1 項之雜訊濾除電路，其中該條傳輸導體與

該參考電位結構於傳送數位訊號時所形成之傳輸線特性，係用以令該數位訊號不致衰減與耗損，而能順利傳遞。

7. 如申請專利範圍第 1 項之雜訊濾除電路，其中該參考電位結構係以導體所形成具圓弧表面之本體。

8. 如申請專利範圍第 1 項之雜訊濾除電路，其中該參考電位結構係以導體所形成具不規則表面之本體。

9. 如申請專利範圍第 1 項之雜訊濾除電路，其中該參考電位結構與該條傳輸導體之間設置有介電材料或鐵磁性材料層。

10. 一種雜訊濾除電路，係用以濾除數位訊號於傳輸時之高頻倍頻雜訊，該雜訊濾除電路包括：

參考電位結構，由導體所形成；

一條用以傳輸數位訊號的傳輸導體，係設置成與該參考電位結構形成電磁耦合，且該條傳輸導體與該參考電位結構形成電磁耦合，用以於傳輸數位訊號時形成傳輸線特性，使得訊號之基頻傳輸不受影響；

接地層，係電性連接至接地電位；以及

接地結構，係電性連接至該參考電位結構與該接地層，用以配合該參考電位結構與該條傳輸導體之間所產生之電磁耦合以及該接地結構本身所形成之電感，而共同形成電感-電容共振架構，俾使數位訊號於特定頻率下得到雜訊濾除，而讓數位訊號的基頻部分(passband)得以傳輸；

其中，該電感-電容共振架構於第一特定頻率下發生串聯共振，對於數位訊號的不要成分形成低阻抗，使得該數位訊號的不要成分被導引至該接地電位，於該第一特定頻率下形成第一零點，而該電感-電容共振架構於第二特定頻率下發生並聯共振，對於數位訊號的所需成分形成高阻抗，使得該數位訊號的所需成分被導引回原路徑，無法繼續傳遞下去，於該第二特定頻率下形成第二零點。

11. 如申請專利範圍第 10 項之雜訊濾除電路，其中該參考電位結構與該片傳輸導體之間形成耦合電容與耦合電感，該接地結構於

該參考電位結構與該接地層之間形成電感。

12. 如申請專利範圍第 10 項之雜訊濾除電路，其中該片傳輸導體與該參考電位結構所形成之電磁耦合或傳輸線效應結合該接地結構之電感特性，係用以令該雜訊濾除電路於一個或多個特定頻率下形成對應零點。

13. 如申請專利範圍第 10 項之雜訊濾除電路，其中該片傳輸導體與該參考電位結構於傳送數位訊號時所形成之傳輸線特性，係用以令該數位訊號不致衰減與耗損，而能順利傳遞。

14. 如申請專利範圍第 10 項之雜訊濾除電路，其中該參考電位結構係以導體所形成具圓弧表面之本體。

15. 如申請專利範圍第 10 項之雜訊濾除電路，其中該參考電位結構係以導體所形成具不規則表面之本體。

16. 如申請專利範圍第 10 項之雜訊濾除電路，其中該參考電位結構與該片傳輸導體之間設置有介電材料或鐵磁性材料層。

四、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

100 用以抑制電磁輻射之雜訊濾除電路

102 訊號傳輸結構

104 參考電位結構

106 接地結構

108 接地層

110 接地電位

EMC 電磁耦合

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：