(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2006-0101653
(43) 공개일자 2006년09월26일

(21) 출원번호 10-2005-0023180
(22) 출원일자 2005년03월21일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 고성우
경상북도 구미시 고아읍 원호리 태산점보타운 104동 408호
문수환
경북 구미시 상모동 우방신세계타운 105동 901호

(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 횡전계방식 액정표시소자 및 그 제조방법

요약

본 발명은 ITO-ITO 구조의 횡전계방식 액정표시소자에 있어서, 디스클리네이션 발생을 방지하고 스토리지 커패시턴스를 증가시키고자 하는 횡전계방식 액정표시소자 및 그 제조방법에 관한 것으로, 기판 상에 수직 교차하여 단위 화소를 정의하는 복수개의 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선의 교차 지점에 형성된 박막트랜지스터와, 상기 게이트 배선에 평행하는 공통배선과, 상기 단위 화소 내에 형성되는 화소전극의 연결부와, 상기 데이터 배선을 포함한 전면에 형성되는 보호막과, 상기 보호막 상에서 상기 공통배선에 일끝단이 콘택되고 다른 끝단은 상기 화소전극의 연결부에 오버랩되는 복수개의 공통전극과, 상기 공통전극 사이에서 평행하도록 형성되고 일끝단이 일체형으로 연결되어 상기 박막트랜지스터의 드레인 전극에 콘택되고 다른 끝단이 상기 화소전극의 연결부에 콘택되는 복수개의 화소전극을 포함하여 구성되는 것을 특징으로 한다.

대표도

도 4

색인어

IPS, 디스클리네이션, 스토리지 커패시턴스

명세서

도면의 간단한 설명

도 1은 종래 기술에 의한 횡전계방식 액정표시소자의 단위 화소 평면도.

도 2는 도 1의 Ⅰ에서의 상세평면도.

도 3a 및 도 3b는 액정분자의 회전방향을 나타낸 도면.

도 4는 본 발명에 의한 횡전계방식 액정표시소자의 단위 화소 평면도.

도 5a 내지 도 5d는 본 발명에 의한 횡전계방식 액정표시소자의 공정단면도.

*도면의 주요 부분에 대한 부호설명

112 : 게이트 배선 112a : 게이트 전극

115 : 데이터 배선 115a : 소스 전극

115b : 드레인 전극 117 : 화소전극

124 : 공통전극 125 : 공통배선

130 : 화소전극 연결부 141,142,143 : 콘택홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자(LCD ; Liquid Crystal Display Device)에 관한 것으로, 특히 디스클리네이션 발생영역을 최소화하고 스토리지 커패시턴스를 증가시키기 위한 전극 구조를 가지는 횡전계방식 액정표시소자 및 그 제조방법에 관한 것이다.

최근, 계속해서 주목받고 있는 평판표시소자 중 하나인 액정표시소자는 액체의 유동성과 결정의 광학적 성질을 겸비하는 액정에 전계를 가하여 광학적 이방성을 변화시키는 소자로서, 종래 음극선관(Cathod Ray Tube)에 비해 소비전력이 낮고 부피가 작으며 대형화 및 고정세가 가능하여 널리 사용하고 있다.

상기 액정표시소자는 액정의 성질과 패턴의 구조에 따라서 여러 가지 다양한 모드가 있다.

구체적으로, 액정 방향자가 90°트위스트 되도록 배열한 후 전압을 가하여 액정 방향자를 제어하는 TN 모드(Twisted Nematic Mode)와, 한 화소를 여러 도메인으로 나눠 각각의 도메인의 주시야각 방향을 달리하여 광시야각을 구현하는 멀티도메인 모드(Multi-Domain Mode)와, 보상필름을 기판 외주면에 부착하여 빛의 진행방향에 따른 빛의 위상변화를 보상하는 OCB 모드(Optically Compensated Birefringence Mode)와, 한 기판 상에 두개의 전극을 형성하여 액정의 방향자가 배향막의 나란한 평면에서 꼬이게 하는 횡전계방식(In-Plane Switching Mode)과, 네가티브형 액정과 수직배향막을 이용하여 액정 분자의 장축이 배향막 평면에 수직 배열되도록 하는 VA 모드(Vertical Alignment) 등 다양하다.

이중, 상기 횡전계방식 액정표시소자는 통상, 서로 대향 배치되어 그 사이에 액정층을 구비한 컬러필터 어레이 기판과 박막트랜지스터 어레이 기판으로 구성된다.

즉, 상기 컬러필터 어레이 기판에는 빛샘을 방지하기 위한 블랙 매트릭스와, 상기 블랙 매트릭스 상에 색상을 구현하기 위한 R,G,B의 컬러필터층이 형성된다.

그리고, 상기 박막트랜지스터 어레이 기판에는 단위 화소를 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선의 교차 지점에 형성된 스위칭소자와, 서로 엇갈리게 교차되어 횡전계를 발생시키는 공통전극 및 화소전극이 형성된다.

이하, 도면을 참조하여 종래 기술의 횡전계방식 액정표시소자를 설명하면 다음과 같다.

도 1은 종래 기술에 의한 횡전계방식 액정표시소자의 단위 화소 평면도이고, 도 2는 도 1의 Ⅰ에서의 상세평면도이며, 도 3a 및 도 3b는 액정분자의 회전방향을 나타낸 도면이다.

구체적으로, 횡전계방식 액정표시소자의 박막트랜지스터 어레이 기판은, 도 1에 도시된 바와 같이, 일렬로 배치된 복수개의 게이트 배선(12)과 게이트 절연막을 사이에 두고 게이트 배선에 수직 교차하는 복수개의 데이터 배선(15)에 의해 단위 화소가 정의되고, 상기 단위 화소에는 스위칭 역할을 하는 박막트랜지스터(TFT)와, 상기 데이터 배선(15)에 평행하는 복수개의 공통전극(24)과, 상기 공통전극(24) 사이에 교번되도록 형성되어 상기 공통전극(24)에 평행하는 화소전극(17)으로 구성된다.

이때, 상기 공통전극(24)은 상기 게이트 배선과 동일층에 형성되는 공통배선에 연결되어 외부 구동회로로부터 Vcom 신호를 전달받는데, 상기 공통배선(25)의 소정 영역은 커패시터 하부전극으로 활용된다.

그리고, 상기 화소전극(17)은 그 일단이 일체형으로 연결되어 제 1 콘택홀(18)을 통해 상기 박막트랜지스터(TFT)의 드레인 전극(15b)에 연결되어 픽셀 신호를 전달받는데, 화소전극 연결부분의 소정 영역을 커패시터 상부전극으로 활용한다. 따라서, 서로 오버랩되는 공통배선과 화소전극에 의해 스토리지 커패시턴스가 발생된다.

이때, 상기 공통전극은 상기 공통배선과 동일층에 형성하거나 또는 상기 화소전극과 동일층에 형성할 수 있는데, 먼저 공통전극 및 공통배선을 동일층에 형성하는 경우 두 패턴을 일체형으로 형성하고, 공통전극 및 화소전극을 동일층에 형성하는 경우 절연막을 제거하여 형성한 콘택홀(19)을 통해 공통전극과 공통배선을 연결한다.

한편, 화소전극(17)과 공통전극(24)을 동일층에 형성하는 경우 ITO 등의 투명한 도전물질로 형성하는데, 이와같이, 화소전극과 공통전극을 모두 ITO와 같은 투명도전물질로 형성한 구조를 ITO-ITO 전극 구조라 한다.

그러나, ITO-ITO 구조의 횡전계방식 액정표시소자의 경우, 도 2에 도시된 바와 같이, 화소전극의 연결부에 전계왜곡이 발생하여 이 영역에서 디스클리네이션이 발생하게 된다.

구체적으로, 도 2에 도시된 바와 같이, 공통전극(24)에 상대적으로 높은 전압을 걸어주고 화소 전극(17)에 상대적으로 낮은 전압을 걸어주면 두 전극 사이에서 수평전기장인 횡전계가 발생하는데, 러빙방향으로 초기 배열되어 있던 액정분자(도시하지 않음)가 횡전계의 전기장 방향으로 재배열되어 빛의 투과가 조절된다.

그러나, A영역에서의 액정분자(70)의 회전방향(도 3a 참고)과 C영역에서 액정분자(70)의 회전방향(도 3b 참고)이 서로 반대 방향이므로 B영역에서의 액정분자의 회전방향이 어느쪽인지 정의할 수 없으며 실제로도 이 부분에서는 액정분자의 회전이 뒤틀리게 된다. 이런 이유로 B영역에서는 편광이 거의 투과가 되지 않는 현상이 발생하고 이로 인하여 셀의 투과율이 많이 저하된다.

즉, 공통전극과 화소전극의 끝단영역 중 B영역에서 전계왜곡이 발생하여 이 영역에서 디스클리네이션이 발생하는데, 화소의 유효 개구율을 감소시켜 소자의 휘도를 떨어뜨린다.

그리고, ITO-ITO구조의 횡전계방식 액정표시소자의 경우, 화소전극 및 공통전극을 동일층에 형성하므로 공통전극 끝단을 화소전극 연결부에 오버랩시킬 수 없어 B영역 및 C영역을 최소화하는데 한계가 있다.

한편, 횡전계방식 액정표시소자의 경우 전계 방향이 수평방향이므로 화소전극이 가지는 스토리지 커패서티(storage capacity)가 TN모드 액정표시소자에 대비 매우 작은데 비해서, 기생 커패시터(paratic capacity)는 TN모드 액정표시소자와 비슷하여 화소전극의 전압이 제대로 유지되기 힘들다는 단점이 있다.

그런데, ITO-ITO구조의 횡전계방식 액정표시소자의 경우, 화소전극과 게이트 배선층의 오버랩에 의한 스토리지 커패서티(storage capacity) 확보 또한 한계가 있어서, 화소전극이 가지는 커패서티를 충분히 확보하는데 어려움이 있고, 액정셀 특성의 안정성에 단점을 가진다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, ITO-ITO구조의 횡전계방식 액정표시소자에 있어서 디스클리네이션 발생영역을 최소화하고 스토리지 커패서티를 증가시키는 전극 구조를 제안함으로써 소자의 유효개구율을 향상시키고 액정셀 특성의 안정성을 도모하고자 하는 횡전계방식 액정표시소자 및 그 제종방법을 제공하는 것에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 횡전계방식 액정표시소자는 기판 상에 수직 교차하여 단위 화소를 정의하는 복수개의 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선의 교차 지점에 형성된 박막트랜지스터와, 상기 게이트 배선에 평행하는 공통배선과, 상기 단위 화소 내에 형성되는 화소전극의 연결부와, 상기 데이터 배선을 포함한 전면에 형성되는 보호막과, 상기 보호막 상에서 상기 공통배선에 일끝단이 콘택되고 다른 끝단은 상기 화소전극의 연결부에 오버랩되는 복수개의 공통전극과, 상기 공통전극 사이에서 평행하도록 형성되고 일끝단이 일체형으로 연결되어 상기 박막트랜지스터의 드레인 전극에 콘택되고 다른 끝단이 상기 화소전극의 연결부에 콘택되는 복수개의 화소전극을 포함하여 구성되는 것을 특징으로 한다.

그리고, 본 발명의 다른 목적을 달성하기 위한 횡전계방식 액정표시소자의 제조방법은 기판 상에 게이트 배선 및 공통배선을 형성하는 단계와, 상기 게이트 배선을 포함한 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 상기 게이트 배선에 교차하여 화소를 정의하는 데이터 배선을 형성하는 단계와, 상기 각 화소에 화소전극의 연결부를 형성하는 단계와, 상기 게이트 배선과 데이터 배선의 교차 지점에 박막트랜지스터를 형성하는 단계와, 상기 데이터 배선을 포함한 전면에 보호막을 형성하는 단계와, 상기 보호막 상에서 일끝단은 상기 공통배선에 콘택되고 다른 끝단은 상기 화소전극의 연결부에 오버랩되는 공통전극을 형성하는 단계와, 상기 공통전극에 평행하고 양끝단이 박막트랜지스터의 드레인 전극 및 화소전극의 연결부에 각각 콘택되는 화소전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

즉, 화소전극의 연결부를 다른층의 물질로 형성하여 공통전극의 끝단을 화소전극의 연결부에 오버랩시킴으로써 디스클리네이션 발생영역을 최소화할 수 있다.

그리고, 상기 화소전극의 연결부는 보통 데이터 배선과 동시에 형성할 수 있을 것인데, 상기 화소전극의 연결부와 공통전극 사이에는 절연막(보호막)이 더 구비되어 스토리지 커패시터를 구성하게 되므로 스토리지 커패서티를 보다 확보할 수 있다.

이러한 전극 구조는 화소전극과 공통전극을 동일층에 동시에 형성하는 ITO-ITO구조 횡전계방식 액정표시소자에 유용하게 적용될 것이다.

이하, 도면을 참조하여 본 발명에 따른 횡전계방식 액정표시소자를 상세히 설명하면 다음과 같다.

도 4는 본 발명에 의한 횡전계방식 액정표시소자의 단위 화소 평면도이고, 도 5a 내지 도 5d는 본 발명에 의한 횡전계방식 액정표시소자의 공정단면도이다.

본 발명에 의한 횡전계방식 액정표시소자의 박막트랜지스터 어레이 기판은, 도 4에 도시된 바와 같이, 일렬로 배치된 복수개의 게이트 배선(112)과, 게이트 절연막(도시하지 않음)을 사이에 두고 게이트 배선에 수직 교차하여 단위 화소를 정의하는 복수개의 데이터 배선(115)과, 상기 단위 화소에는 스위칭 역할을 하는 박막트랜지스터(TFT)와, 상기 데이터 배선과 동일층에 형성되고 상기 데이터 배선과 분리되어 각 단위 화소 내에서 독립된 패턴으로 형성되는 화소전극의 연결부(130)와, 상기 데이터 배선을 포함한 전면에 형성되는 보호막(도시하지 않음)과, 일끝단이 일체형으로 연결되어 제 1 콘택홀(141)을 통해 상기 박막트랜지스터의 드레인 전극(115b)에 콘택되고 다른 끝단이 제 2 콘택홀(142)을 통해 상기 화소전극의 연결부(130)에 콘택되는 복수개의 화소전극(117)과, 상기 게이트 배선(112)에 평행하는 공통배선(125)과, 일끝단이 제 3 콘택홀(143)을 통해 상기 공통배선에 콘택되고 상기 화소전극(117) 사이에 평행하게 형성되어 횡전계를 발생시키는 공통전극(124)으로 구성된다.

이 때, 상기 화소전극(117) 및 공통전극(124)은 상기 보호막 상의 동일층에 형성되는데, 상기 공통전극(124)은 다른 끝단은 상기 화소전극의 연결부(130)에 오버랩되어, 상기 화소전극의 연결부 및 공통전극과 그 사이에 구비된 보호막이 스토리지 커패시터를 구성한다.

상기 공통배선(125)은 상기 게이트 배선(112)과 동일층에 구비되므로, 상기 공통전극(124)은 상기 게이트 절연막 및 보호막을 제거하여 형성된 제 3 콘택홀(143)을 통해 상기 공통배선에 콘택된다.

그리고, 상기 화소전극(117)은 상기 보호막을 제거하여 형성된 제 2 콘택홀(142)을 통해 상기 화소전극의 연결부(130)에 콘택된다.

한편, 상기 공통배선(125)이 화소전극의 연결부(130)에까지 연장 형성할 수 있으므로 공통전극과 화소전극 사이에서 횡전계가 발생하는 영역을 보다 확보할 수 있고 디스클리네이션 영역을 최소화할 수 있다.

본 발명에 의한 횡전계방식 액정표시소자의 제조방법에 대해 설명하면 다음과 같다.

먼저, 도 5a에 도시된 바와 같이, 기판 상에 신호지연의 방지를 위해서 낮은 비저항을 가지는 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium) 등의 금속을 증착한 후 패터닝하여 복수개의 게이트 배선(112), 게이트 전극(112a) 및 공통배선(125)을 형성한다.

이 때, 상기 공통배선(125)은 상기 게이트 배선(112)에 평행하도록 형성하고, 후공정에서 화소전극이 오버랩되어 스토리지 커패시터를 구성을 구성할 것이다.

다음, 상기 게이트 배선(112)을 포함한 전면에 실리콘 산화물(SiOx) 또는 실리콘 질화물(SiNx) 등의 무기 절연물질을 통상, 플라즈마 강화형 화학 증기 증착(PECVD:plasma enhanced chemical vapor deposition) 방법으로 증착하여 게이트 절연막(도시하지 않음)을 형성한다.

이어서, 상기 게이트 절연막을 포함한 전면에 비정질 실리콘(a-Si:H)을 고온에서 증착한 후 패터닝하여 게이트 전극 상부의 게이트 절연막 상에 독립된 섬 모양의 반도체층(114)을 형성한다.

계속하여, 도 5b에 도시된 바와 같이, 상기 반도체층(114)을 포함한 전면에 몰리브덴(Mo), 몰리브덴-텅스텐(MoW) 등의 금속을 증착한 후 패터닝하여 복수개의 데이터 배선(115), 소스/드레인 전극(115a,115b) 및 화소전극 연결부(130)를 형성한다.

상기 데이터 배선(115)은 화소영역을 정의하기 위해 상기 게이트 배선(112)에 수직하도록 형성하고, 상기 소스/드레인 전극(115a,115b)은 상기 반도체층(114)의 양 끝단에 각각 형성하여 게이트 전극(112a), 게이트 절연막, 반도체층(114), 소스/드레인 전극(115a,115b)으로 적층되어 단위 화소에 인가되는 전압의 온/오프를 제어하는 박막트랜지스터를 완성한다.

그리고, 상기 화소전극 연결부(130)는 상기 데이터 배선과 분리시켜 각 화소내에서 독립된 패턴이 되도록 형성한다. 특히, 게이트 배선에 평행하도록 형성하되, 당해 화소에 게이트 신호를 인가하는 게이트 배선으로부터 최대한 이격되도록 형성한다.

다음, 상기 데이터 배선(115)을 포함한 전면에 BCB(Benzocyclobutene), 아크릴계 수지(acryl resin) 등의 유기절연물질을 도포하거나 또는 SiNx, SiOx 등의 무기절연물질을 증착하여 보호막(도시하지 않음)을 형성한다.

이어서, 도 5c에 도시된 바와 같이, 상기 보호막의 일부를 제거하여 상기 드레인 전극(115b)이 노출되는 제 1 콘택홀(141)을 형성하고, 상기 화소전극 연결부(130)가 노출되는 제 2 콘택홀(142)을 형성한다. 그리고, 상기 보호막 및 게이트 절연막의 일부를 제거하여 상기 공통배선(125)이 노출되는 제 3 콘택홀(143)을 형성한다.

이후, 도 5d에 도시된 바와 같이, 상기 보호막을 포함한 전면에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명도전물질을 증착하고 패터닝하여 서로 평행하여 횡전계를 발생시키는 화소전극(117) 및 공통전극(124)을 복수개 형성한다.

상기 공통전극(124) 및 화소전극(117)은 일직선 형태로 형성할 수도 있고 지그재그(zigzag) 모양으로 형성할 수도 있다.

상기 화소전극(117)은 일끝단을 일체형으로 연결시켜 제 1 콘택홀(141)을 통해 드레인 전극(115b)에 전기적으로 연결시키고, 다른 일끝단을 제 2 콘택홀(142)을 통해 화소전극의 연결부(130)에 각각 콘택시킨다.

그리고, 상기 공통전극(124)은 일끝단을 제 3 콘택홀(143)을 통해 상기 공통배선(125)에 전기적으로 연결시키고, 다른 끝단은 상기 화소전극의 연결부(130)에 오버랩시킨다.

이와같은 횡전계방식 액정표시소자는 화소전극과 공통전극이 동일층에 형성되는 구종에 있어서, 화소전극 연결부에까지 공통전극을 연장형성할 수 있어 디스클리네이션 영역을 최소화할 수 있고, 화소전극 연결부와 공통전극의 오버랩에 의해 스토리지 커패시턴스를 보다 확보할 수 있게 된다.

한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

즉, 상기에서는 화소전극의 연결부를 데이터 배선과 동시에 형성하는 내용에 한정하여 서술하였으나, 경우에 따라서는 게이트 배선과 동시에 형성할 수도 있을 것이다.

발명의 효과

상기와 같은 본 발명의 횡전계방식 액정표시소자 및 그 제조방법은 다음과 같은 효과가 있다.

첫째, 화소전극과 화소전극의 연결부를 다른층에 형성하고 화소전극과 동일층에 형성되는 공통전극을 화소전극의 연결부에 오버랩시킴으로써 디스클리네이션 영역을 제거하여 ITO-ITO 구조 IPS의 유효 개구율을 향상시킨다.

둘째, 화소전극의 연결부와 공통전극을 오버랩시켜 스토리지 커패서티를 증가시킴으로써 화소전극이 가지는 커패서티를 충분히 확보할 수 있게 되어 액정셀 특성을 안정화시킬 수 있게 된다.

(57) 청구의 범위

청구항 1.

기판 상에 수직 교차하여 단위 화소를 정의하는 복수개의 게이트 배선 및 데이터 배선과,

상기 게이트 배선 및 데이터 배선의 교차 지점에 형성된 박막트랜지스터와,

상기 게이트 배선에 평행하는 공통배선과,

상기 단위 화소 내에 형성되는 화소전극의 연결부와,

상기 데이터 배선을 포함한 전면에 형성되는 보호막과,

상기 보호막 상에서 상기 공통배선에 일끝단이 콘택되고 다른 끝단은 상기 화소전극의 연결부에 오버랩되는 복수개의 공통전극과,

상기 공통전극 사이에서 평행하도록 형성되고 일끝단이 일체형으로 연결되어 상기 박막트랜지스터의 드레인 전극에 콘택되고 다른 끝단이 상기 화소전극의 연결부에 콘택되는 복수개의 화소전극을 포함하여 구성되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 2.

제 1 항에 있어서,

상기 화소전극의 연결부는 상기 데이터 배선과 동일층에 형성되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 3.

제 2 항에 있어서, 상기 화소전극의 연결부는 상기 데이터 배선과 분리되어 독립된 패턴으로 형성되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 4.

제 1 항에 있어서,

상기 화소전극의 연결부 및 공통전극과 그 사이에 구비된 보호막이 스토리지 커패시터를 구성하는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 5.

제 1 항에 있어서,

상기 공통전극 및 화소전극은 동일층에 구비되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 6.

제 1 항에 있어서,

상기 공통배선은 상기 게이트 배선과 동일층에 구비되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 7.

기판 상에 게이트 배선 및 공통배선을 형성하는 단계와,

상기 게이트 배선을 포함한 전면에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 상에 상기 게이트 배선에 교차하여 화소를 정의하는 데이터 배선을 형성하는 단계와,

상기 각 화소에 화소전극의 연결부를 형성하는 단계와,

상기 게이트 배선과 데이터 배선의 교차 지점에 박막트랜지스터를 형성하는 단계와,

상기 데이터 배선을 포함한 전면에 보호막을 형성하는 단계와,

상기 보호막 상에서 일끝단은 상기 공통배선에 콘택되고 다른 끝단은 상기 화소전극의 연결부에 오버랩되는 공통전극을 형성하는 단계와,

상기 공통전극에 평행하고 양끝단이 박막트랜지스터의 드레인 전극 및 화소전극의 연결부에 각각 콘택되는 화소전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

청구항 8.

제 7 항에 있어서,

상기 화소전극의 연결부는 각 화소내에서 독립된 패턴을 형성하는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

청구항 9.

제 7 항에 있어서,

상기 데이터 배선 및 화소전극의 연결부는 동시에 형성하는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

청구항 10.

제 7 항에 있어서,

상기 공통전극 및 화소전극은 동일층에 동시에 형성하는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

청구항 11.

제 7 항에 있어서,

상기 공통전극 및 화소전극은 ITO로 형성하는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

청구항 12.

제 7 항에 있어서,

상기 공통전극은 상기 게이트 절연막 및 보호막을 제거하여 형성된 콘택홀을 통해 상기 공통배선에 콘택시키는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

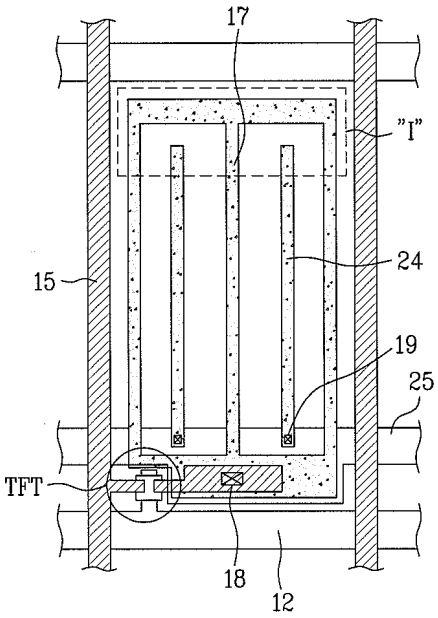
청구항 13.

제 7 항에 있어서,

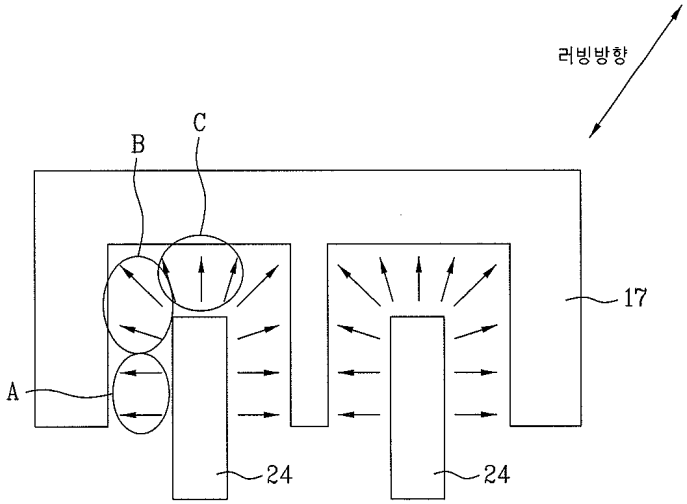
상기 화소전극은 상기 보호막을 제거하여 형성된 콘택홀을 통해 상기 화소전극의 연결부에 콘택시키는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

도면

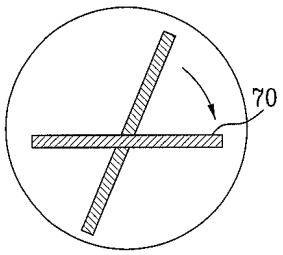
도면1



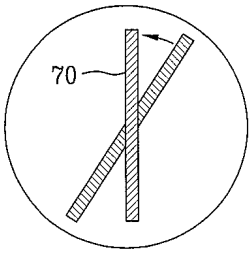
도면2



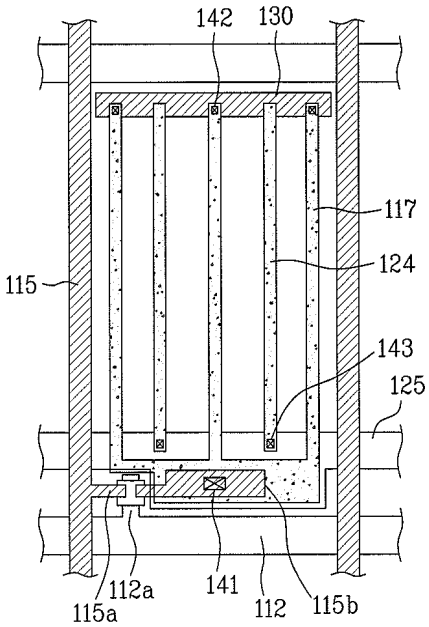
도면3a



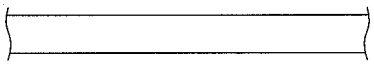
도면3b

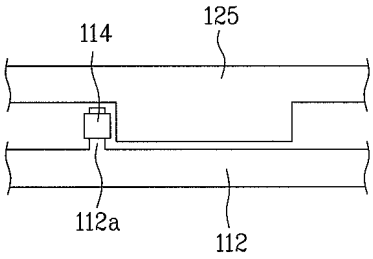


도면4

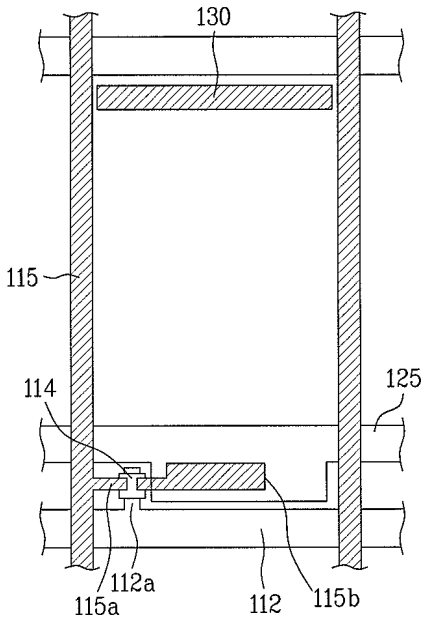


도면5a

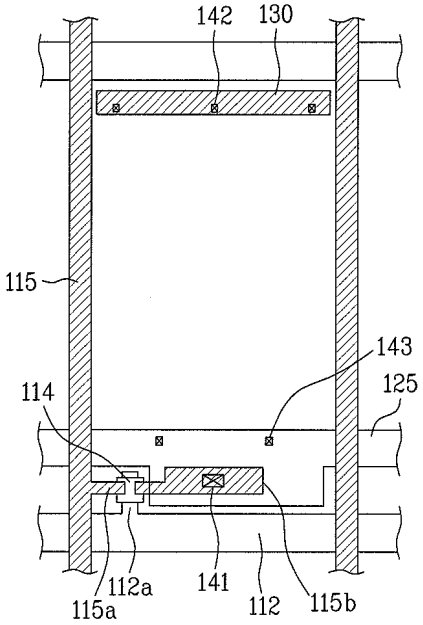




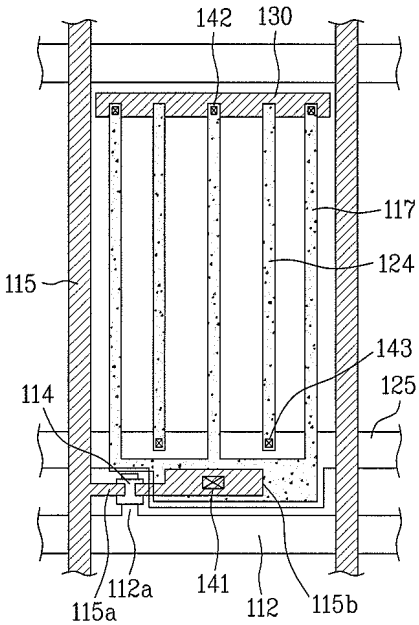
도면5b



도면5c


142
130
115
143
125
114
112a
141
115a
112
115b

도면5d


142
130
117
124
115
143
125
114
112a
141
115a
112
115b