



(12) 发明专利

(10) 授权公告号 CN 103021934 B

(45) 授权公告日 2015. 10. 21

(21) 申请号 201210560146. 2

US 2005/0034816 A1, 2005. 02. 17,

(22) 申请日 2012. 12. 20

US 2005/0106888 A1, 2005. 05. 19,

US 5656123 A, 1997. 08. 12,

(73) 专利权人 中微半导体设备(上海)有限公司  
地址 201201 上海市浦东新区金桥出口加工  
区(南区)泰华路 188 号

审查员 赵吉鹤

(72) 发明人 王兆祥 杜若昕 刘志强 倪图强

(74) 专利代理机构 北京集佳知识产权代理有限  
公司 11227

代理人 王宝筠

(51) Int. Cl.

H01L 21/768(2006. 01)

(56) 对比文件

CN 100347334 C, 2007. 11. 07,

CN 102737983 A, 2012. 10. 17,

CN 1203442 A, 1998. 12. 30,

CN 1585997 A, 2005. 02. 23,

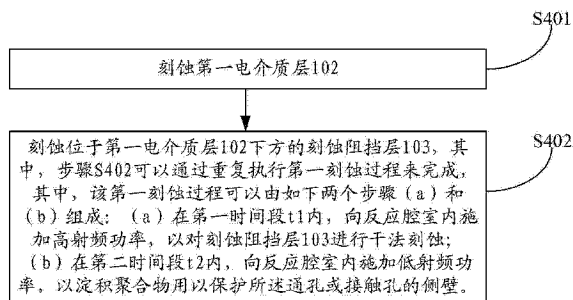
权利要求书2页 说明书8页 附图6页

(54) 发明名称

一种通孔或接触孔的形成方法

(57) 摘要

本发明实施例提供一种通孔或接触孔的形成方法,所述方法包括:刻蚀第一电介质层;刻蚀位于所述第一电介质层下方的刻蚀阻挡层,以暴露出位于所述刻蚀阻挡层下方的第二电介质层中的金属结构;其特征在于,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层包括:重复执行第一刻蚀过程;其中,所述第一刻蚀过程由下述步骤(a)和(b)组成:(a)在第一时间段内,向反应腔室内施加高射频功率,以对所述刻蚀阻挡层进行干法刻蚀;(b)在第二时间段内,向反应腔室内施加低射频功率,以淀积聚合物用以保护所述通孔或接触孔的侧壁。相对于现有技术,采用本发明实施例提供的通孔或接触孔的形成方法制作通孔或接触孔的半导体结构的电性能较高。



1. 一种通孔或接触孔的形成方法,其特征在于,所述方法包括:  
刻蚀第一电介质层;  
刻蚀位于所述第一电介质层下方的刻蚀阻挡层,以暴露出位于所述刻蚀阻挡层下方的第二电介质层中的金属结构;  
其特征在于,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层包括:重复执行第一刻蚀过程;其中,所述第一刻蚀过程由下述步骤(a)和(b)组成:  
(a) 在第一时间段内,向反应腔室内施加高射频功率,以对所述刻蚀阻挡层进行干法刻蚀;  
(b) 在第二时间段内,向反应腔室内施加低射频功率,以淀积聚合物用以保护所述通孔或接触孔的侧壁,所述低射频功率在 0 ~ 300W 范围内,以减少等离子体对所述金属结构的轰击,进而减少金属溅射。
2. 根据权利要求 1 所述的形成方法,其特征在于,所述刻蚀第一电介质层包括重复执行第二刻蚀过程;其中,所述第二刻蚀过程由下述步骤(c)和(d)组成:  
(c) 在第三时间段内,向反应腔室内施加高射频功率,以对所述第一电介质层进行干法刻蚀;  
(d) 在第四时间段内,向反应腔室内施加低射频功率,以淀积聚合物用以保护所述通孔或接触孔的侧壁。
3. 根据权利要求 2 所述的形成方法,其特征在于,一所述第一时间段和一所述第二时间段构成一第一脉冲周期,第一脉冲频率为 10KHz-500KHz ;和 / 或,  
一所述第三时间段和一所述第四时间段构成一第二脉冲周期,第二脉冲频率为 10KHz-500KHz。
4. 根据权利要求 1 所述的形成方法,其特征在于,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层时,第一占空比在 10% ~ 90% 之间;其中所述第一占空比为在一个所述第一刻蚀过程内所述第一时间段与所述第一时间段和所述第二时间段之和的比值。
5. 根据权利要求 4 所述的形成方法,其特征在于,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层采用等离子体射频源功率和等离子体射频偏置功率完成;其中,在不同的所述第一刻蚀过程中,所述第一时间段和所述第二时间段均保持不变、且所述第一占空比在 40% ~ 90% 之间。
6. 根据权利要求 4 所述的形成方法,其特征在于,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层采用等离子体射频源功率和等离子体射频偏置功率完成;其中,在所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层的过程中,所述第一占空比逐渐减小。
7. 根据权利要求 4 所述的形成方法,其特征在于,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层采用等离子体射频源功率完成;其中,在不同的所述第一刻蚀过程中,所述第一时间段和所述第二时间段均保持不变、且所述第一占空比在 50% ~ 90% 之间。
8. 根据权利要求 4 所述的形成方法,其特征在于,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层采用等离子体射频源功率完成;其中,在所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层的过程中,所述第一占空比逐渐减小。
9. 根据权利要求 2 所述的形成方法,其特征在于,所述刻蚀第一电介质层时,第二占空比在 10% ~ 90% 之间;其中所述第二占空比为在一个所述第二刻蚀过程内所述第三时间

段与所述第三时间段和所述第四时间段之和的比值。

10. 根据权利要求 9 所述的形成方法,其特征在于,所述刻蚀第一电介质层采用等离子体射频源功率和等离子体射频偏置功率完成;其中,在不同的所述第二刻蚀过程中,所述第三时间段和所述第四时间段均保持不变、且所述第二占空比在 40%~90%之间。

11. 根据权利要求 9 所述的形成方法,其特征在于,所述刻蚀第一电介质层采用等离子体射频源功率和等离子体射频偏置功率完成;其中,在所述刻蚀第一电介质层的过程中,所述第二占空比逐渐减小。

12. 根据权利要求 9 所述的形成方法,其特征在于,所述刻蚀第一电介质层采用等离子体射频源功率完成;其中,在不同的所述第二刻蚀过程中,所述第三时间段和所述第四时间段均保持不变、且所述第二占空比在 50%~90%之间。

13. 根据权利要求 9 所述的形成方法,其特征在于,所述刻蚀第一电介质层采用等离子体射频源功率完成;其中,在所述刻蚀第一电介质层的过程中,所述第二占空比逐渐减小。

14. 根据权利要求 1-13 任一项所述的形成方法,其特征在于,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层时,所述刻蚀阻挡层所用材料对所述第一电介质层所用材料的选择比在 1.5:1~1:3 之间。

15. 根据权利要求 1-13 任一项所述的形成方法,其特征在于,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层包括:

对所述刻蚀阻挡层进行主刻蚀,以去除所述通孔或接触孔内的第一部分所述刻蚀阻挡层;

对所述刻蚀阻挡层进行过刻蚀,以完全去除所述通孔或接触孔内的剩余部分所述刻蚀阻挡层,并暴露出位于所述第二电介质层中的所述金属结构。

16. 根据权利要求 1-13 任一项所述的形成方法,其特征在于,所述刻蚀第一电介质层包括:

对所述第一电介质层进行主刻蚀,以去除所述通孔或接触孔内的第一部分所述第一电介质层;

对所述第一电介质层进行过刻蚀,以完全去除所述通孔或接触孔内的剩余部分所述第一电介质层,并暴露出所述刻蚀阻挡层。

17. 根据权利要求 1-13 任一项所述的形成方法,其特征在于,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层所用气体包括  $\text{CF}_4$ 、 $\text{C}_4\text{F}_8$ 、 $\text{C}_4\text{F}_6$ 、 $\text{CHF}_3$ 、 $\text{CH}_2\text{F}_2$  中的一种或者几种的组合。

## 一种通孔或接触孔的形成方法

### 技术领域

[0001] 本发明属于半导体制造技术领域,具体涉及一种通孔或接触孔的形成方法。

### 背景技术

[0002] 在采用干法刻蚀制作连接金属结构与电介质的通孔或者连接金属结构与金属结构的接触孔的过程中,为了减少等离子体刻蚀对金属结构的影响,并且保证电介质材料刻蚀的均匀性,通常在金属结构之上形成一层刻蚀阻挡层(etch stop layer)以在等离子体刻蚀过程中保护金属结构(参见图1所示),其中图1中的结构包括:光刻胶101、第一电介质层102、刻蚀阻挡层103、第二电介质层104以及位于第二电介质层104内部的金属结构105。位于金属结构之上的刻蚀阻挡层103通常选用相对被刻蚀去除的介质层(如第一电介质层102)所用材料的刻蚀速率选择比高的电介质材料(如SiN、掺杂碳的SiN或者SiC等),以使对第一电介质层102有足够的过刻蚀(overetch)以保证第一电介质层102能够完全打开,穿透第一电介质层102和刻蚀阻挡层103并形成与金属结构相连的通孔或接触孔,如图2和3所示。

[0003] 但是,传统的形成通孔或接触孔的刻蚀方法有如下缺点:一方面,传统的刻蚀方法在刻蚀阻挡层刻蚀过程中易发生底切(undercut),即通孔或接触孔的底部的宽度大于金属结构的宽度,过多地去掉了刻蚀阻挡层;另一方面,传统的刻蚀方法由于有较高的自偏压,通常会导致金属结构(如Cu或Al)在干法刻蚀过程中产生溅射,造成等离子体诱导损伤(plasma induced damage, PID)。因此,传统的刻蚀工艺在金属暴露于等离子体之后,等离子体中的活性自由基会造成金属表面的改性,而正离子的物理轰击作用会引起金属的溅射,因此会影响半导体结构的电性能。

### 发明内容

[0004] 为解决现有技术中由于通孔或接触孔采用传统方法制作的半导体结构的电性能不高的问题,本发明实施例提供一种通孔或接触孔的形成方法,所述方法包括:

[0005] 刻蚀第一电介质层;

[0006] 刻蚀位于所述第一电介质层下方的刻蚀阻挡层,以暴露出位于所述刻蚀阻挡层下方的第二电介质层中的金属结构;

[0007] 其特征在于,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层包括:重复执行第一刻蚀过程;其中,所述第一刻蚀过程由下述步骤(a)和(b)组成:

[0008] (a) 在第一时间段内,向反应腔室内施加高射频功率,以对所述刻蚀阻挡层进行干法刻蚀;

[0009] (b) 在第二时间段内,向反应腔室内施加低射频功率,以淀积聚合物用以保护所述通孔或接触孔的侧壁。

[0010] 优选地,所述刻蚀第一电介质层包括重复执行第二刻蚀过程;其中,所述第二刻蚀过程由下述步骤(c)和(d)组成:

[0011] (c) 在第三时间段内, 向反应腔室内施加高射频功率, 以对所述第一电介质层进行干法刻蚀;

[0012] (d) 在第四时间段内, 向反应腔室内施加低射频功率, 以淀积聚合物用以保护所述通孔或接触孔的侧壁。

[0013] 优选地, 一所述第一时间段和一所述第二时间段构成一第一脉冲周期, 第一脉冲频率为 10KHz-500KHz ; 和 / 或,

[0014] 一所述第三时间段和一所述第四时间段构成一第二脉冲周期, 第二脉冲频率为 10KHz-500KHz。

[0015] 优选地, 所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层时, 第一占空比在 10%~90% 之间 ; 其中所述第一占空比为在一个所述第一刻蚀过程内所述第一时间段与所述第一时间段和所述第二时间段之和的比值。

[0016] 优选地, 所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层采用等离子体射频源功率和等离子体射频偏置功率完成 ; 其中, 在不同的所述第一刻蚀过程中, 所述第一时间段和所述第二时间段均保持不变、且所述第一占空比在 40%~90% 之间。

[0017] 优选地, 所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层采用等离子体射频源功率和等离子体射频偏置功率完成 ; 其中, 在所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层的过程中, 所述第一占空比逐渐减小。

[0018] 优选地, 所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层采用等离子体射频源功率完成 ; 其中, 在不同的所述第一刻蚀过程中, 所述第一时间段和所述第二时间段均保持不变、且所述第一占空比在 50%~90% 之间。

[0019] 优选地, 所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层采用等离子体射频源功率完成 ; 其中, 在所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层的过程中, 所述第一占空比逐渐减小。

[0020] 优选地, 所述刻蚀第一电介质层时, 第二占空比在 10%~90% 之间 ; 其中所述第二占空比为在一个所述第二刻蚀过程内所述第三时间段与所述第三时间段和所述第四时间段之和的比值。

[0021] 优选地, 所述刻蚀第一电介质层采用等离子体射频源功率和等离子体射频偏置功率完成 ; 其中, 在不同的所述第二刻蚀过程中, 所述第三时间段和所述第四时间段均保持不变、且所述第二占空比在 40%~90% 之间。

[0022] 优选地, 所述刻蚀第一电介质层采用等离子体射频源功率和等离子体射频偏置功率完成 ; 其中, 在所述刻蚀第一电介质层的过程中, 所述第二占空比逐渐减小。

[0023] 优选地, 所述刻蚀第一电介质层采用等离子体射频源功率完成 ; 其中, 在不同的所述第二刻蚀过程中, 所述第三时间段和所述第四时间段均保持不变、且所述第二占空比在 50%~90% 之间。

[0024] 优选地, 所述刻蚀第一电介质层采用等离子体射频源功率完成 ; 其中, 在所述刻蚀第一电介质层的过程中, 所述第二占空比逐渐减小。

[0025] 优选地, 所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层时, 所述刻蚀阻挡层所用材料对所述第一电介质层所用材料的选择比在 1.5:1~1:3 之间。

[0026] 优选地, 所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层包括 :

[0027] 对所述刻蚀阻挡层进行主刻蚀,以去除所述通孔或接触孔内的第一部分所述刻蚀阻挡层;

[0028] 对所述刻蚀阻挡层进行过刻蚀,以去除所述通孔或接触孔内的剩余部分所述刻蚀阻挡层,并暴露出位于所述第二电介质层中的所述金属结构。

[0029] 优选地,所述刻蚀第一电介质层包括:

[0030] 对所述第一电介质层进行主刻蚀,以去除所述通孔或接触孔内的第一部分所述第一电介质层;

[0031] 对所述第一电介质层进行过刻蚀,以去除所述通孔或接触孔内的剩余部分所述第一电介质层,并暴露出所述刻蚀阻挡层。

[0032] 优选地,所述刻蚀位于所述第一电介质层下方的刻蚀阻挡层所用气体包括  $\text{CF}_4$ 、 $\text{C}_4\text{F}_8$ 、 $\text{C}_4\text{F}_6$ 、 $\text{CHF}_3$ 、 $\text{CH}_2\text{F}_2$  中的一种或者几种的组合。

[0033] 本发明实施例提供的通孔或接触孔的形成方法,在对刻蚀阻挡层进行刻蚀时,重复循环执行在第一时间段内对刻蚀阻挡层进行干法刻蚀、在第二时间段内停止对刻蚀阻挡层进行干法刻蚀。采用这种方法,在第二时间段内在第一电介质层和刻蚀阻挡层的侧壁沉积聚合物,这些聚合物能够在刻蚀过程中保护刻蚀阻挡层的侧壁,减少了底切的发生;同时,在停止刻蚀过程的第二时间段内,硅片表面累积的电荷以及硅片内部俘获后的电荷会得到释放,所以能够从根本上减少 PID。可见,本发明实施例提供的通孔或接触孔的形成方法能够在整体上提高采用该通孔或接触孔的半导体结构的电性能。

## 附图说明

[0034] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,图中相同的标记表示相同的部件,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图,重点在于示出本发明的主旨。

[0035] 图 1 是通孔或接触孔形成之前的结构示意图;

[0036] 图 2 是采用传统方法制作通孔或接触孔时刻蚀第一电介质层之后形成的结构示意图;

[0037] 图 3 是采用传统方法制作的通孔或接触孔的结构示意图;

[0038] 图 4 是本发明实施例一提供的通孔或接触孔的制作方法的流程图;

[0039] 图 5 是采用本发明实施例一提供的通孔或接触孔的制作方法制作的通孔或接触孔的结构示意图;

[0040] 图 6 是本发明实施例一制作通孔或接触孔时所采用的等离子体射频功率的波形图;

[0041] 图 7 ~ 8 是本发明实施例一第一示例的等离子体射频功率的波形图;

[0042] 图 9 ~ 10 是本发明实施例一第二示例的等离子体射频功率的波形图;

[0043] 图 11 是本发明实施例二提供的通孔或接触孔的制作方法的流程图;

[0044] 图 12 ~ 15 是采用本发明实施例二提供的制作方法制作通孔或接触孔过程中各个

阶段的结构示意图。

### 具体实施方式

[0045] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0046] 为制作高电性能的半导体结构,本发明实施例提出了以下技术方案。

[0047] 为此,本发明实施例一提供一种通孔或接触孔的制作方法,图 4 示出了该制作方法的流程图,该方法包括以下步骤:

[0048] 步骤 S401:刻蚀第一电介质层 102;

[0049] 具体地,在执行步骤 S401 之前,还可以先在第一电介质层 102 的预定区域涂覆光刻胶 101,以在后续刻蚀过程中保护第一电介质层 102,其中该预定区域可以是形成通孔或接触孔之外的区域。

[0050] 在刻蚀第一电介质层 102 的过程中,可以采用传统的干法刻蚀,也可以采用其他适用的刻蚀方法。

[0051] 需要说明的是,本步骤 S401 的干法刻蚀可以采用双频电源驱动放电的方式,即刻蚀第一电介质层 102 的过程可以采用等离子体射频源功率 (source power) 和 / 或等离子体射频偏置功率 (bias power) 完成,即可以单独采用等离子体射频源功率完成或者单独采用等离子体射频偏置功率完成、还可以采用等离子体射频源功率和等离子体射频偏置功率相结合的方式完成。其中,本发明实施例中的等离子体射频源功率的频率可以在 25MHz ~ 120MHz 范围内,该频率的等离子体射频源功率主要用于控制等离子体的密度;等离子体射频偏置功率的频率可以在 2MHz ~ 15MHz 范围内,该频率的等离子体射频偏置功率主要用于控制等离子体的能量。

[0052] 步骤 S402:刻蚀位于第一电介质层 102 下方的刻蚀阻挡层 103,以暴露出位于其下方的第二电介质层 104 中的金属结构 105;其中,步骤 S402 可以通过重复执行第一刻蚀过程来完成,该第一刻蚀过程可以由如下两个步骤 (a) 和 (b) 组成:

[0053] (a) 在第一时间段 t1 内,向反应腔室内施加高射频功率,对刻蚀阻挡层 103 进行干法刻蚀;其中,该高射频功率的功率可以在 500-1200W 范围内,该高射频功率的频率可以在 2MHz 以上;

[0054] (b) 在第二时间段 t2 内,向反应腔室内施加低射频功率,该低射频功率的频率可以为高射频功率值的 40% 及以下,另外,该低射频功率还可以在 0-300W 范围内,此时,停止对刻蚀阻挡层 103 进行干法刻蚀,以淀积聚合物用以保护所述通孔或接触孔的侧壁。

[0055] 其中,本发明实施例中的高射频功率和低射频功率是指同一个射频电源输出的同一种频率、且具有两种功率输出状态,两个阶段变化的仅是功率的大小。

[0056] 对刻蚀阻挡层 103 的干法刻蚀可以采用重复执行第一刻蚀过程的方式进行,即采用不断连续执行步骤 (a) 和步骤 (b) 的方式进行。在实际操作过程中,可以连续交替执行步骤 (a) 和步骤 (b),即采用步骤 (a)-步骤 (b)-步骤 (a)-步骤 (b)……步骤 (a)-步骤 (b) 的方式。连续执行一个步骤 (a) 和一个步骤 (b) 即为一个第一刻蚀过程,其中每个第

一刻蚀过程可以总是以步骤 (a) 开始、以步骤 (b) 结束、且每个第一刻蚀过程所经历的总时间 (该总时间  $t = t_1 + t_2$ ) 可以是固定不变的;即,第一时间段  $t_1$  可以改变、第二时间段  $t_2$  可以改变、但是  $t$  的值是不变的。本步骤 S402 中,在第一时间段  $t_1$  内施加高射频功率以执行干法刻蚀操作,在第二时间段  $t_2$  内施加低射频功率以淀积聚合物用以保护所述通孔或接触孔的侧壁;即,采用脉冲的方式执行对刻蚀阻挡层 103 的干法刻蚀。其中,第一时间段  $t_1$  和第二时间段  $t_2$  的长度可以满足如下关系:第一时间段  $t_1$  与第一时间段  $t_1$  和第二时间段  $t_2$  之和的比值在 0.1 ~ 0.9 之间,即第一占空比在 10% ~ 90% 之间,其中第一占空比  $M1 = t_1 / (t_1 + t_2) = t_1 / t$ 。

[0057] 另外,一个第一时间段  $t_1$  和一个第二时间段  $t_2$  构成一个第一脉冲周期,第一脉冲频率可以为 10KHz-500KHz。

[0058] 本步骤 S402 中的干法刻蚀可以通过向反应腔室内施加高射频功率的方式完成,具体地,可以采用双频电源驱动放电的方式,即对刻蚀阻挡层 103 进行刻蚀的过程可以采用等离子体射频源功率和 / 或等离子体射频偏置功率完成,即可以单独采用等离子体射频源功率完成或者单独采用等离子体射频偏置功率完成、还可以采用等离子体射频源功率和等离子体射频偏置功率相结合的方式完成。其中,本发明实施例中的等离子体射频源功率的频率可以在 25MHz ~ 120MHz 范围内,该频率的等离子体射频源功率主要用于控制等离子体的密度,等离子体射频偏置功率的频率可以在 2MHz ~ 15MHz 范围内),该频率的等离子体射频偏置功率主要用于控制等离子体的能量。

[0059] 在实际操作过程中,可以在第一时间段  $t_1$  内,令等离子体射频功率 (包括等离子体射频源功率和 / 或等离子体射频偏置功率) 处于高射频功率状态,执行等离子体干法刻蚀操作;在第二时间段  $t_2$  内,令射频功率处于低射频功率状态,以淀积聚合物用以保护所述通孔或接触孔的侧壁。即在对刻蚀阻挡层进行刻蚀的整个过程中,等离子体射频频率可以按如图 6 中的 b 所示的脉冲波形变化:在第一时间段  $t_1$  内,等离子体射频功率处于高射频功率状态,在第二时间段  $t_2$  内,等离子体射频功率处于低射频功率状态,在一个具体实施例中,该低射频功率状态的功率可以为零。图 6 中的 a 中的波形图是微观的脉冲波形图,正常的脉冲开启时的实际波形可以是正弦波,所以图 6 中的 a 和图 6 中的 b 实际是等效的脉冲示意图。另外,在第一时间段  $t_1$  内,等离子体射频功率可以为恒定值,也可以随时间而变化,本发明对此不作限定。

[0060] 在第二时间段  $t_2$  内,虽然等离子体射频功率处于低射频功率状态,但是此时工艺腔内仍然有大量的激活粒子 (radical),这些激活粒子具有很高的反应活性,会在工艺腔内反应形成聚合物,这些聚合物沉积在第一电介质层 102 和刻蚀阻挡层 103 的侧壁。当等离子体射频功率回到高射频功率状态 (即执行刻蚀操作) 时,沉积在刻蚀阻挡层 103 的侧壁的聚合物会保护刻蚀阻挡层 103 的侧壁,从而减少了底切的发生。采用本发明实施例一提供的通孔或接触孔的形成方法制作的通孔或接触孔可以具有如图 5 所示的结构,该通孔或接触孔正好完全暴露出金属结构 105、且没有对刻蚀阻挡层 103 的过多刻蚀,没有底切现象发生。

[0061] 在传统的等离子体刻蚀条件下,正电荷会在电场加速下注入电介质材料的表面和内部,随着时间的增加,电荷累积越来越多,在电势差的情况下会形成电流,造成器件的损伤,即使在等离子体射频偏置功率为零的情况下,这种等离子体诱导损伤 (PID) 仍然很严重。



而在本发明实施例一中,采用脉冲等离子体来进行刻蚀,在第二时间段  $t_2$  内,等离子体射频功率处于关闭状态,此时,硅片表面累积的电荷以及硅片内部俘获 (trap) 的电荷会得到释放,所以能够从根本上减少 PID。

[0062] 需要说明的是,在对刻蚀阻挡层进行过刻蚀的过程中,即金属暴露在等离子体的过程中,采用脉冲等离子体可以在金属表面形成一层聚合物,这层聚合物能够减少过刻蚀过程中 F、O 等活性自由基对金属表面的腐蚀以及离子对金属表面的物理轰击引起的溅射作用。

[0063] 本发明实施例一提供的通孔或接触孔的形成方法,在对刻蚀阻挡层进行刻蚀时,重复循环执行在第一时间段内采用高射频功率对刻蚀阻挡层进行干法刻蚀、在第二时间段内采用低射频功率淀积聚合物用以保护通孔或接触孔的侧壁进行干法刻蚀。采用这种方法,在第二时间段内在第一电介质层和刻蚀阻挡层的侧壁沉积聚合物,这些聚合物能够在刻蚀过程中保护刻蚀阻挡层的侧壁,减少了底切的发生;同时,在停止刻蚀过程的第二时间段内,硅片表面累积的电荷以及硅片内部俘获后的电荷会得到释放,所以能够从根本上减少 PID。可见,本发明实施例提供的通孔或接触孔的形成方法能够在整体上提高采用该通孔或接触孔的半导体结构的电性能。

[0064] 需要说明的是,在上述刻蚀过程(包括步骤 S401 和 / 或步骤 S402) 中,所采用的刻蚀气体可以包括  $CF_4$ 、 $C_4F_8$ 、 $C_4F_6$ 、 $CHF_3$ 、 $CH_2F_2$  中的一种或者几种的组合,另外,该刻蚀气体还可以含有一定量的 Ar 以及  $O_2$  等,其中 Ar 可以用于稀释刻蚀气体, $O_2$  有助于刻蚀过程中聚合物的产生。在本发明一个优选实施例中,刻蚀气体可以采用由  $CF_4$ 、Ar 和  $O_2$  组成的混合气体,另外,还可以在该混合气体中添加一定量的  $C_4F_8$ 、 $C_4F_6$ 、 $CHF_3$ 、 $CH_2F_2$  中的一种或者几种以进一步提高刻蚀效果。

[0065] 实际上,本发明实施例对刻蚀阻挡层进行刻蚀的过程可以有多种实现方式,以下以几个具体示例为例对这些方式进行介绍,需要说明的是,本发明实施例对刻蚀阻挡层进行刻蚀的方式并不限于下述几种方式,本领域普通技术人员也可以在本发明技术方案的基础上采用其他适用的方式。

[0066] 第一示例

[0067] 在对刻蚀阻挡层进行刻蚀的过程中,可以同时采用等离子体射频源功率和等离子体射频偏置功率,且等离子体射频偏置功率可以按脉冲方式设置,即在一段时间等离子体射频偏置功率大于零、在随后的另一段时间等离子体射频偏置功率等于零;例如在第一时间段  $t_1$  内等离子体射频偏置功率为高射频功率状态、在第二时间段  $t_2$  内等离子体射频偏置功率为低射频功率状态,如图 7 中的 b 所示;而在此过程中,等离子体射频源功率可以保持大于零且保持恒定不变,如图 7 中的 a 所示。

[0068] 采用这种方式时,在对刻蚀阻挡层进行刻蚀的整个过程中,即多次重复循环连续执行步骤 (a) 和步骤 (b) 的过程中,执行一次步骤 (a) 的时间和执行一次步骤 (b) 的时间可以保持均不变,即第一时间段  $t_1$  和第二时间段  $t_2$  可以均为恒定值。此时,在第一刻蚀过程中,即连续执行一个步骤 (a) 和一个步骤 (b) 的过程中,第一占空比可以在 40%~90% 之间,即  $t_1/(t_1+t_2)$  在 40%~90% 之间,如图 7 中的 b 所示。

[0069] 另外,采用等离子体射频源功率和等离子体射频偏置功率相结合的方式执行刻蚀操作时,在对刻蚀阻挡层进行刻蚀的整个过程中,第一占空比可以逐渐减小,即随着刻蚀过

程的进行,在连续执行的不同的第一刻蚀过程中,第一占空比可以逐渐减小,也即在不同的第一刻蚀过程中  $t_1/(t_1+t_2)$  的值不断减小,但是,第一占空比仍在在 10%~90%之间。鉴于每个第一刻蚀过程所用的总时间  $(t_1+t_2)$  保持不变,因此这相当于随着对刻蚀阻挡层进行刻蚀的进行,执行步骤 (a) 的时间不断减小,而执行步骤 (b) 的时间不断增大,即在连续执行的不同的第一刻蚀过程中,第一时间段  $t_1$  不断减小,第二时间段  $t_2$  不断增大,如图 8 所示,在连续的两个第一刻蚀过程中,时间段  $t_1'$  小于时间段  $t_1$ 。如图 8 中的 b 所示;而在此过程中,等离子体射频源功率可以保持大于零且保持恒定不变,如图 8 中的 a 所示。

#### [0070] 第二示例

[0071] 在对刻蚀阻挡层进行刻蚀的过程中,也可以仅采用等离子体射频源功率执行,且等离子体射频源功率按脉冲方式设置,即在一段时间等离子体射频源功率为高射频功率状态,在随后的另一段时间等离子体射频源功率为低射频功率状态;例如在第一时间段  $t_1$  内等离子体射频源功率大于零、在第二时间段  $t_2$  内等离子体射频源功率等于零。

[0072] 此时,在不同的第一刻蚀过程中,执行步骤 (a) 的时间可以完全相同、同时执行步骤 (b) 的时间也可以完全相同,即在对刻蚀阻挡层进行刻蚀的整个过程中,第一时间段  $t_1$  保持不变、第二时间段  $t_2$  也保持不变,参见图 9 所示。此时,第一占空比保持不变,但是,第一占空比需要保持在 50%~90%之间。

[0073] 另外,仅采用等离子体射频源功率时,在对刻蚀阻挡层进行刻蚀的整个过程中,第一占空比可以逐渐减小,即在不同的第一刻蚀过程中  $t_1/(t_1+t_2)$  的值不断减小,但是,第一占空比仍然在 10%~90%之间。鉴于每个第一刻蚀过程所用的总时间  $(t_1+t_2)$  保持不变,因此这相当于随着对刻蚀阻挡层进行刻蚀的进行,执行步骤 (a) 的时间不断减小、而执行步骤 (b) 的时间不断增大,即在连续执行的不同的第一刻蚀过程中,第一时间段  $t_1$  不断减小、第二时间段  $t_2$  不断增大,如图 10 所示,在连续的两个第一刻蚀过程中,时间段  $t_1'$  小于时间段  $t_1$ 。

[0074] 另外,本发明实施例一中还可以仅采用等离子体射频偏置功率的方式制作通孔或接触孔,在此不再赘述。

[0075] 需要说明的是,为减少刻蚀工艺对金属结构的轰击进而造成金属溅射,本发明实施例中的等离子体射频偏置功率应该较低,例如,可以在 0~500w 范围内;同时,也需要保证一定的等离子体射频源功率,例如可以在 200~1000W 范围内;此外,通孔或接触孔形成过程中,还需要保证一定的腔室压力,如 20~200mt。这些参数可以按具体工艺要求而定,在此不作限定。

[0076] 上述具体示例给出了几种对刻蚀阻挡层进行刻蚀的具体实现方式,需要说明的是,这些实现方式可以与本发明实施例中的其他工艺或者参数结合得到其他的技术方案,这些都在本发明实施例的保护范围内,在此不再一一列举。

[0077] 另外,本发明实施例中对第一电介质层进行刻蚀的过程也可以有多种不同的实现方式。

[0078] 例如,该步骤可以采用等离子体射频源功率和等离子体射频偏置功率相结合的方式完成。其中,在每个第二刻蚀过程中,第三时间段  $t_3$  和第四时间段  $t_4$  均保持不变,且第二占空比在 40%~90%之间;另外,在不同的第二刻蚀过程中,第二占空比还可以逐渐减小,即执行步骤 (c) 的时间不断减小、而执行步骤 (d) 的时间不断增加,但是,第二占空比仍然

在 10%~90%之间,该情况类似上述第一示例的情况,在此不再赘述。

[0079] 又如,该步骤也可以仅采用等离子体射频源功率完成。其中,在每个第二刻蚀过程中,第三时间段 t3 和第四时间段 t4 可以均保持不变,且第二占空比在 0.4~0.9 之间;另外,在不同的第二刻蚀过程中,第二占空比也可以逐渐减小,即执行步骤(c)的时间不断减小、而执行步骤(d)的时间不断增加,该情况类似上述第二示例的情况,在此不再赘述。

[0080] 此外,本发明实施例中,一个第三时间段 t3 和一个第四时间段 t4 构成一个第二脉冲周期,第二脉冲频率可以为 10KHz-500KHz。

[0081] 需要说明的是,为更好地防止通孔或接触孔形成过程中发生底切,本发明实施例中,在刻蚀位于第一电介质层 102 下方的刻蚀阻挡层 103 的过程中,刻蚀阻挡层 103 所用的材料对第一电介质层 102 所用的材料的刻蚀选择比可以在 1.5:1~1:3 之间;另外,该刻蚀阻挡层 103 还需具有一定的过刻率(OE%),以保证在形成通孔或接触孔的过程中刻蚀阻挡层 103 能够被完全打开。

[0082] 另外,本发明实施例的通孔或接触孔的形成方法还可以采用其他方式实现。

[0083] 实施例二

[0084] 本发明实施例二提供一种形成通孔或接触孔的方法,图 11 示出了该方法的流程图,图 12~图 15 示出了采用该方法制作通孔或接触孔时各个阶段的结构示意图。为简化起见,本发明实施例二仅对其与本发明实施例一的不同之处进行介绍,其与本发明实施例一相同之处,在此不再赘述。

[0085] 一并参见图 11~15,该方法包括以下步骤:

[0086] 步骤 S1101:对第一电介质层 102 进行主刻蚀,以去除所述通孔或接触孔内的第一部分所述第一电介质层,如图 12 所示。

[0087] 步骤 S1102:对所述第一电介质层进行过刻蚀,以去除所述通孔或接触孔内的剩余部分所述第一电介质层,并暴露出所述刻蚀阻挡层,如图 13 所示。

[0088] 步骤 S1103:对所述刻蚀阻挡层进行主刻蚀,以去除所述通孔或接触孔内的第一部分所述刻蚀阻挡层,以暴露所述金属结构。如图 14 所示。

[0089] 步骤 S1104:对所述刻蚀阻挡层进行过刻蚀,以保证完全去除所述通孔或接触孔内的剩余部分所述刻蚀阻挡层,如图 15 所示。

[0090] 此处仅对本发明实施例二的技术方案进行了简要介绍,需要说明的是,本发明实施例一中的各项参数对本发明实施例二的技术方案同样适用。例如,本发明实施例二中的各个刻蚀步骤(包括步骤 S1101、步骤 S1102、步骤 S1102、步骤 S1104)均可以采用本发明实施例一提到的脉冲刻蚀的方式进行,还可以采用本发明实施例一提到的等离子体射频源功率和/或等离子体射频偏置功率的脉冲刻蚀的方式进行。本领域普通技术人员可以在实施例二的基础上结合实施例一得到其他的技术方案,这些均在本发明的保护范围之内。

[0091] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

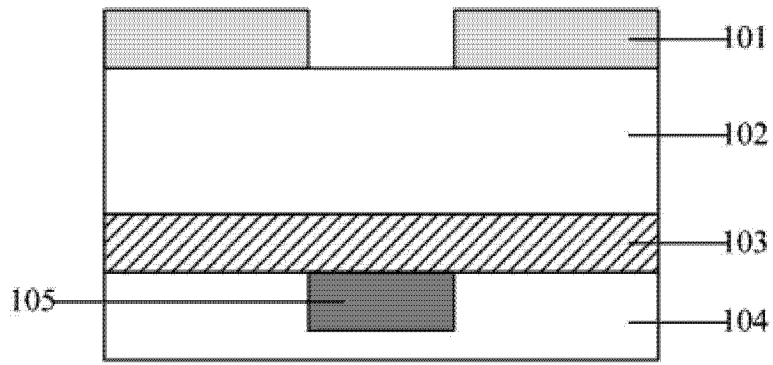


图 1

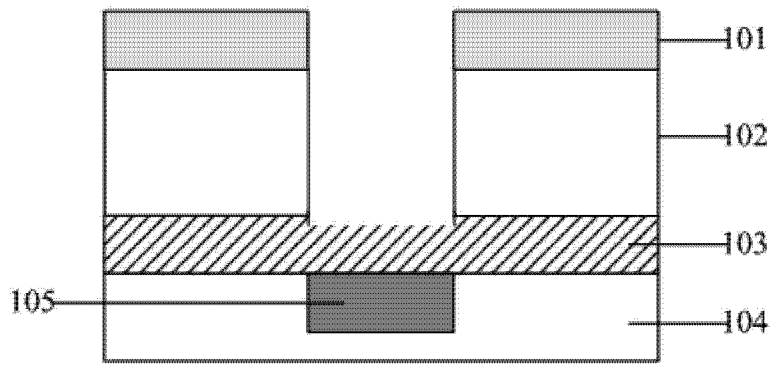


图 2

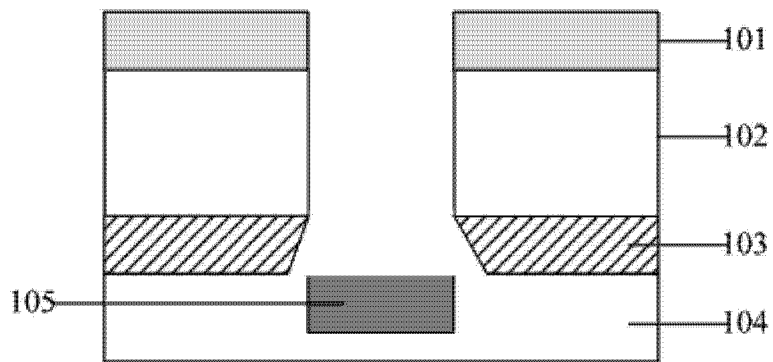


图 3

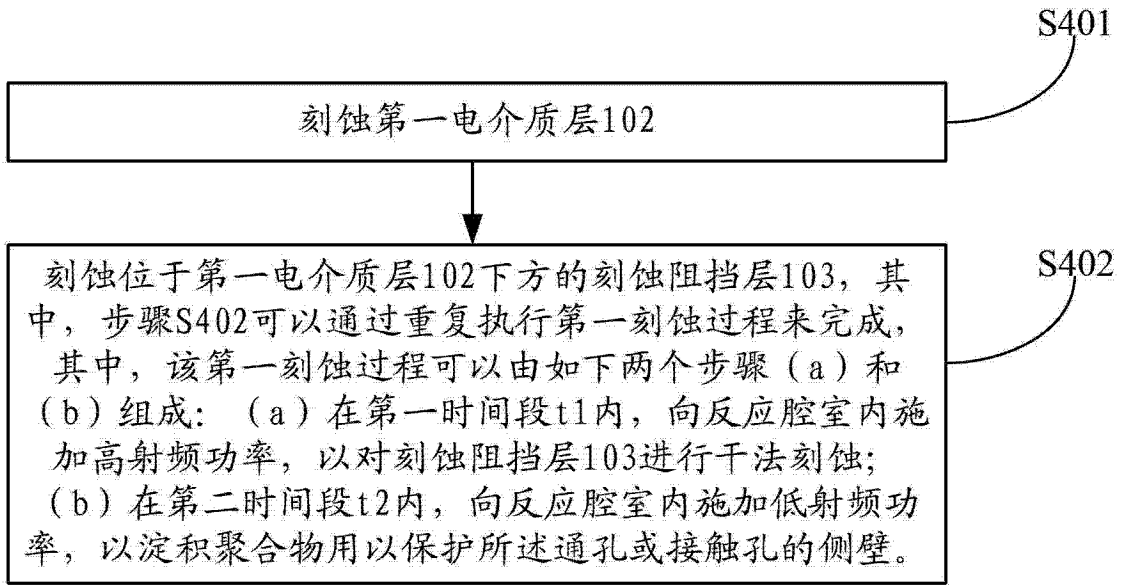


图 4

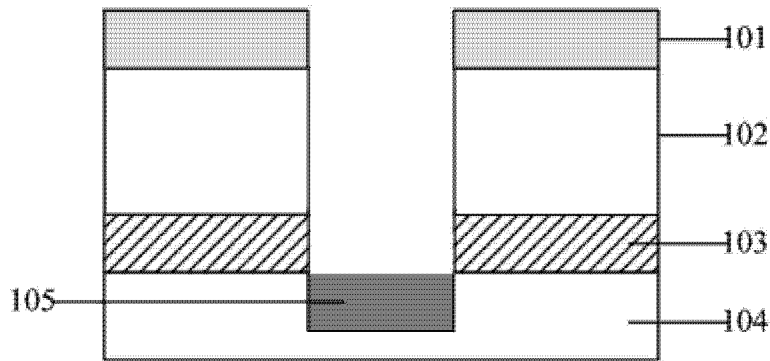


图 5

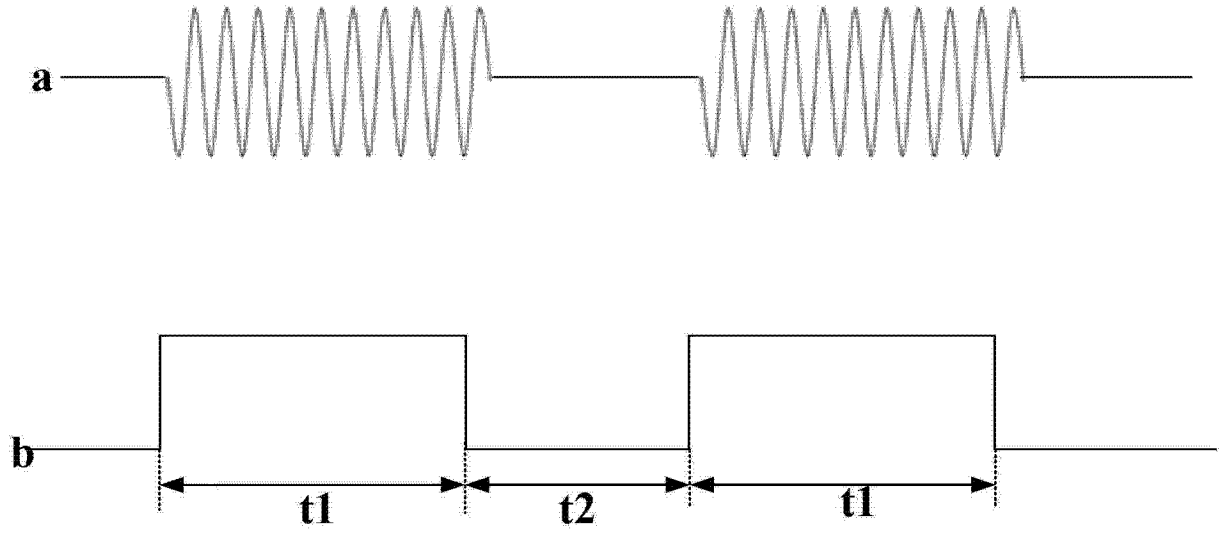


图 6

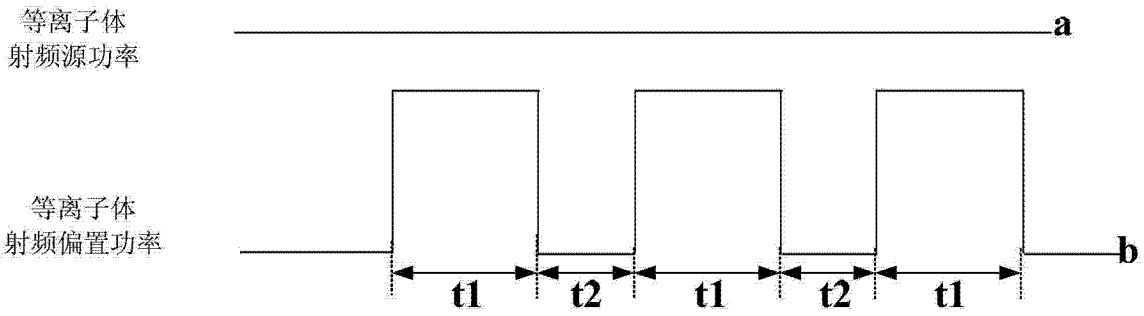


图 7

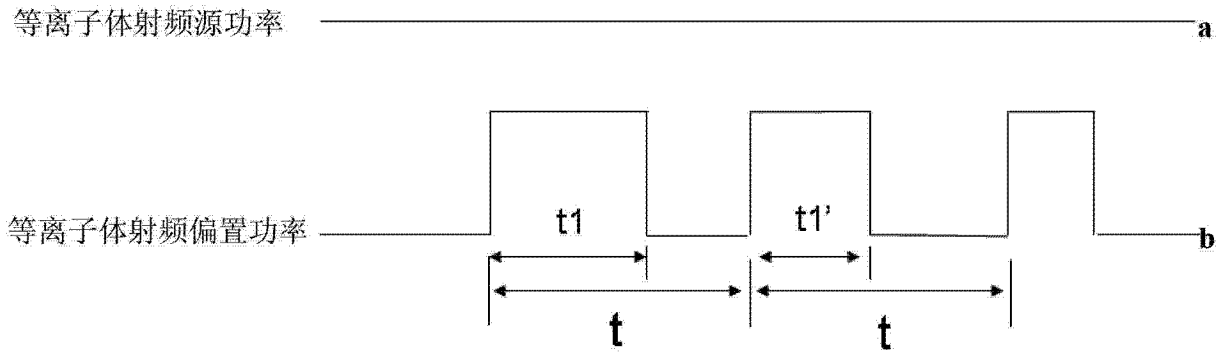


图 8

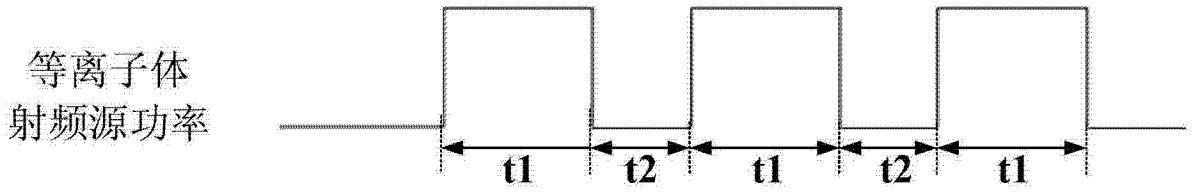


图 9

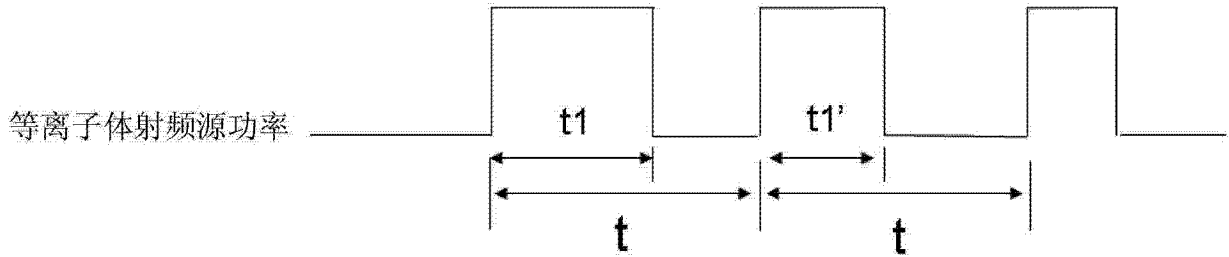


图 10

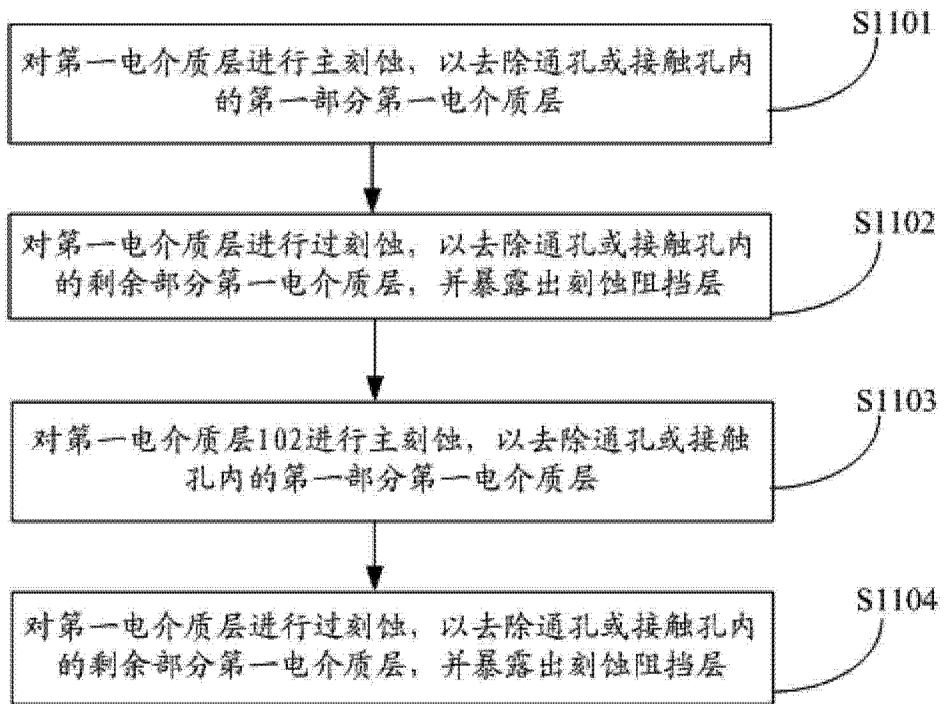


图 11

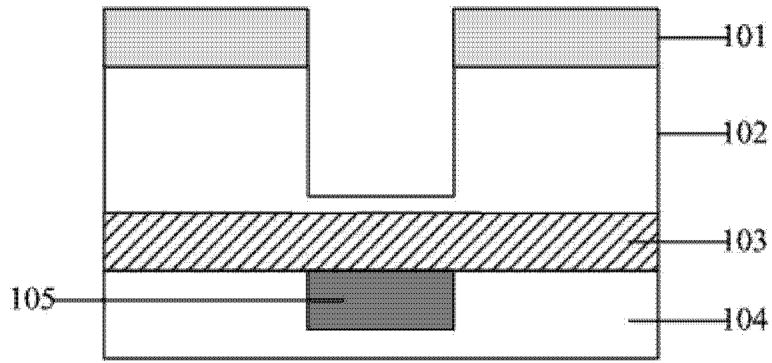


图 12

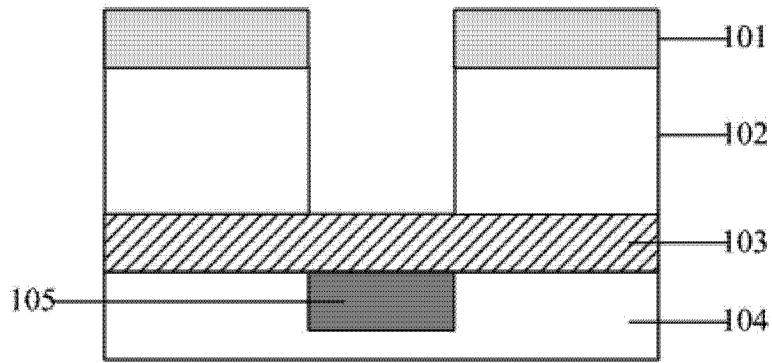


图 13

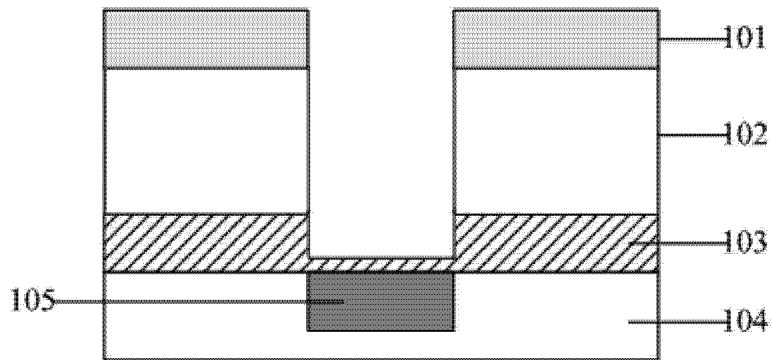


图 14



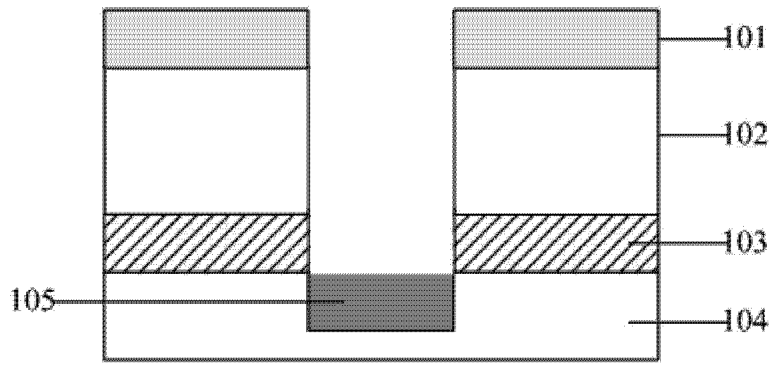


图 15