



(12)发明专利申请

(10)申请公布号 CN 108258051 A  
(43)申请公布日 2018.07.06

(21)申请号 201810024868.3

(22)申请日 2018.01.11

(71)申请人 上海华虹宏力半导体制造有限公司  
地址 201203 上海市浦东新区张江高科技  
园区祖冲之路1399号

(72)发明人 许昭昭 钱文生

(74)专利代理机构 上海浦一知识产权代理有限  
公司 31211  
代理人 郭四华

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 29/06(2006.01)

H01L 21/336(2006.01)

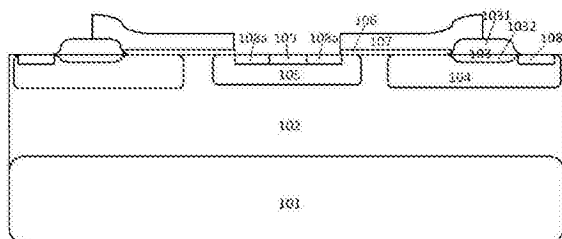
权利要求书2页 说明书8页 附图4页

(54)发明名称

LDMOS器件及其制造方法

(57)摘要

本发明公开了一种LDMOS器件,漂移区场氧由第一场氧和第二场氧叠加而成,第一场氧采用局部场氧化工艺形成,第二场氧采用氧化层淀积加刻蚀工艺形成;第一场氧在漂移区场氧的第一侧形成一个鸟嘴使得栅介质层和漂移区场氧的第一侧的鸟嘴接触,消除单独采用第二场氧时在栅介质层和漂移区场氧接触处电场强度增加的缺陷,从而能提高器件的击穿电压;第二场氧叠加在第一场氧的表面上用于在保证漂移区场氧的总厚度保持不变的条件下减少第一场氧的厚度,从而减少漂移区场氧的底部和第一外延层表面之间的距离,用以降低器件的导通电阻。本发明还公开了一种LDMOS器件的制造方法。本发明能提高器件的击穿电压,降低器件的导通电阻和关态漏电流。



1. 一种LDMOS器件,其特征在于,包括:

第二导电类型的第一外延层,在所述第一外延层的选定区域中形成有第一导电类型的漂移区和第二导电类型的体区;所述漂移区和所述体区横向接触或隔离有距离;

在所述漂移区的选定区域中形成由漂移区场氧;

在所述体区的表面形成有由栅介质层和多晶硅栅叠加而成的栅极结构,被所述多晶硅栅覆盖的所述体区表面用于形成沟道;

所述栅介质层的第二侧和所述漂移区场氧的第一侧相接触,所述多晶硅栅的第二侧延伸到所述漂移区场氧的表面上;

源区形成于所述体区表面且所述源区的第二侧和所述多晶硅栅的第一侧自对准;

漏区形成于所述漂移区中且所述漏区的第一侧和所述漂移区场氧的第二侧自对准;

所述漂移区场氧由第一场氧和 second 场氧叠加而成,所述第一场氧采用局部场氧化工艺形成,所述第二场氧采用氧化层淀积加刻蚀工艺形成;

所述第一场氧在所述漂移区场氧的第一侧形成一个鸟嘴使得所述栅介质层和所述漂移区场氧的第一侧的鸟嘴接触,消除单独采用所述第二场氧时所述栅介质层和所述第二场氧直接接触所带来在所述栅介质层和所述漂移区场氧接触处的电场强度增加的缺陷,从而提高器件的击穿电压;

所述第二场氧叠加在所述第一场氧的表面上用于在保证所述漂移区场氧的总厚度保持不变的条件下减少所述第一场氧的厚度,从而减少所述漂移区场氧的底部和所述第一外延层表面之间的距离,用以降低器件的导通电阻。

2. 如权利要求1所述的LDMOS器件,其特征在于:在所述第一外延层的底部形成有第一导电类型重掺杂的第一埋层;所述第一埋层形成于半导体衬底表面。

3. 如权利要求2所述的LDMOS器件,其特征在于:所述半导体衬底为硅衬底,所述第一外延层为硅外延层。

4. 如权利要求1所述的LDMOS器件,其特征在于:所述第一场氧的局部场氧化工艺对所述第一外延层的消耗量为100Å~1000Å。

5. 如权利要求1所述的LDMOS器件,其特征在于:所述第二场氧的厚度为100Å~2000Å。

6. 如权利要求1所述的LDMOS器件,其特征在于:所述栅介质层为栅氧化层。

7. 如权利要求1所述的LDMOS器件,其特征在于:在所述体区的表面还形成有第二导电类型重掺杂的体引出区,所述体引出区和所述源区的第一侧的侧面相接触。

8. 如权利要求1至7中任一权项所述的LDMOS器件,其特征在于:LDMOS为N型器件,第一导电类型为N型,第二导电类型为P型;或者,LDMOS为P型器件,第一导电类型为P型,第二导电类型为N型。

9. 一种LDMOS器件的制造方法,其特征在于,包括如下步骤:

步骤一、提供第二导电类型的第一外延层;

步骤二、采用局部场氧化工艺在所述第一外延层的选定区域中形成第一场氧;

步骤三、采用氧化层淀积加刻蚀工艺在所述第一场氧的顶部形成第二场氧,由所述第一场氧和所述第二场氧叠加形成漂移区场氧;

步骤四、采用第一导电类型离子注入工艺在所述第一外延层的选定区域中形成漂移区,所述漂移区场氧位于所述漂移区的部分区域中;

步骤五、依次形成栅介质层和第一多晶硅层；

步骤六、进行第一次光刻定义出多晶硅栅的第一侧的侧面位置，依次对所述第一多晶硅层和所述栅介质层进行刻蚀形成所述多晶硅栅的第一侧的侧面并将所述多晶硅栅的第一侧的侧面外的所述第一外延层表面露出；

步骤七、采用第二导电类型离子注入工艺进行形成体区，所述体区位于所述多晶硅栅的第一侧的侧面外的所述第一外延层中，所述体区在退火后延伸到所述多晶硅栅的第一侧的底部，被所述多晶硅栅覆盖的所述体区表面用于形成沟道；

步骤八、进行第二次光刻定义出多晶硅栅的第二侧的侧面位置，对所述第一多晶硅层进行刻蚀形成所述多晶硅栅的第二侧的侧面并形成所述多晶硅栅，由所述栅介质层和所述多晶硅栅叠加形成栅极结构；所述栅介质层的第二侧和所述漂移区场氧的第一侧相接触，所述多晶硅栅的第二侧延伸到所述漂移区场氧的表面上；

步骤九、进行第一导电类型重掺杂离子注入同时形成源区和漏区，源区形成于所述体区表面且所述源区的第二侧和所述多晶硅栅的第一侧自对准；漏区形成于所述漂移区中且所述漏区的第一侧和所述漂移区场氧的第二侧自对准；

所述第一场氧在所述漂移区场氧的第一侧形成一个鸟嘴使得所述栅介质层和所述漂移区场氧的第一侧的鸟嘴接触，消除单独采用所述第二场氧时所述栅介质层和所述第二场氧直接接触所带来在所述栅介质层和所述漂移区场氧接触处的电场强度增加的缺陷，从而提高器件的击穿电压；

所述第二场氧叠加在所述第一场氧的表面上用于在保证所述漂移区场氧的总厚度保持不变的条件下减少所述第一场氧的厚度，从而减少所述漂移区场氧的底部和所述第一外延层表面之间的距离，用以降低器件的导通电阻。

10. 如权利要求9所述的LDMOS器件的制造方法，其特征在于：步骤一中在所述第一外延层的底部形成有第一导电类型重掺杂的第一埋层；所述第一埋层形成于半导体衬底表面。

11. 如权利要求10所述的LDMOS器件的制造方法，其特征在于：所述半导体衬底为硅衬底，所述第一外延层为硅外延层。

12. 如权利要求9所述的LDMOS器件的制造方法，其特征在于：步骤二中所述第一场氧的局部场氧化工艺对所述第一外延层的消耗量为 $100\text{\AA}\sim 1000\text{\AA}$ 。

13. 如权利要求12所述的LDMOS器件的制造方法，其特征在于：步骤二中所述第一场氧的形成区域采用第一氧化层和第二氮化层进行定义，在所述第一场氧的形成区域的所述第二氮化层和所述第一氧化层去除之后，还包括对所述第一场氧的形成区域的所述第一外延层进行 $0\text{\AA}\sim 500\text{\AA}$ 的过刻蚀的步骤，之后进行局部热氧化形成所述第一场氧。

14. 如权利要求9所述的LDMOS器件的制造方法，其特征在于：所述第二场氧的厚度为 $100\text{\AA}\sim 2000\text{\AA}$ 。

15. 如权利要求9所述的LDMOS器件的制造方法，其特征在于：步骤九之后还包括步骤：

步骤十、进行第二导电类型重掺杂离子注入在所述体区的表面形成体引出区，所述体引出区和所述源区的第一侧的侧面相接触。

## LDMOS器件及其制造方法

### 技术领域

[0001] 本发明涉及半导体集成电路制造领域,特别是涉及一种LDMOS器件;本发明还涉及一种LDMOS器件的制造方法。

### 背景技术

[0002] 双扩散金属氧化物半导体场效应管(Double-diffused MOS)由于具有耐压高,大电流驱动能力和极低功耗等特点,目前在电源管理电路中被广泛采用。DMOS包括垂直双扩散金属氧化物半导体场效应管(VDMOS)和LDMOS(LDMOS),在LDMOS器件中,导通电阻是一个重要的指标。BCD工艺中,LDMOS虽然与CMOS集成在同一块芯片中,但由于高耐压和低特征电阻和导通电阻的要求,LDMOS在本底器区和漂移区的条件与CMOS现有的工艺条件共享的前提下,其导通电阻与击穿电压(BV)存在矛盾和折中,往往无法满足开关管应用的要求,导通电阻通常采用特征电阻( $R_{sp}$ )表示。因此在获得相同的关态击穿电压(offBV),应尽量降低 $R_{sp}$ 以提高产品的竞争力。

[0003] 如图1所示,是现有第一种LDMOS器件的结构示意图;以N型器件为例,现有第一种LDMOS器件包括:

[0004] N型的第一外延层2,在所述第一外延层2的选定区域中形成有P型的漂移区4和N型的体区5;所述漂移区4和所述体区5横向隔离有距离。

[0005] 在所述第一外延层2的底部形成有P型重掺杂的第一埋层1;所述第一埋层1形成于半导体衬底表面。通常,所述半导体衬底为硅衬底,所述第一外延层2为硅外延层。

[0006] 在所述漂移区4的选定区域中形成由漂移区场氧3。

[0007] 在所述体区5的表面形成有由栅介质层如栅氧化层6和多晶硅栅7叠加而成的栅极结构,被所述多晶硅栅7覆盖的所述体区5表面用于形成沟道。

[0008] 所述栅介质层6的第二侧和所述漂移区场氧3的第一侧相接触,所述多晶硅栅7的第二侧延伸到所述漂移区场氧3的表面上。

[0009] 源区8a形成于所述体区5表面且所述源区8a的第二侧和所述多晶硅栅7的第一侧自对准。

[0010] 漏区8b形成于所述漂移区4中且所述漏区8b的第一侧和所述漂移区场氧3的第二侧自对准。

[0011] 在所述体区5的表面还形成有N型重掺杂的体引出区9,所述体引出区9和所述源区8a的第一侧的侧面相接触。所述体引出区9和所述源区8a会通过相同的接触孔连接到由正面金属层组成的源极。

[0012] 漏区8b则会通过接触孔连接到由正面金属层组成的漏极,多晶硅栅7则会通过接触孔连接到由正面金属层组成的栅极。

[0013] 图1中,所述漂移区场氧3为凹陷到第一外延层2的一定深度的结构,通常,所述漂移区场氧3采用浅沟槽隔离工艺(STI)或采用局部氧化工艺(LOCOS)形成。其中,采用STI工艺形成所述漂移区场氧3的步骤包括:a)对硅进行刻蚀形成浅沟槽, b)进行热氧化在浅沟

槽表面形成氧化层,c)对沟槽进行氧化层填充,d)经化学机械研磨形成所述漂移区场氧3。而LOCOS工艺是通过局部的硅进行氧化形成所述漂移区场氧3。在STI和LOCOS工艺中,所述漂移区场氧3越厚,越有利于提高器件的OffBV和降低关态漏电流(Ioff),但是越不利于器件的Rsp的降低。相反,所述漂移区场氧3越薄,越有利于降低Rsp,但是会导致OffBV减小且漏电Ioff增大。

[0014] 图2是现有第二种LDMOS器件的结构示意图;和图1所示的现有第一种结构的区别之处为,现有第二种LDMOS器件中具有如下特征:

[0015] 图2中,漂移区场氧3a形成于第一外延层2的表面上方的结构,所述漂移区场氧3a采用氧化层淀积加光刻刻蚀工艺形成。现有第二种LDMOS的缺点在于高耐压时,容易在栅介质层6和漂移区场氧3a交接处形成高电场,因此击穿往往发生在该交接处。为了避免这种现象,不得不拉大器件的横向尺寸。但是,拉大横向尺寸会导致器件的Rsp迅速增大。

## 发明内容

[0016] 本发明所要解决的技术问题是提供一种LDMOS器件,能提高器件的击穿电压,降低器件的导通电阻和关态漏电流。为此,本发明还提供一种LDMOS器件的制造方法。

[0017] 为解决上述技术问题,本发明提供的LDMOS器件包括:

[0018] 第二导电类型的第一外延层,在所述第一外延层的选定区域中形成有第一导电类型的漂移区和第二导电类型的体区;所述漂移区和所述体区横向接触或隔离有距离。

[0019] 在所述漂移区的选定区域中形成由漂移区场氧。

[0020] 在所述体区的表面形成有由栅介质层和多晶硅栅叠加而成的栅极结构,被所述多晶硅栅覆盖的所述体区表面用于形成沟道。

[0021] 所述栅介质层的第二侧和所述漂移区场氧的第一侧相接触,所述多晶硅栅的第二侧延伸到所述漂移区场氧的表面上。

[0022] 源区形成于所述体区表面且所述源区的第二侧和所述多晶硅栅的第一侧自对准。

[0023] 漏区形成于所述漂移区中且所述漏区的第一侧和所述漂移区场氧的第二侧自对准。

[0024] 所述漂移区场氧由第一场氧和 second 场氧叠加而成,所述第一场氧采用局部场氧化工艺形成,所述第二场氧采用氧化层淀积加刻蚀工艺形成。

[0025] 所述第一场氧在所述漂移区场氧的第一侧形成一个鸟嘴使得所述栅介质层和所述漂移区场氧的第一侧的鸟嘴接触,消除单独采用所述第二场氧时所述栅介质层和所述第二场氧直接接触所带来在所述栅介质层和所述漂移区场氧接触处的电场强度增加的缺陷,从而能提高器件的击穿电压。

[0026] 所述第二场氧叠加在所述第一场氧的表面上用于在保证所述漂移区场氧的总厚度保持不变的条件下减少所述第一场氧的厚度,从而减少所述漂移区场氧的底部和所述第一外延层表面之间的距离,用以降低器件的导通电阻。

[0027] 进一步的改进是,在所述第一外延层的底部形成有第一导电类型重掺杂的第一埋层;所述第一埋层形成于半导体衬底表面。

[0028] 进一步的改进是,所述半导体衬底为硅衬底,所述第一外延层为硅外延层。

[0029] 进一步的改进是,所述第一场氧的局部场氧化工艺对所述第一外延层的消耗量为

100Å~1000Å。

[0030] 进一步的改进是,所述第二场氧的厚度为100Å~2000Å。

[0031] 进一步的改进是,所述栅介质层为栅氧化层。

[0032] 进一步的改进是,在所述体区的表面还形成有第二导电类型重掺杂的体引出区,所述体引出区和所述源区的第一侧的侧面相接触。

[0033] 进一步的改进是,LDMOS为N型器件,第一导电类型为N型,第二导电类型为P型;或者,LDMOS为P型器件,第一导电类型为P型,第二导电类型为N型。

[0034] 为解决上述技术问题,本发明提供的LDMOS器件的制造方法包括如下步骤:

[0035] 步骤一、提供第二导电类型的第一外延层。

[0036] 步骤二、采用局部场氧化工艺在所述第一外延层的选定区域中形成第一场氧。

[0037] 步骤三、采用氧化层淀积加刻蚀工艺在所述第一场氧的顶部形成第二场氧,由所述第一场氧和所述第二场氧叠加形成漂移区场氧。

[0038] 步骤四、采用第一导电类型离子注入工艺在所述第一外延层的选定区域中形成漂移区,所述漂移区场氧位于所述漂移区的部分区域中。

[0039] 步骤五、依次形成栅介质层和第一多晶硅层。

[0040] 步骤六、进行第一次光刻定义出多晶硅栅的第一侧的侧面位置,依次对所述第一多晶硅层和所述栅介质层进行刻蚀形成所述多晶硅栅的第一侧的侧面并将所述多晶硅栅的第一侧的侧面外的所述第一外延层表面露出。

[0041] 步骤七、采用第二导电类型离子注入工艺进行形成体区,所述体区位于所述多晶硅栅的第一侧的侧面外的所述第一外延层中,所述体区在退火后延伸到所述多晶硅栅的第一侧的底部,被所述多晶硅栅覆盖的所述体区表面用于形成沟道。

[0042] 步骤八、进行第二次光刻定义出多晶硅栅的第二侧的侧面位置,对所述第一多晶硅层进行刻蚀形成所述多晶硅栅的第二侧的侧面并形成所述多晶硅栅,由所述栅介质层和所述多晶硅栅叠加形成栅极结构;所述栅介质层的第二侧和所述漂移区场氧的第一侧相接触,所述多晶硅栅的第二侧延伸到所述漂移区场氧的表面上。

[0043] 步骤九、进行第一导电类型重掺杂离子注入同时形成源区和漏区,源区形成于所述体区表面且所述源区的第二侧和所述多晶硅栅的第一侧自对准;漏区形成于所述漂移区中且所述漏区的第一侧和所述漂移区场氧的第二侧自对准。

[0044] 所述第一场氧在所述漂移区场氧的第一侧形成一个鸟嘴使得所述栅介质层和所述漂移区场氧的第一侧的鸟嘴接触,消除单独采用所述第二场氧时所述栅介质层和所述第二场氧直接接触所带来在所述栅介质层和所述漂移区场氧接触处的电场强度增加的缺陷,从而能提高器件的击穿电压。

[0045] 所述第二场氧叠加在所述第一场氧的表面上用于在保证所述漂移区场氧的总厚度保持不变的条件下减少所述第一场氧的厚度,从而减少所述漂移区场氧的底部和所述第一外延层表面之间的距离,用以降低器件的导通电阻。

[0046] 进一步的改进是,步骤一中在所述第一外延层的底部形成有第一导电类型重掺杂的第一埋层;所述第一埋层形成于半导体衬底表面。

[0047] 进一步的改进是,所述半导体衬底为硅衬底,所述第一外延层为硅外延层。

[0048] 进一步的改进是,步骤二中所述第一场氧的局部场氧化工艺对所述第一外延层的

消耗量为100Å~1000Å。

[0049] 进一步的改进是,步骤二中所述第一场氧的形成区域采用第一氧化层和第二氮化层进行定义,在所述第一场氧的形成区域的所述第二氮化层和所述第一氧化层去除之后,还包括对所述第一场氧的形成区域的所述第一外延层进行0Å~500Å的过刻蚀的步骤,之后进行局部热氧化形成所述第一场氧。

[0050] 进一步的改进是,所述第二场氧的厚度为100Å~2000Å。

[0051] 进一步的改进是,步骤九之后还包括步骤:

[0052] 步骤十、进行第二导电类型重掺杂离子注入在所述体区的表面形成体引出区,所述体引出区和所述源区的第一侧的侧面相接触。

[0053] 本发明对漂移区场氧的结构做了有针对性的设计,主要为本发明将漂移区场氧设计成由局部场氧化工艺形成的第一场氧和由采用氧化层淀积加刻蚀工艺形成的第二场氧叠加而成,能够利用第一场氧和第二场氧的不同的特性实现功能互补并且互相克服各自的缺陷,从而能达到单独采用任何一种场氧都不能达到的整体效果,具体为:

[0054] 本发明的第一场氧的具有鸟嘴结构,在具有第一场氧的情形下,栅介质层会和漂移区场氧的第一侧的鸟嘴接触,从而能消除单独采用第二场氧时栅介质层和第二场氧直接接触所带来在栅介质层和漂移区场氧接触处的电场强度增加的缺陷,从而能提高器件的击穿电压,也即相对于相同厚度的单独由第二场氧组成的漂移区场氧,本发明能提高器件的击穿电压;

[0055] 而且,本发明通过减少第一场氧的厚度以及增加第二场氧的厚度来使得整个漂移区场氧的厚度不变,能降低器件的关态漏电流。

[0056] 本发明在通过第一场氧降低了栅介质层和漂移区场氧的第一侧的接触位置处的电场强度,能够通过减少第一场氧的厚度以及增加第二场氧的厚度来使得整个漂移区场氧的厚度不变,也即相对于相同厚度的单独由第一场氧组成的漂移区场氧,本发明的漂移区场氧由于厚度得到了保持,故器件的击穿电压能够得到保持。

[0057] 另外,相对于相同厚度的单独由第一场氧组成的漂移区场氧的结构,本发明能降低第一场氧的厚度,所以能够降低第一场氧凹入到第一外延层中的深度,这也使得漂移区电流经过的路径变短,能够降低器件的导通电阻。

[0058] 总之,本发明能同时克服采用相同厚度的单独由第二场氧组成的漂移区场氧所具有耐压受到栅介质层和漂移区场氧接触位置处的电场强度限制以及关态漏电流较大的缺陷以及克服采用相同厚度的单独由第一场氧组成的漂移区场氧所具有的导通电阻较大的缺陷,本发明能提高器件的击穿电压,在击穿电压得到保证的条件下降低器件的导通电阻和关态漏电流。

## 附图说明

[0059] 下面结合附图和具体实施方式对本发明作进一步详细的说明:

[0060] 图1是现有第一种LDMOS器件的结构示意图;

[0061] 图2是现有第二种LDMOS器件的结构示意图;

[0062] 图3是本发明实施例LDMOS器件的结构示意图;

[0063] 图4A-图4E是本发明实施例LDMOS器件的制造方法的各步骤中的器件结构示意图。

## 具体实施方式

[0064] 如图3所示,是本发明实施例LDMOS器件的结构示意图;本发明实施例LDMOS器件包括:

[0065] 第二导电类型的第一外延层102,在所述第一外延层102的选定区域中形成有第一导电类型的漂移区104和第二导电类型的体区105;所述漂移区104和所述体区105 横向隔离有距离。在其它实施例中也能为:所述漂移区104和所述体区105横向接触。

[0066] 本发明实施例中,在所述第一外延层102的底部形成有第一导电类型重掺杂的第一埋层101;所述第一埋层101形成于半导体衬底表面。较佳为,所述半导体衬底为硅衬底,所述第一外延层102为硅外延层。

[0067] 在所述漂移区104的选定区域中形成由漂移区场氧103。

[0068] 在所述体区105的表面形成有由栅介质层106和多晶硅栅107叠加而成的栅极结构,被所述多晶硅栅107覆盖的所述体区105表面用于形成沟道。较佳为,所述栅介质层106为栅氧化层。

[0069] 所述栅介质层106的第二侧和所述漂移区场氧103的第一侧相接触,所述多晶硅栅107的第二侧延伸到所述漂移区场氧103的表面上。

[0070] 源区108a形成于所述体区105表面且所述源区108a的第二侧和所述多晶硅栅 107的第一侧自对准。

[0071] 漏区108b形成于所述漂移区104中且所述漏区108b的第一侧和所述漂移区场氧103的第二侧自对准。

[0072] 在所述体区105的表面还形成有第二导电类型重掺杂的体引出区109,所述体引出区109和所述源区108a的第一侧的侧面相接触。所述体引出区109和所述源区108a 会通过相同的接触孔连接到由正面金属层组成的源极。

[0073] 漏区108b则会通过接触孔连接到由正面金属层组成的漏极,多晶硅栅107则会通过接触孔连接到由正面金属层组成的栅极。

[0074] 所述漂移区场氧103由第一场氧1032和第一场氧1031叠加而成,所述第一场氧1032采用局部场氧化工艺形成,所述第一场氧1031采用氧化层淀积加刻蚀工艺形成。

[0075] 所述第一场氧1032在所述漂移区场氧103的第一侧形成一个鸟嘴使得所述栅介质层106和所述漂移区场氧103的第一侧的鸟嘴接触,消除单独采用所述第一场氧 1031时所述栅介质层106和所述第一场氧1031直接接触所带来在所述栅介质层106 和所述漂移区场氧103接触处的电场强度增加的缺陷,从而能提高器件的击穿电压。

[0076] 所述第一场氧1031叠加在所述第一场氧1032的表面上用于在保证所述漂移区场氧103的总厚度保持不变的条件下减少所述第一场氧1032的厚度,从而减少所述漂移区场氧103的底部和所述第一外延层102表面之间的距离,用以降低器件的导通电阻。

[0077] 较佳为,所述第一场氧1032的局部场氧化工艺对所述第一外延层102的消耗量为 $100\text{\AA}\sim 1000\text{\AA}$ ,也即通过对所述第一外延层102的消耗量即可得到所述第一场氧 1032的厚度。

[0078] 本发明实施例中的所述第一场氧1032相对于其它区域中用于隔了出有源区的场氧的厚度大大减少,是一个缩小版的局部场氧(Mini-LOCOS)。



[0079] 所述第二场氧1031的厚度为100Å~2000Å。

[0080] 本发明实施例中,LDMOS为N型器件,第一导电类型为N型,第二导电类型为P型,所述半导体衬底为P型掺杂。在其它实施例中也能为:LDMOS为P型器件,第一导电类型为P型,第二导电类型为N型。

[0081] 本发明实施例LDMOS器件可以集成在BCD工艺中。由上可知,与现有的工艺不同,漂移区场氧103是一个由上下两部分组成的结构。第一场氧1032是通过在硅表面的实行局部热氧化形成一个非常浅的Mini-LOCOS,该Mini-LOCOS在两端会形成小且短的鸟嘴(bird's beak),短的鸟嘴不会影响栅介质层106的厚度。浅的Mini-LOCOS可以缩短电流路径,即明显降低器件的 $R_{sp}$ ,LOCOS的鸟嘴可以明显减小高耐压状态下栅介质层106和漂移区场氧103连接处的电场,因此可以提高器件的击穿电压。第二场氧1031是场氧区的上半部分,是通过其他方式形成的,其目的是为增厚整个漂移区场氧103的厚度以提高器件的关态击穿电压( $OffBV$ ),其中Mini-LOCOS形成的场氧区的厚度不能太厚,太厚会明显增加 $R_{sp}$ ,但是漂移区场氧103的厚度不能太薄,太薄会降低 $OffBV$ ,所以本发明实施例通过第二场氧1031的设置能够在保证第一场氧1032较薄的条件下形成较厚的漂移区场氧103。如前所述,Mini-LOCOS的作用是在栅介质层106和漂移区场氧103连接处形成一个bird's beak以降低连接处的电场,提高器件的击穿电压( $BV$ ),该鸟嘴相比于现有LOCOS形成的鸟嘴要小并且短,故能本发明实施例器件结构能降低器件的 $R_{sp}$ ,提高器件的性能。

[0082] 进行测试可以得到:

[0083] 相比于图1所示的现有第一种结构和图2所示的现有第二种结构,本发明实施例器件在 $BV$ 为29V时能降低7%~9%的 $R_{sp}$ ,而关态漏电流( $I_{off}$ )能降低一个数量级。

[0084] 如图4A至图4E所示,是本发明实施例LDMOS器件的制造方法的各步骤中的器件结构示意图,本发明实施例LDMOS器件的制造方法包括如下步骤:

[0085] 步骤一、如图4A所示,提供第二导电类型的第一外延层102。

[0086] 本发明实施例方法中,在所述第一外延层102的底部形成有第一导电类型重掺杂的第一埋层101;所述第一埋层101形成于半导体衬底表面。

[0087] 较佳为,所述半导体衬底为硅衬底,所述第一外延层102为硅外延层。

[0088] 步骤二、如图4A所示,采用局部场氧化工艺在所述第一外延层102的选定区域中形成第一场氧1032。本发明实施例方法中,所述第一场氧1032的局部场氧化工艺对所述第一外延层102的消耗量为100Å~1000Å。

[0089] 较佳为,所述第一场氧1032的形成区域采用第一氧化层111和第二氮化层110进行定义,在所述第一场氧1032的形成区域的所述第二氮化层110和所述第一氧化层111去除之后,还包括对所述第一场氧1032的形成区域的所述第一外延层102进行0Å~500Å的过刻蚀的步骤,对所述第一外延层102进行刻蚀工艺的刻蚀角度为45度~85度,之后进行局部热氧化形成所述第一场氧1032。

[0090] 步骤三、如图4B所示,采用氧化层淀积加刻蚀工艺在所述第一场氧1032的顶部形成第二场氧1031,由所述第一场氧1032和所述第二场氧1031叠加形成漂移区场氧103。

[0091] 在氧化层淀积之前需要先将第一氧化层111和第二氮化层110去除。形成的所述第二场氧1031的厚度为100Å~2000Å。

[0092] 步骤四、如图4B所示,采用第一导电类型离子注入工艺在所述第一外延层102的

选定区域中形成漂移区104,所述漂移区场氧103位于所述漂移区104的部分区域中。

[0093] 步骤五、如图4C所示,依次形成栅介质层106和第一多晶硅层107。较佳为,所述栅介质层106为栅氧化层,采用热氧化工艺形成。

[0094] 步骤六、如图4C所示,进行第一次光刻定义出多晶硅栅107的第一侧的侧面位置,依次对所述第一多晶硅层107和所述栅介质层106进行刻蚀形成所述多晶硅栅107的第一侧的侧面并将所述多晶硅栅107的第一侧的侧面外的所述第一外延层102表面露出。

[0095] 步骤七、如图4C所示,采用第二导电类型离子注入工艺进行形成体区105,所述体区105位于所述多晶硅栅107的第一侧的侧面外的所述第一外延层102中,所述体区105在退火后延伸到所述多晶硅栅107的第一侧的底部,被所述多晶硅栅107覆盖的所述体区105表面用于形成沟道。

[0096] 较佳为,进行所述体区105的离子注入时需要采用带光刻胶注入,光刻胶即为步骤六中定义所述多晶硅栅107的第一侧的侧面位置的光刻胶。

[0097] 步骤八、如图4C所示,进行第二次光刻定义出多晶硅栅107的第二侧的侧面位置,对所述第一多晶硅层107进行刻蚀形成所述多晶硅栅107的第二侧的侧面并形成所述多晶硅栅107,由所述栅介质层106和所述多晶硅栅107叠加形成栅极结构;所述栅介质层106的第二侧和所述漂移区场氧103的第一侧相接触,所述多晶硅栅107的第二侧延伸到所述漂移区场氧103的表面上。

[0098] 步骤九、如图4D所示,进行第一导电类型重掺杂离子注入同时形成源区108a和漏区108b,源区108a形成于所述体区105表面且所述源区108a的第二侧和所述多晶硅栅107的第一侧自对准;漏区108b形成于所述漂移区104中且所述漏区108b的第一侧和所述漂移区场氧103的第二侧自对准。

[0099] 较佳为,相邻的LDMOS器件的所述体区105共用,在进行形成所述源区108a和所述漏区108b的离子注入时同一所述体区105的相邻两个所述源区108a之间的区域用光刻胶阻挡。相邻的LDMOS器件的所述漏区108b共用,所述漏区108b的两侧都为所述漂移区场氧103,所述漏区108b的位置直接由两侧的所述漂移区场氧103自对准定义。

[0100] 所述第一场氧1032在所述漂移区场氧103的第一侧形成一个鸟嘴使得所述栅介质层106和所述漂移区场氧103的第一侧的鸟嘴接触,消除单独采用所述第二场氧1031时所述栅介质层106和所述第二场氧1031直接接触所带来在所述栅介质层106和所述漂移区场氧103接触处的电场强度增加的缺陷,从而能提高器件的击穿电压;

[0101] 所述第二场氧1031叠加在所述第一场氧1032的表面上用于在保证所述漂移区场氧103的总厚度保持不变的条件下减少所述第一场氧1032的厚度,从而减少所述漂移区场氧103的底部和所述第一外延层102表面之间的距离,用以降低器件的导通电阻。

[0102] 步骤十、进行第二导电类型重掺杂离子注入在所述体区105的表面形成体引出区109,所述体引出区109和所述源区108a的第一侧的侧面相接触。在进行所述体引出区109时需要先将所述体引出区109的形成区域打开,其它区域用光刻胶阻挡,之后在进行注入形成所述体引出区109。

[0103] 本发明实施例方法中,LDMOS为N型器件,第一导电类型为N型,第二导电类型为P型,所述半导体衬底为P型掺杂。在其它实施例中也能为:LDMOS为P型器件,第一导电类型为P型,第二导电类型为N型。

[0104] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

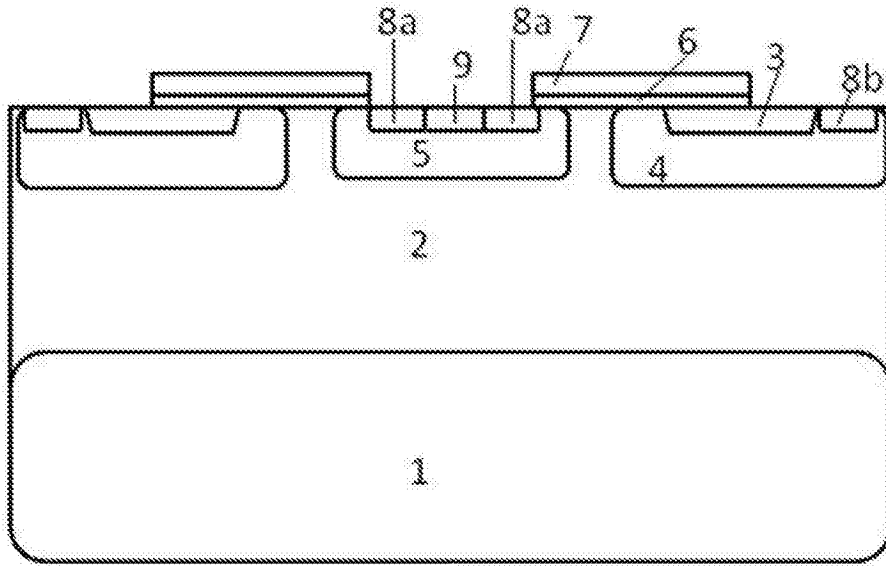


图1

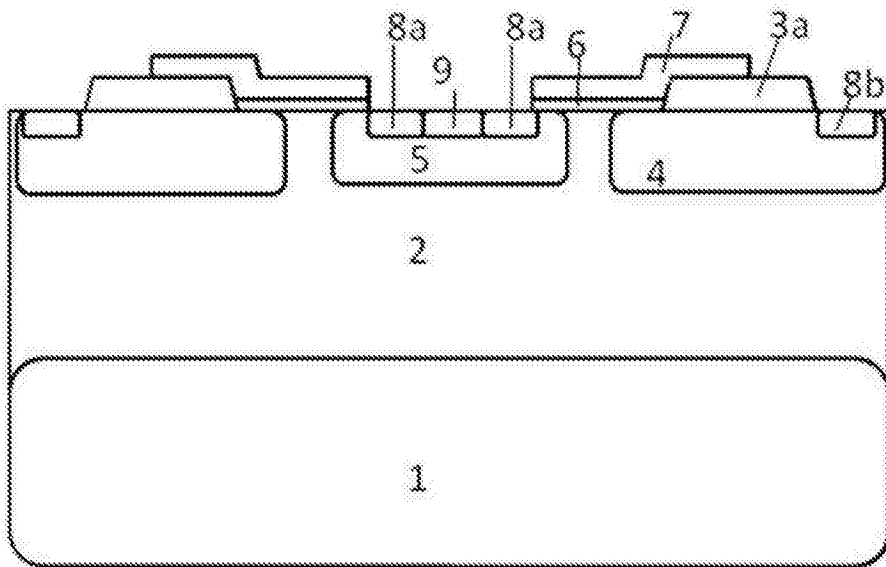


图2

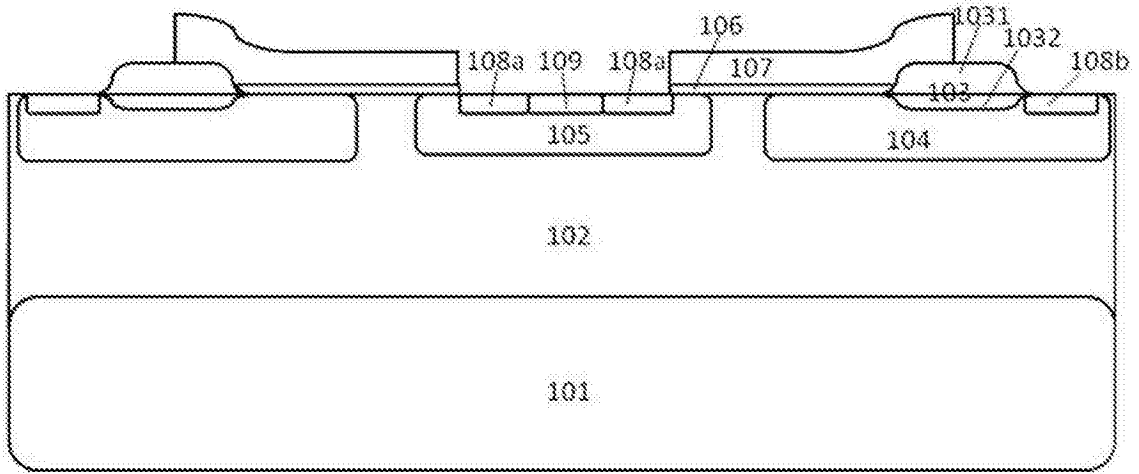


图3

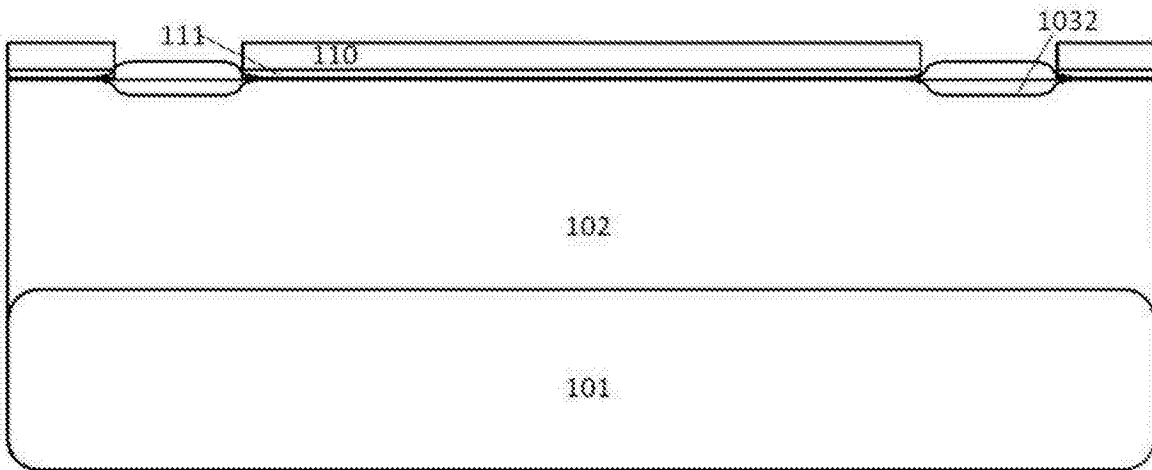


图4A

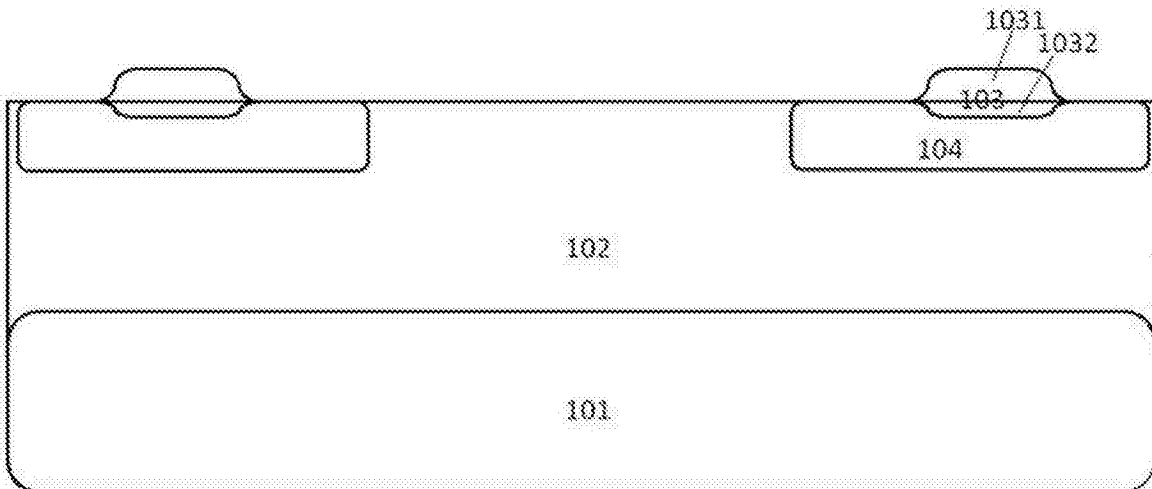


图4B

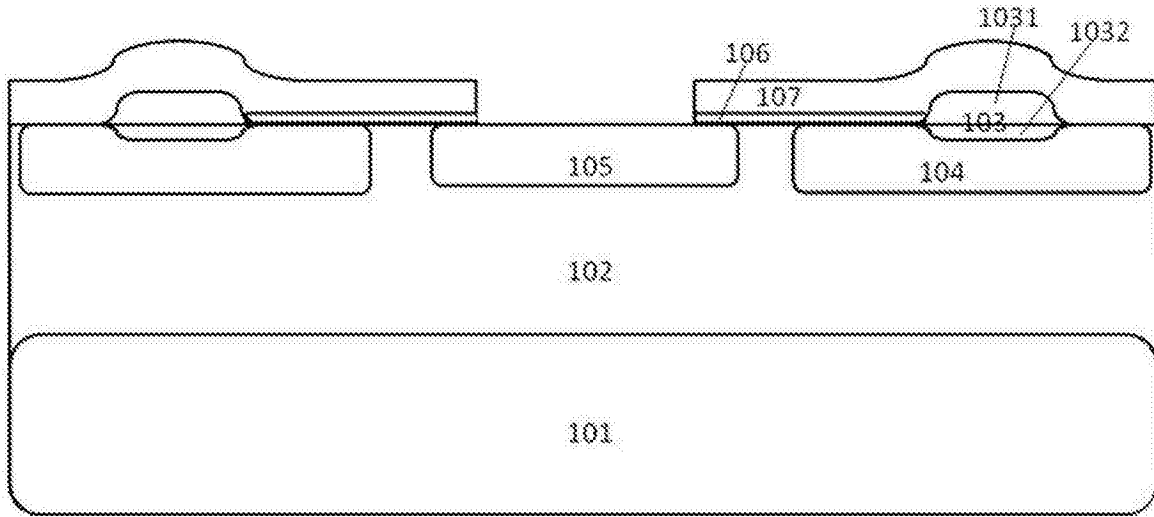


图4C

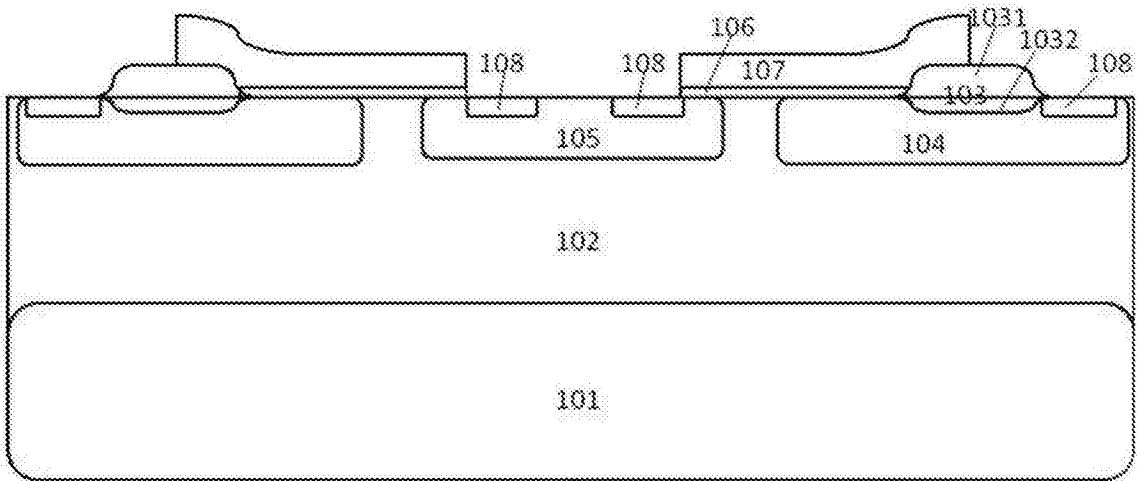


图4D

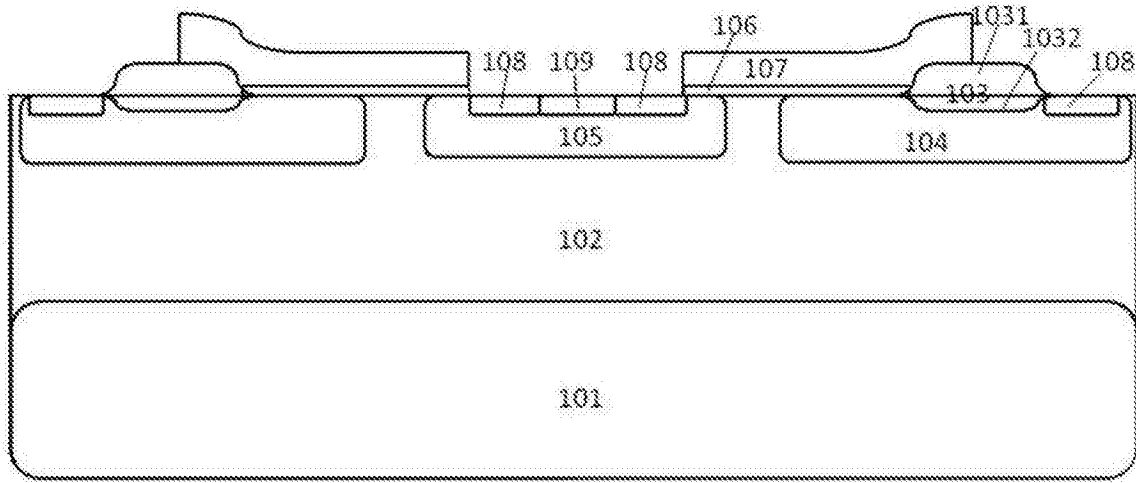


图4E