



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년04월05일
 (11) 등록번호 10-1608887
 (24) 등록일자 2016년03월29일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01)

(21) 출원번호 10-2009-0033845

(22) 출원일자 2009년04월17일

심사청구일자 2014년04월17일

(65) 공개번호 10-2010-0115220

(43) 공개일자 2010년10월27일

(56) 선행기술조사문헌

D.P. Heineck et al., Zinc Tin Oxide thin-Film-Transistor Enhancement/Depletion Inverter, IEEE electron device letters, vol. 30, no. 5, pp.514-516(2009.04.14. online published)*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

후아상 임

경기도 용인시 기흥구 삼성2로 97 (농서동, 삼성종합기술원)

송이현

경기 성남시 분당구 수내로 174, 203동 1901호 (수내동, 푸른마을벽산아파트)

(뒷면에 계속)

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 14 항

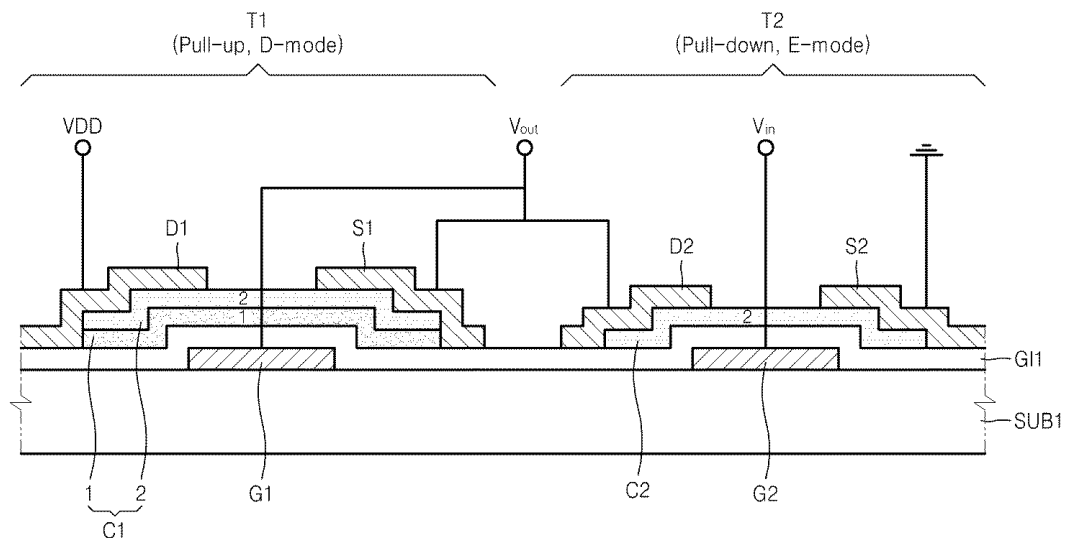
심사관 : 최정민

(54) 발명의 명칭 **인버터와 그 제조방법 및 인버터를 포함하는 논리회로**

(57) 요약

인버터와 그 제조방법 및 인버터를 포함하는 논리회로에 관해 개시되어 있다. 개시된 인버터는 서로 다른 채널층 구조를 갖는 제1 및 제2트랜지스터를 포함할 수 있다. 상기 제1트랜지스터의 채널층은 하부층과 상부층을 포함할 수 있고, 상기 제2트랜지스터의 채널층은 상기 하부층과 상부층 중 어느 하나와 동일한 층일 수 있다. 상기 하부층과 상부층 중 적어도 하나는 산화물층일 수 있다. 상기 인버터는 E/D 모드(enhancement/depletion mode) 인버터 또는 상보성(complementary) 인버터일 수 있다.

대표도



(72) 발명자

김창정

경기도 용인시 수지구 정평로 61, 성지아파트 504
동 1102호 (풍덕천동)

김상욱

경기도 용인시 수지구 수풍로 38, 삼성2차아파트
204동 604호 (풍덕천동)

김선일

경기도 용인시 기흥구 삼성2로 97, 기숙사 C동 20
2호 (농서동, 삼성종합기술원)

명세서

청구범위

청구항 1

서로 연결된 제1 및 제2트랜지스터를 포함하는 인버터에 있어서,
 상기 제1트랜지스터의 채널층은 하부층과 상부층을 포함하고,
 상기 제2트랜지스터의 채널층은 상기 하부층과 상부층 중 어느 하나와 동일하되,
 상기 제1 및 제2트랜지스터가 바텀(bottom) 게이트 구조를 갖는 경우, 상기 제2트랜지스터의 채널층은 상기 상부층과 동일하고,
 상기 제1 및 제2트랜지스터가 탑(top) 게이트 구조를 갖는 경우, 상기 제2트랜지스터의 채널층은 상기 하부층과 동일하고,
 상기 제1 및 제2트랜지스터는 n-채널 트랜지스터이고,
 상기 제1트랜지스터는 공핍형(depletion mode)의 풀-업(pull-up) 트랜지스터이고, 상기 제2트랜지스터는 증가형(enhancement mode)의 풀-다운(pull-down) 트랜지스터인 인버터.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
 상기 하부층과 상부층은 단일층 또는 이중층인 인버터.

청구항 4

제 1 항에 있어서,
 상기 하부층과 상부층 중 적어도 하나는 산화물층인 인버터.

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1 항에 있어서,
 상기 하부층과 상부층 중 상기 제1트랜지스터의 게이트에 가까운 층은 상기 게이트에서 멀리 배치되는 층보다 높은 캐리어 농도(carrier concentration)를 갖는 인버터.

청구항 8

제 7 항에 있어서,
 상기 하부층과 상부층 중 상기 제1트랜지스터의 게이트에 가까운 층은 IZO층, ITO층, AZO층, GZO층, InO층, GaInZnO층, HfInZnO층 및 Ar 플라즈마로 처리된 GaInZnO층 중 하나이거나, IZO/GaInZnO층, IZO/HfInZnO층, ITO/GaInZnO층, ITO/HfInZnO층, AZO/GaInZnO층, AZO/HfInZnO층, GZO/GaInZnO층, GZO/HfInZnO층, InO/GaInZnO층, InO/HfInZnO층 및 이들의 역 구조 중 하나인 인버터.

청구항 9

제 7 항에 있어서,

상기 하부층과 상부층 중 상기 제1트랜지스터의 게이트에서 멀리 배치되는 층은 GaInZnO층, HfInZnO층 및 질소 함유 플라즈마로 처리된 GaInZnO층 중 하나이거나, IZO/GaInZnO층, IZO/HfInZnO층, ITO/GaInZnO층, ITO/HfInZnO층, AZO/GaInZnO층, AZO/HfInZnO층, GZO/GaInZnO층, GZO/HfInZnO층, InO/GaInZnO층, InO/HfInZnO층 및 이들의 역 구조 중 하나인 인버터.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

기판의 제1 및 제2영역에 각각 제1 및 제2게이트를 형성하는 단계;

상기 제1 및 제2게이트를 덮는 게이트절연층을 형성하는 단계;

상기 제1영역의 상기 게이트절연층 상에 제1채널물질층을 형성하는 단계;

상기 제1영역의 상기 제1채널물질층과 상기 제2영역의 상기 게이트절연층 상에 제2채널물질층을 형성하는 단계;

상기 제2채널물질층과 상기 제1채널물질층을 패터닝하여 상기 제1영역에 상기 제1 및 제2채널물질층의 적층구조를 갖는 제1채널층을 형성하고, 상기 제2영역에 상기 제2채널물질층으로 이루어진 제2채널층을 형성하는 단계; 및

상기 제1채널층 양단에 각각 접촉된 제1소오스 및 제1드레인을 형성하고, 상기 제2채널층의 양단에 각각 접촉된 제2소오스 및 제2드레인을 형성하는 단계;를 포함하고,

상기 제1영역의 상기 제1게이트, 상기 게이트절연층, 상기 제1채널층, 상기 제1소오스 및 상기 제1드레인으로 구성된 제1트랜지스터는 바텀(bottom) 게이트 구조를 갖고, 상기 제1채널층의 상기 제1채널물질층 및 제2채널물질층은 각각 하부층 및 상부층이며,

상기 제2영역의 상기 제2게이트, 상기 게이트절연층, 상기 제2채널층, 상기 제2소오스 및 상기 제2드레인으로 구성된 제2트랜지스터는 바텀 게이트 구조를 갖고, 상기 제2채널층은 상기 상부층과 동일한 층으로 형성하고,

상기 제1 및 제2채널물질층은 n-형이고, 상기 제1채널물질층은 상기 제2채널물질층보다 높은 캐리어 농도를 가지며,

상기 제1영역의 상기 제1게이트, 상기 게이트절연층, 상기 제1채널층, 상기 제1소오스 및 상기 제1드레인으로 구성된 상기 제1트랜지스터는 공핍형(depletion mode)의 풀-업(pull-up) 트랜지스터이고,

상기 제2영역의 상기 제2게이트, 상기 게이트절연층, 상기 제2채널층, 상기 제2소오스 및 상기 제2드레인으로 구성된 상기 제2트랜지스터는 증가형(enhancement mode)의 풀-다운(pull-down) 트랜지스터인 인버터의 제조방법.

청구항 16

제 15 항에 있어서,

상기 제1 및 제2채널물질층은 단일층 또는 이중층 구조로 형성하는 인버터의 제조방법.

청구항 17

제 15 항에 있어서,

상기 제1 및 제2채널물질층 중 적어도 하나는 산화물로 형성하는 인버터의 제조방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

기판의 제1 및 제2영역에 제1채널물질층을 형성하는 단계;

상기 제1영역의 상기 제1채널물질층 상에 제2채널물질층을 형성하는 단계;

상기 제2채널물질층과 상기 제1채널물질층을 패터닝하여 상기 제1영역에 상기 제1 및 제2채널물질층의 적층 구조를 갖는 제1채널층을 형성하고, 상기 제2영역에 상기 제1채널물질층으로 이루어진 제2채널층을 형성하는 단계;

상기 제1채널층의 양단에 각각 접촉된 제1소오스 및 제1드레인을 형성하고, 상기 제2채널층의 양단에 각각 접촉된 제2소오스 및 제2드레인을 형성하는 단계;

상기 제1 및 제2채널층, 상기 제1 및 제2소오스, 상기 제1 및 제2드레인을 덮는 게이트절연층을 형성하는 단계; 및

상기 제1영역의 상기 게이트절연층 상에 제1게이트를 형성하고, 상기 제2영역의 상기 게이트절연층 상에 제2게이트를 형성하는 단계;를 포함하고,

상기 제1 및 제2채널물질층이 모두 n-형인 경우, 상기 제1채널층의 상기 제1채널물질층과 상기 제2채널물질층 중 상기 제1게이트에 가까운 상기 제2채널물질층은 상기 제1게이트에서 멀리 배치된 상기 제1채널물질층보다 높은 캐리어 농도를 갖고,

상기 제1 및 제2채널물질층이 서로 다른 타입인 경우, 상기 제1채널물질층은 p-형이고, 상기 제2채널물질층은 n-형이며,

상기 제1 및 제2채널물질층이 모두 n-형인 경우, 상기 제1영역의 상기 제1게이트, 상기 게이트절연층, 상기 제1채널층, 상기 제1소오스 및 상기 제1드레인으로 구성된 제1트랜지스터는 공핍형(depletion mode)의 풀-업(pull-up) 트랜지스터이고, 상기 제2영역의 상기 제2게이트, 상기 게이트절연층, 상기 제2채널층, 상기 제2소오스 및 상기 제2드레인으로 구성된 제2트랜지스터는 증가형(enhancement mode)의 풀-다운(pull-down) 트랜지스터인 인버터의 제조방법.

청구항 24

제 23 항에 있어서,

상기 제1 및 제2채널물질층은 단일층 또는 이중층 구조로 형성하는 인버터의 제조방법.

청구항 25

제 23 항에 있어서,

상기 제1 및 제2채널물질층 중 적어도 하나는 산화물로 형성하는 인버터의 제조방법.

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

청구항 1에 기재된 인버터를 포함하는 논리회로.

청구항 32

제 31 항에 있어서,

상기 논리회로는 NAND 게이트, NOR 게이트, 인코더(encoder), 디코더(decoder), MUX(multiplexer), DEMUX(de multiplexer), 센스 앰프(sense amplifier) 및 오실레이터(oscillator) 중 적어도 하나를 포함하는 논리회로.

발명의 설명

발명의 상세한 설명

기술분야

[0001] 본 발명은 인버터와 그 제조방법 및 인버터를 포함하는 논리회로에 관한 것이다.

배경기술

[0002] DRAM(dynamic random access memory), SRAM(static random access memory), 비휘발성 메모리, 액정표시장치 및 유기발광표시장치 등 다양한 반도체 집적회로에서 NAND(not and) 및 NOR 게이트와 같은 여러 논리회로가 사용된다. 이러한 논리회로의 기본이 되는 것이 인버터(inverter)이다.

[0003] 일반적으로, 실리콘(Si) 기반의 인버터는 NMOS(n-channel metal-oxide semiconductor) 트랜지스터와 PMOS(p-channel metal-oxide semiconductor) 트랜지스터를 함께 구비하는 CMOS(complementary metal-oxide semiconductor) 인버터이다. 채널층으로 Si층을 사용하는 경우, 채널층에 도핑하는 원소의 종류를 달리함으로써, NMOS 또는 PMOS 트랜지스터를 용이하게 제조할 수 있고, 따라서 CMOS 인버터의 제조가 용이하다. 예를 들어, Si층에 보론(B)과 같은 3족 원소를 도핑하면 p-채널층이 된다.

[0004] 그런데, 채널 물질로 산화물 반도체를 사용하는 경우, 산화물 반도체의 물성 제어가 용이하지 않아 우수한 특성을 갖는 인버터를 구현하기가 쉽지 않다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명의 일 측면(aspect)은 산화물 반도체를 채널 물질로 적용한 인버터를 제공한다.

[0006] 본 발명의 다른 측면은 상기 인버터의 제조방법을 제공한다.

[0007] 본 발명의 다른 측면은 상기 인버터를 포함하는 논리회로를 제공한다.

과제 해결수단

[0008] 본 발명의 일 실시예는 서로 연결된 제1 및 제2트랜지스터를 포함하는 인버터에 있어서, 상기 제1트랜지스터의 채널층은 하부층과 상부층을 포함하고, 상기 제2트랜지스터의 채널층은 상기 하부층과 상부층 중 어느 하나와 동일한 인버터를 제공한다.

[0009] 상기 제1 및 제2트랜지스터가 바텀(bottom) 게이트 구조를 갖는 경우, 상기 제2트랜지스터의 채널층은 상기 상부층과 동일할 수 있다.

[0010] 상기 제1 및 제2트랜지스터가 탑(top) 게이트 구조를 갖는 경우, 상기 제2트랜지스터의 채널층은 상기 하부층과 동일할 수 있다.

[0011] 상기 하부층과 상부층은 단일층 또는 이중층일 수 있다.

[0012] 상기 하부층과 상부층 중 적어도 하나는 산화물층일 수 있다.

[0013] 상기 제1 및 제2트랜지스터는 n-채널 트랜지스터일 수 있다.(제1실시예)

[0014] 상기 제1실시예에서, 상기 제1트랜지스터는 공핍형(depletion mode)의 풀-업(pull-up) 트랜지스터일 수 있고, 상기 제2트랜지스터는 증가형(enhancement mode)의 풀-다운(pull-down) 트랜지스터일 수 있다.

[0015] 상기 제1실시예에서, 상기 하부층과 상부층 중 상기 제1트랜지스터의 게이트에 가까운 층은 상기 게이트에서 멀리 배치되는 층보다 높은 캐리어 농도(carrier concentration)를 가질 수 있다.

[0016] 상기 제1실시예에서, 상기 하부층과 상부층 중 상기 제1트랜지스터의 게이트에 가까운 층은 IZO층, ITO층, AZO층, GZO층, InO층, GaInZnO층, HfInZnO층 및 Ar 플라즈마로 처리된 GaInZnO층 중 하나이거나, IZO/GaInZnO층, IZO/HfInZnO층, ITO/GaInZnO층, ITO/HfInZnO층, AZO/GaInZnO층, AZO/HfInZnO층, GZO/GaInZnO층, GZO/HfInZnO층, InO/GaInZnO층, InO/HfInZnO층 및 이들의 역 구조 중 하나일 수 있다.

[0017] 상기 제1실시예에서, 상기 하부층과 상부층 중 상기 제1트랜지스터의 게이트에서 멀리 배치되는 층은 GaInZnO층, HfInZnO층 및 질소 함유 플라즈마로 처리된 GaInZnO층 중 하나이거나, IZO/GaInZnO층, IZO/HfInZnO층, ITO/GaInZnO층, ITO/HfInZnO층, AZO/GaInZnO층, AZO/HfInZnO층, GZO/GaInZnO층, GZO/HfInZnO층, InO/GaInZnO층, InO/HfInZnO층 및 이들의 역 구조 중 하나일 수 있다.

[0018] 상기 제1트랜지스터는 n-채널 트랜지스터일 수 있고, 상기 제2트랜지스터는 p-채널 트랜지스터일 수 있다.(제2 실시예)

[0019] 상기 제2실시예에서, 상기 하부층과 상부층 중 상기 제1트랜지스터의 게이트에 가까운 층은 n-형일 수 있고, 상기 게이트에서 멀리 배치되는 층은 p-형일 수 있다.

[0020] 상기 제2실시예에서, 상기 제1트랜지스터는 문턱전압이 0V보다 큰 풀-다운(pull-down) 트랜지스터일 수 있고, 상기 제2트랜지스터는 문턱전압이 0V보다 작은 풀-업(pull-up) 트랜지스터일 수 있다.

[0021] 상기 제2실시예에서, 상기 하부층과 상부층 중 상기 제1트랜지스터의 게이트에 가까운 층은 GaInZnO층, HfInZnO층 및 질소 함유 플라즈마로 처리된 GaInZnO층 중 하나이거나, IZO/GaInZnO층, IZO/HfInZnO층, ITO/GaInZnO층, ITO/HfInZnO층, AZO/GaInZnO층, AZO/HfInZnO층, GZO/GaInZnO층, GZO/HfInZnO층, InO/GaInZnO층, InO/HfInZnO층 및 이들의 역 구조 중 하나일 수 있다.

[0022] 상기 제2실시예에서, 상기 하부층과 상부층 중 상기 제1트랜지스터의 게이트에서 멀리 배치되는 층은 SnO층,

SnO₂층, 금속 도핑된 SnO₂층, X가 도핑된 ZnO층(여기서, X는 1, 2 및 15족 원소 중 적어도 하나), NiO층, CuMO₂층(여기서, M은 13족 금속), 금속 도핑된 Cu₂O층, SrCu₂O₂층, LaCuOS(Se)층 및 AgMO₂층(여기서, M은 13족 금속) 중 하나일 수 있다.

- [0023] 본 발명의 다른 실시예는 기관의 제1 및 제2영역에 각각 제1 및 제2게이트를 형성하는 단계; 상기 제1 및 제2게이트를 덮는 게이트절연층을 형성하는 단계; 상기 제1영역의 상기 게이트절연층 상에 제1채널물질층을 형성하는 단계; 상기 제1영역의 상기 제1채널물질층과 상기 제2영역의 상기 게이트절연층 상에 제2채널물질층을 형성하는 단계; 상기 제2채널물질층과 상기 제1채널물질층을 패터닝하여 상기 제1영역에 상기 제1 및 제2채널물질층의 적층구조를 갖는 제1채널층을 형성하고, 상기 제2영역에 상기 제2채널물질층으로 이루어진 제2채널층을 형성하는 단계; 및 상기 제1채널층 양단에 각각 접촉된 제1소오스 및 제1드레인을 형성하고, 상기 제2채널층의 양단에 각각 접촉된 제2소오스 및 제2드레인을 형성하는 단계;를 포함하는 인버터의 제조방법을 제공한다.
- [0024] 상기 제1 및 제2채널물질층은 단일층 또는 이중층 구조로 형성할 수 있다.
- [0025] 상기 제1 및 제2채널물질층 중 적어도 하나는 산화물로 형성할 수 있다.
- [0026] 상기 제1 및 제2채널물질층은 n-형일 수 있다.(제1실시예)
- [0027] 상기 제1실시예에서, 상기 제1채널물질층은 상기 제2채널물질층보다 높은 캐리어 농도를 가질 수 있다.
- [0028] 상기 제1실시예에서, 상기 제1영역의 상기 제1게이트, 상기 게이트절연층, 상기 제1채널층, 상기 제1소오스 및 상기 제1드레인으로 구성된 제1트랜지스터는 공핍형(depletion mode)의 풀-업(pull-up) 트랜지스터일 수 있고, 상기 제2영역의 상기 제2게이트, 상기 게이트절연층, 상기 제2채널층, 상기 제2소오스 및 상기 제2드레인으로 구성된 제2트랜지스터는 증가형(enhancement mode)의 풀-다운(pull-down) 트랜지스터일 수 있다.
- [0029] 상기 제1채널물질층은 n-형일 수 있고, 상기 제2채널물질층은 p-형일 수 있다.(제2실시예)
- [0030] 상기 제2실시예에서, 상기 제1영역의 상기 제1게이트, 상기 게이트절연층, 상기 제1채널층, 상기 제1소오스 및 상기 제1드레인으로 구성된 제1트랜지스터는 문턱전압이 0V보다 큰 풀-다운(pull-down) 트랜지스터일 수 있고, 상기 제2영역의 상기 제2게이트, 상기 게이트절연층, 상기 제2채널층, 상기 제2소오스 및 상기 제2드레인으로 구성된 제2트랜지스터는 문턱전압이 0V보다 작은 풀-업(pull-up) 트랜지스터일 수 있다.
- [0031] 본 발명의 다른 실시예는 기관의 제1 및 제2영역에 제1채널물질층을 형성하는 단계; 상기 제1영역의 상기 제1채널물질층 상에 제2채널물질층을 형성하는 단계; 상기 제2채널물질층과 상기 제1채널물질층을 패터닝하여 상기 제1영역에 상기 제1 및 제2채널물질층의 적층 구조를 갖는 제1채널층을 형성하고, 상기 제2영역에 상기 제1채널물질층으로 이루어진 제2채널층을 형성하는 단계; 상기 제1채널층의 양단에 각각 접촉된 제1소오스 및 제1드레인을 형성하고, 상기 제2채널층의 양단에 각각 접촉된 제2소오스 및 제2드레인을 형성하는 단계; 상기 제1 및 제2채널층, 상기 제1 및 제2소오스, 상기 제1 및 제2드레인을 덮는 게이트절연층을 형성하는 단계; 및 상기 제1영역의 상기 게이트절연층 상에 제1게이트를 형성하고, 상기 제2영역의 상기 게이트절연층 상에 제2게이트를 형성하는 단계;를 포함하는 인버터의 제조방법을 제공한다.
- [0032] 상기 제1 및 제2채널물질층은 단일층 또는 이중층 구조로 형성할 수 있다.
- [0033] 상기 제1 및 제2채널물질층 중 적어도 하나는 산화물로 형성할 수 있다.
- [0034] 상기 제1 및 제2채널물질층은 n-형일 수 있다.(제1실시예)
- [0035] 상기 제1실시예에서, 상기 제2채널물질층은 상기 제1채널물질층보다 높은 캐리어 농도를 가질 수 있다.
- [0036] 상기 제1실시예에서, 상기 제1영역의 상기 제1게이트, 상기 게이트절연층, 상기 제1채널층, 상기 제1소오스 및 상기 제1드레인으로 구성된 제1트랜지스터는 공핍형(depletion mode)의 풀-업(pull-up) 트랜지스터일 수 있고, 상기 제2영역의 상기 제2게이트, 상기 게이트절연층, 상기 제2채널층, 상기 제2소오스 및 상기 제2드레인으로 구성된 제2트랜지스터는 증가형(enhancement mode)의 풀-다운(pull-down) 트랜지스터일 수 있다.
- [0037] 상기 제1채널물질층은 p-형일 수 있고, 상기 제2채널물질층은 n-형일 수 있다.(제2실시예)
- [0038] 상기 제2실시예에서, 상기 제1영역의 상기 제1게이트, 상기 게이트절연층, 상기 제1채널층, 상기 제1소오스 및 상기 제1드레인으로 구성된 제1트랜지스터는 문턱전압이 0V보다 큰 풀-다운(pull-down) 트랜지스터일 수 있고, 상기 제2영역의 상기 제2게이트, 상기 게이트절연층, 상기 제2채널층, 상기 제2소오스 및 상기 제2드레인으로

구성된 제2트랜지스터는 문턱전압이 0V보다 작은 풀-업(pull-up) 트랜지스터일 수 있다.

[0039] 본 발명의 다른 실시예는 청구항 1에 기재된 인버터를 포함하는 논리회로를 제공한다.

[0040] 상기 논리회로는 NAND 게이트, NOR 게이트, 인코더(encoder), 디코더(decoder), MUX(multiplexer), DEMUX(de multiplexer), 센스 앰프(sense amplifier) 및 오실레이터(oscillator) 중 적어도 하나를 포함할 수 있다.

효 과

[0041] 본 발명의 실시예에 따르면, 산화물 반도체를 이용해서 우수한 특성을 갖는 인버터 및 그를 포함하는 논리회로를 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

[0042] 이하, 본 발명의 실시예에 따른 인버터, 그 제조방법 및 인버터를 포함하는 논리회로를 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면에 도시된 층이나 영역들의 폭 및 두께는 명세서의 명확성을 위해 다소 과장되게 도시된 것이다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[0043] 도 1은 본 발명의 실시예에 따른 인버터를 보여준다.

[0044] 도 1을 참조하면, 기판(SUB1) 상에 서로 연결된 제1 및 제2트랜지스터(T1, T2)가 구비될 수 있다. 제1 및 제2트랜지스터(T1, T2)는 모두 n-채널 트랜지스터일 수 있다. 이 경우, 제1트랜지스터(T1)는 공핍형(depletion mode)의 풀-업(pull-up) 트랜지스터일 수 있고, 제2트랜지스터(T2)는 증가형(enhancement mode)의 풀-다운(pull-down) 트랜지스터일 수 있다. 공핍형 트랜지스터는 게이트 전압이 0V일 때, 실질적으로 무시할 수 없는 전류가 흐르는 '온(ON)' 상태이다. 반면, 증가형 트랜지스터는 게이트 전압이 0V일 때, '오프(OFF)' 상태이다. 따라서, 상기 공핍형 트랜지스터의 문턱전압은 0V보다 작을 수 있고, 상기 증가형 트랜지스터의 문턱전압은 0V보다 클 수 있다. 제1트랜지스터(T1)는 부하(load) 트랜지스터, 제2트랜지스터(T2)는 구동(driving) 트랜지스터라 부를 수 있다.

[0045] 제1 및 제2트랜지스터(T1, T2)의 구조에 보다 구체적으로 설명하면 다음과 같다. 기판(SUB1) 상에 서로 이격된 제1 및 제2게이트(G1, G2)가 구비될 수 있다. 기판(SUB1)은 유리 기판, 실리콘 기판, 플라스틱 기판 등 반도체 공정에서 사용되는 다양한 기판 중 어느 하나일 수 있다. 기판(SUB1) 전면 상에 소정의 하지절연층(미도시)이 구비되고, 상기 하지절연층 상에 제1 및 제2게이트(G1, G2)가 구비될 수도 있다. 제1 및 제2게이트(G1, G2)를 덮는 게이트절연층(GI1)이 구비될 수 있다. 게이트절연층(GI1)은 실리콘산화물층 또는 실리콘질화물층이거나, 그 밖의 다른 절연물질층, 예컨대, 실리콘질화물보다 유전상수가 큰 고유전물질로 형성된 층일 수 있다. 제1게이트(G1) 위쪽의 게이트절연층(GI1) 상에 제1채널층(C1)이 구비될 수 있고, 제2게이트(G2) 위쪽의 게이트절연층(GI1) 상에 제2채널층(C2)이 구비될 수 있다. 제1 및 제2채널층(C1, C2)은 산화물층일 수 있고, 서로 다른 구조를 가질 수 있다. 제1 및 제2채널층(C1, C2)에 대해서는 추후에 보다 상세하게 설명한다. 제1채널층(C1)의 양단에 각각 접촉된 제1소오스전극(S1) 및 제1드레인전극(D1)이 구비될 수 있고, 제2채널층(C2)의 양단에 각각 접촉된 제2소오스전극(S2) 및 제2드레인전극(D2)이 구비될 수 있다. 제1소오스전극(S1)과 제2드레인전극(D2)은 서로 분리되어 있을 수 있으나, 일체형으로 형성할 수도 있다. 도시하지는 않았지만, 게이트절연층(GI1) 상에 제1채널층(C1), 제1소오스전극(S1), 제1드레인전극(D1), 제2채널층(C2), 제2소오스전극(S2) 및 제2드레인전극(D2)을 덮는 보호층(passivation layer)이 더 구비될 수 있다. 제1게이트(G1), 제1채널층(C1), 제1소오스전극(S1) 및 제1드레인전극(D1)이 제1트랜지스터(T1)를 구성할 수 있고, 제2게이트(G2), 제2채널층(C2), 제2소오스전극(S2) 및 제2드레인전극(D2)이 제2트랜지스터(T2)를 구성할 수 있다.

[0046] 제1드레인전극(D1)은 전원단자(VDD)에 연결될 수 있고, 제2게이트(G2)는 입력단자(Vin)에 연결될 수 있으며, 제1소오스전극(S1), 제2드레인전극(D2) 및 제1게이트(G1)는 출력단자(Vout)에 공통으로 연결될 수 있다. 제2소오스전극(S2)은 접지될 수 있다.

[0047] 이하에서는, 제1 및 제2채널층(C1, C2)에 대해 보다 상세하게 설명한다. 제1채널층(C1)은 제1층(1)과 제2층(2)이 순차 적층된 구조를 가질 수 있다. 제1채널층(C1)에서 제1게이트(G1)에 가까운 제1층(1)이 주(main) 채널로 사용될 수 있다. 제2채널층(C2)은 제2층(2)과 동일한 층일 수 있다. 제1채널층(C1)의 제1층(1)과 제2층(2)을 각각 하부층 및 상부층이라 하면, 제2채널층(C2)은 상기 상부층과 동일한 층일 수 있다. 제1층(1)과 제2층(2)은 산화물 반도체층일 수 있다. 제1층(1)은 제2층(2)보다 높은 캐리어 농도(carrier concentration)를 가질 수 있다. 캐리어 농도가 높은 제1층(1)에 의해 제1트랜지스터(T1)의 문턱전압은 낮아질 수 있다. 따라서 제1트랜지스

터(T1)는 문턱전압이 0V보다 작은 공핍형 트랜지스터일 수 있다. 제1채널층(C1)에서 제1층(1)의 두께가 얇은 경우, 제2층(2)도 문턱전압에 영향을 줄 수 있다. 제1층(1)은 제1트랜지스터(T1)의 이동도(mobility)를 높이는 역할도 할 수 있다. 제2채널층(C2)의 제2층(2)은 상대적으로 낮은 캐리어 농도를 가질 수 있고, 따라서 제2트랜지스터(T2)는 문턱전압이 0V보다 큰 증가형 트랜지스터가 될 수 있다. 제2층(2)의 두께가 얇으면 그로 인해 제2트랜지스터(T2)는 양(+)의 문턱전압을 가질 수 있다. 이는 제2층(2)의 두께가 임계 두께 이하로 얇아지면, 제2층(2) 내에 전하량이 감소하고, 공핍 영역(depletion region)의 형성이 어려워지기 때문이다. 제1층(1)과 제2층(2)은 단일층일 수 있지만, 다중층, 예컨대, 이중층일 수도 있다. 제1층(1)과 제2층(2) 각각은 1~50nm 정도의 두께로 형성될 수 있고, 서로 같거나 다른 두께를 가질 수 있다. 제1층(1)과 제2층(2)으로 사용할 수 있는 산화물층을 정리하면 아래의 표 1과 같다.

표 1

[0048]

제1층(1) : n형	제2층(2) : n형
IZO(indium zinc oxide)층	GaInZnO(high O ₂)층
ITO(indium tin oxide)층	HfInZnO(high O ₂)층
AZO(aluminum zinc oxide)층	IZO/GaInZnO(high O ₂)층
GZO(gallium zinc oxide)층	IZO/HfInZnO(high O ₂)층
InO(indium oxide)층	ITO/GaInZnO(high O ₂)층
GaInZnO(low O ₂)층	ITO/HfInZnO(high O ₂)층
HfInZnO(low O ₂)층	AZO/GaInZnO(high O ₂)층
IZO/GaInZnO(low O ₂)층	AZO/HfInZnO(high O ₂)층
IZO/HfInZnO(low O ₂)층	GZO/GaInZnO(high O ₂)층
ITO/GaInZnO(low O ₂)층	GZO/HfInZnO(high O ₂)층
ITO/HfInZnO(low O ₂)층	InO/GaInZnO(high O ₂)층
AZO/GaInZnO(low O ₂)층	InO/HfInZnO(high O ₂)층
AZO/HfInZnO(low O ₂)층	질소 함유 플라즈마로 처리된 GaInZnO층
GZO/GaInZnO(low O ₂)층	Thin GaInZnO층 (두께 : 1~30nm)
GZO/HfInZnO(low O ₂)층	Thin HfInZnO층 (두께 : 1~30nm)
InO/GaInZnO(low O ₂)층	
InO/HfInZnO(low O ₂)층	
Ar 플라즈마 처리된 GaInZnO층	

[0049]

표 1의 제1층(1) 물질에 표시된 "low O₂"는 해당 물질이 낮은 산소 분압 분위기에서 형성되었음을 의미한다. 낮은 산소 분압 분위기에서 형성된 GaInZnO(low O₂)층 및 HfInZnO(low O₂)층은 높은 캐리어 농도를 가질 수 있다. 또한 GaInZnO층을 Ar 플라즈마로 처리하면, GaInZnO층의 캐리어 농도가 높아질 수 있다. 본 실시예에서 제1층(1) 물질로 사용가능한 물질은 표 1에 제시한 바에 한정되지 않는다. 여기서 제시한 물질 이외에도, 높은 캐리어 농도를 갖는 반도체 물질이라면 무엇이든 제1층(1) 물질로 사용될 수 있다. 그리고 제1층(1)이 이중층 구조를 갖는 경우, 예컨대, 제1층(1)이 IZO/GaInZnO(low O₂)층 구조를 갖는 경우, 앞에 기재된 IZO층이 하부층이고, 뒤에 기재된 GaInZnO(low O₂)층이 상부층이다. 이는 다른 이중층에서도 마찬가지이다.

[0050]

한편, 제2층(2) 물질에 표시된 "high O₂"는 해당 물질이 높은 산소 분압 분위기에서 형성되었음을 의미한다. 높은 산소 분압 분위기에서 형성된 GaInZnO(high O₂)층 및 HfInZnO(high O₂)층은 낮은 캐리어 농도를 가질 수 있다. 또한 GaInZnO층을 질소 함유 플라즈마, 예컨대, N₂O 플라즈마로 처리하면, GaInZnO층의 캐리어 농도가 낮아질 수 있다. 그리고 제2층(2)으로 두께가 약 30nm 이하인 얇은 GaInZnO층 및 얇은 HfInZnO층 등이 사용될 수 있는데, 이는 앞서 언급한 바와 같이, GaInZnO층 및 HfInZnO층 등이 얇은 두께를 가질 때, 그를 채널층으로 포함하는 트랜지스터(즉, 제2트랜지스터(T2))는 양(+)의 문턱전압을 가질 수 있기 때문이다. 본 실시예에서 제2층(2) 물질로 사용가능한 물질은 표 1에 제시한 바에 한정되지 않는다. 여기서 제시한 물질 이외에도, 제2트랜지스터(T2)의 문턱전압을 양(+)의 값이 되도록 하는 반도체 물질이라면 무엇이든 제2층(2) 물질로 사용될 수 있다.

- [0051] 이와 같이, 본 실시예에서는 제1 및 제2채널층(C1, C2)의 구조를 달리하고, 이들의 물질을 적절히 선택함으로써, 제1 및 제2트랜지스터(T1, T2)의 문턱전압과 이동도 등을 용이하게 제어할 수 있다. 따라서 공핍형의 풀-업(pull-up) 트랜지스터(제1트랜지스터(T1))와 증가형의 풀-다운(pull-down) 트랜지스터(제2트랜지스터(T2))를 갖는 인버터, 즉, E/D 모드(enhancement/depletion mode) 인버터를 구현할 수 있다. 이러한 E/D 모드 인버터는 종래의 인버터, 예컨대, 공핍형의 풀-업 트랜지스터와 공핍형의 풀-다운 트랜지스터를 갖는 인버터보다 우수한 동작 특성을 가질 수 있다.
- [0052] 도 1은 제1 및 제2트랜지스터(T1, T2)가 바텀(bottom) 게이트 구조를 갖는 경우이지만, 이 트랜지스터들(T1, T2)은 탑(top) 게이트 구조로 변형될 수 있다. 그 예가 도 2에 도시되어 있다.
- [0053] 도 2를 참조하면, 기판(SUB1') 상에 서로 이격된 제1 및 제2채널층(C1', C2')이 구비될 수 있다. 제1채널층(C1')은 도 1의 제1채널층(C1)이 위·아래로 뒤집힌 구조를 가질 수 있다. 즉, 도 2의 제1채널층(C1')은 기판(SUB1') 상에 제2층(2')과 제1층(1')이 순차로 구비된 구조를 가질 수 있다. 여기서, 제1층(1') 및 제2층(2')은 도 1의 제1층(1) 및 제2층(2)과 유사하게 단일층일 수 있지만, 다중층, 예컨대, 이중층일 수 있다. 제1층(1') 및 제2층(2')이 단일층이라면, 제1층(1') 및 제2층(2')은 각각 도 1의 제1층(1) 및 제2층(2)과 같을 수 있다. 제1층(1') 및 제2층(2')이 다중층인 경우, 제1층(1') 및 제2층(2')은 각각 도 1의 제1층(1) 및 제2층(2)이 위·아래로 뒤집힌 구조를 가질 수 있다. 제2채널층(C2')은 제2층(2')과 동일한 층일 수 있다. 제1채널층(C1')의 제1층(1')과 제2층(2')을 각각 상부층과 하부층이라고 하면, 제2채널층(C2')은 상기 하부층(즉, 제2층(2'))과 동일한 층이라 할 수 있다.
- [0054] 기판(SUB1') 상에 제1채널층(C1')의 양단에 각각 접촉되는 제1소오스전극(S1') 및 제1드레인전극(D1')이 구비될 수 있고, 제2채널층(C2')의 양단에 각각 접촉되는 제2소오스전극(S2') 및 제2드레인전극(D2')이 구비될 수 있다. 제1 및 제2채널층(C1', C2'), 제1 및 제2소오스전극(S1', S2'), 그리고 제1 및 제2드레인전극(D1', D2')을 덮는 게이트절연층(GI1')이 구비될 수 있다. 게이트절연층(GI1') 상에 제1 및 제2게이트(G1', G2')가 구비될 수 있다. 제1게이트(G1')는 제1채널층(C1') 위쪽에, 제2게이트(G2')는 제2채널층(C2') 위쪽에 위치할 수 있다.
- [0055] 도시하지는 않았지만, 게이트절연층(GI1') 상에 제1 및 제2게이트(G1', G2')를 덮는 보호층(passivation layer)이 더 구비될 수 있다. 제1게이트(G1'), 제1채널층(C1'), 제1소오스전극(S1') 및 제1드레인전극(D1')이 제1트랜지스터(T1')를 구성할 수 있고, 제2게이트(G2'), 제2채널층(C2'), 제2소오스전극(S2') 및 제2드레인전극(D2')이 제2트랜지스터(T2')를 구성할 수 있다. 제1트랜지스터(T1')는 공핍형의 풀-업(pull-up) 트랜지스터일 수 있고, 제2트랜지스터(T2')는 증가형의 풀-다운(pull-down) 트랜지스터일 수 있다.
- [0056] 제1드레인전극(D1')은 전원단자(VDD)에 연결될 수 있고, 제2게이트(G2')는 입력단자(Vin)에 연결될 수 있으며, 제1소오스전극(S1'), 제2드레인전극(D2') 및 제1게이트(G1')는 출력단자(Vout)에 공통으로 연결될 수 있다. 제2소오스전극(S2')은 접지될 수 있다.
- [0057] 도 3은 도 1 및 도 2의 인버터의 회로구성을 보여준다.
- [0058] 도 3을 참조하면, 공핍형의 풀-업(pull-up) 트랜지스터(100)와 증가형의 풀-다운(pull-down) 트랜지스터(200)가 서로 연결되어 있다. 풀-업 트랜지스터(100)는 도 1 및 도 2의 제1트랜지스터(T1, T1')에 대응될 수 있고, 풀-다운 트랜지스터(200)는 도 1 및 도 2의 제2트랜지스터(T2, T2')에 대응될 수 있다. 풀-업 트랜지스터(100)의 드레인전극에 전원단자(VDD)가 연결될 수 있고, 풀-다운 트랜지스터(200)의 게이트에 입력단자(Vin)가 연결될 수 있으며, 풀-업 트랜지스터(100)의 소오스전극 및 풀-다운 트랜지스터(200)의 드레인전극에 출력단자(Vout)가 공통으로 연결될 수 있다. 풀-업 트랜지스터(100)의 게이트도 출력단자(Vout)에 연결될 수 있다. 풀-다운 트랜지스터(200)의 소오스전극은 접지될 수 있다.
- [0059] 입력단자(Vin)에 0V의 전압을 인가한 상태, 즉, 풀-다운 트랜지스터(200)가 오프(off)된 상태에서, 전원단자(VDD)를 통해 하이 레벨(high level)의 전원전압을 풀-업 트랜지스터(100)의 드레인전극에 인가하면, 출력단자(Vout)에서 하이 레벨의 전압이 검출될 수 있다. 상기 전원전압을 풀-업 트랜지스터(100)의 드레인전극에 계속해서 인가한 상태에서, 입력단자(Vin)에 문턱전압 이상의 전압을 인가하여 풀-다운 트랜지스터(200)를 턴-온(turn-on)시키면, 대부분의 전류가 풀-다운 트랜지스터(200)를 통해 접지로 흐를 수 있다. 따라서 출력단자(Vout)에서는 로우 레벨(low level)의 전압이 검출될 수 있다. 즉, 상기 전원전압이 고정된 상태에서, 입력단자(Vin)에 인가하는 전압에 따라 출력단자(Vout)로 출력되는 전압이 달라질 수 있다.
- [0060] 도 4는 본 발명의 다른 실시예에 따른 인버터를 보여준다.

- [0061] 도 4를 참조하면, 기판(SUB10) 상에 서로 연결된 제1 및 제2트랜지스터(T10, T20)가 구비될 수 있다. 제1트랜지스터(T10)는 n-채널 트랜지스터일 수 있고, 제2트랜지스터(T20)는 p-채널 트랜지스터일 수 있다. 이 경우, 제1트랜지스터(T10)는 문턱전압이 0V보다 큰 풀-다운(pull-down) 트랜지스터일 수 있고, 제2트랜지스터(T20)는 문턱전압이 0V보다 작은 풀-업(pull-up) 트랜지스터일 수 있다.
- [0062] 보다 구체적으로 설명하면, 기판(SUB10) 상에 서로 이격된 제1 및 제2게이트(G10, G20)가 구비될 수 있고, 제1 및 제2게이트(G10, G20)를 덮는 게이트절연층(GI10)이 구비될 수 있다. 제1게이트(G10) 위쪽의 게이트절연층(GI10) 상에 제1채널층(C10)이 구비될 수 있고, 제2게이트(G20) 위쪽의 게이트절연층(GI10) 상에 제2채널층(C20)이 구비될 수 있다. 제1 및 제2채널층(C10, C20)은 산화물층일 수 있고, 서로 다른 구조를 가질 수 있다. 제1 및 제2채널층(C10, C20)에 대해서는 추후에 보다 상세하게 설명한다. 제1채널층(C10)의 양단에 각각 접촉된 제1소오스전극(S10) 및 제1드레인전극(D10)이 구비될 수 있고, 제2채널층(C20)의 양단에 각각 접촉된 제2소오스전극(S20) 및 제2드레인전극(D20)이 구비될 수 있다. 제1드레인전극(D10)과 제2소오스전극(S20)은 서로 분리되어 있을 수 있으나, 일체형으로 형성할 수도 있다. 도시하지는 않았지만, 게이트절연층(GI10) 상에 제1채널층(C10), 제1소오스전극(S10), 제1드레인전극(D10), 제2채널층(C20), 제2소오스전극(S20) 및 제2드레인전극(D20)을 덮는 보호층(passivation layer)이 더 구비될 수 있다. 제1게이트(G10), 제1채널층(C10), 제1소오스전극(S10) 및 제1드레인전극(D10)이 제1트랜지스터(T10)를 구성할 수 있고, 제2게이트(G20), 제2채널층(C20), 제2소오스전극(S20) 및 제2드레인전극(D20)이 제2트랜지스터(T20)를 구성할 수 있다.
- [0063] 제2드레인전극(D20)은 전원단자(VDD)에 연결될 수 있고, 제1 및 제2게이트(G10, G20)는 입력단자(Vin)에 연결될 수 있으며, 제1드레인전극(D10) 및 제2소오스전극(S20)은 출력단자(Vout)에 연결될 수 있다. 제1소오스전극(S10)은 접지될 수 있다.
- [0064] 이하에서는, 제1 및 제2채널층(C10, C20)에 대해 보다 상세하게 설명한다. 제1채널층(C10)은 순차 적층된 제1층(10)과 제2층(20)을 가질 수 있다. 제2채널층(C20)은 제2층(20)과 동일한 층일 수 있다. 제1채널층(C10)의 제1층(10)과 제2층(20)을 각각 하부층 및 상부층이라 하면, 제2채널층(C20)은 상기 상부층과 동일한 층일 수 있다. 제1층(10)과 제2층(20)은 산화물 반도체층일 수 있다. 제1층(10)은 n-형 산화물 반도체층일 수 있고, 제2층(20)은 p-형 산화물 반도체층일 수 있다. 제1채널층(C10)을 구성하는 제1 및 제2층(10, 20) 중 제1게이트(G10)에 가까운 제1층(10)이 주(main) 채널로 사용될 수 있다. 따라서, 제1층(10)은 n-형이고, 제2층(20)은 p-형이지만, 제1트랜지스터(T10)는 n-채널 트랜지스터일 수 있다. 제2채널층(C20)의 제2층(20)은 p-형이므로, 제2트랜지스터(T20)는 p-채널 트랜지스터일 수 있다. 제1층(10)은 도 1의 제2층(2)과 동일한 물질 구성을 가질 수 있다. 즉, 제1층(10)은 비교적 낮은 캐리어 농도(carrier concentration)를 가질 수 있다. 따라서 제1트랜지스터(T10)의 문턱전압이 0V보다 클 수 있다. 제1층(10)의 두께가 얇은 경우에도, 그로 인해 제1트랜지스터(T10)는 양(+)의 문턱전압을 가질 수 있다. 제1층(10)과 제2층(20)으로 사용할 수 있는 산화물층을 정리하면 아래의 표 2와 같다.

표 2

[0065]

제1층(10) : n형	제2층(20) : p형
GaInZnO(high O ₂)층	SnO층
HfInZnO(high O ₂)층	SnO ₂ (high O ₂)층
IZO/GaInZnO(high O ₂)층	금속 도핑된 SnO ₂ 층
IZO/HfInZnO(high O ₂)층	X가 도핑된 ZnO층 (X는 1, 2 및 15족 원소)
ITO/GaInZnO(high O ₂)층	NiO층
ITO/HfInZnO(high O ₂)층	CuMO ₂ 층 (M은 13족 금속)
AZO/GaInZnO(high O ₂)층	금속 도핑된 Cu ₂ O층
AZO/HfInZnO(high O ₂)층	SrCu ₂ O ₂ 층
GZO/GaInZnO(high O ₂)층	LaCuOS(Se)층
GZO/HfInZnO(high O ₂)층	AgMO ₂ 층 (M은 13족 금속)
InO/GaInZnO(high O ₂)층	
InO/HfInZnO(high O ₂)층	
질소 함유 플라즈마로 처리된 GaInZnO층	
Thin GaInZnO층 (두께 : 1~30nm)	
Thin HfInZnO층 (두께 : 1~30nm)	

[0066]

제1층(10) 물질로 사용가능한 물질은 표 2에 제시한 바에 한정되지 않는다. 여기서 제시한 물질 이외에도, 제1 트랜지스터(T10)의 문턱전압을 양(+)의 값이 되도록하는 반도체 물질이라면 무엇이든 제1층(10) 물질로 사용될 수 있다.

[0067]

제2층(20)의 물질 중, '금속 도핑된 SnO₂'에서 금속은, 예컨대, Al 및 Cu 등 일 수 있고, 'X가 도핑된 ZnO'에서 X는 Li와 같은 1족 원소, Mg와 같은 2족 원소, As, N, P와 같은 15족 원소 중 적어도 하나일 수 있으며, '금속 도핑된 Cu₂O'에서 금속은, 예컨대, Cr 및 Sr 등 일 수 있다. 제2층(20) 물질로 사용가능한 물질은 표 2에 제시한 바에 한정되지 않는다. 즉, 여기서 제시하지 않은 다른 p-형 반도체 물질이 제2층(20)의 물질로 적용될 수 있다.

[0068]

이와 같이, 본 실시예에서는 제1 및 제2채널층(C10, C20)의 구조를 달리하고, 이들의 물질을 적절히 선택함으로써, 제1 및 제2트랜지스터(T10, T20)의 타입과 문턱전압 등을 제어할 수 있다. 따라서 문턱전압이 0V보다 큰 n-형 풀-다운 트랜지스터(제1트랜지스터(T10))와 문턱전압이 0V보다 작은 p-형 풀-업 트랜지스터(제2트랜지스터(T20))를 갖는 인버터, 즉, 상보성(complementary) 인버터를 구현할 수 있다. 이러한 상보성 인버터는 Si 기반의 CMOS 인버터와 유사하게 우수한 동작 특성을 가질 수 있다.

[0069]

도 4는 제1 및 제2트랜지스터(T10, T20)가 바텀(bottom) 게이트 구조를 갖는 경우이지만, 이 트랜지스터들(T10, T20)은 탑(top) 게이트 구조로 변형될 수 있다. 그 예가 도 5에 도시되어 있다.

[0070]

도 5를 참조하면, 기판(SUB10') 상에 서로 이격된 제1 및 제2채널층(C10', C20')이 구비될 수 있다. 제1채널층(C10')은 도 4의 제1채널층(C10)이 위·아래로 뒤집힌 구조를 가질 수 있다. 즉, 도 5의 제1채널층(C10')은 기판(SUB10') 상에 제2층(20')과 제1층(10')이 순차로 구비된 구조를 가질 수 있다. 제1층(10')은 도 4의 제1층(10)과 유사하게 단일층일 수 있지만, 다중층, 예컨대, 이중층일 수 있고, 제2층(20')은 도 4의 제2층(20)과 유사하게 단일층일 수 있지만, 경우에 따라서는, 다중층일 수도 있다. 제1층(10') 및 제2층(20')이 단일층인 경우, 이들(10', 20')은 각각 도 4의 제1층(01) 및 제2층(20)과 동일한 층일 수 있다. 제1층(10') 및 제2층(20')이 다중층, 예컨대, 이중층인 경우, 이들(10', 20')은 각각 도 4의 제1층(01) 및 제2층(20)이 위·아래로 뒤집힌 구조를 가질 수 있다. 한편, 제2채널층(C20')은 제2층(20')과 동일한 층일 수 있다. 제1채널층(C10')의 제1층(10')과 제2층(20')을 각각 상부층과 하부층이라고 하면, 제2채널층(C20')은 상기 하부층(즉, 제2층(20'))과 동일한 층이라 할 수 있다.

[0071]

기판(SUB10') 상에 제1채널층(C10')의 양단에 각각 접촉되는 제1소오스전극(S10') 및 제1드레인전극(D10')이 구비될 수 있고, 제2채널층(C20')의 양단에 각각 접촉되는 제2소오스전극(S20') 및 제2드레인전극(D20')이 구비될

수 있다. 제1 및 제2채널층(C10', C20'), 제1 및 제2소오스전극(S10', S20'), 그리고 제1 및 제2드레인전극(D10', D20')을 덮는 게이트절연층(GI10')이 구비될 수 있다. 게이트절연층(GI10') 상에 제1 및 제2게이트(G10', G20')가 구비될 수 있다. 제1게이트(G10')는 제1채널층(C10') 위쪽에, 제2게이트(G20')는 제2채널층(C20') 위쪽에 위치할 수 있다.

[0072] 도시하지는 않았지만, 게이트절연층(GI10') 상에 제1 및 제2게이트(G10', G20')를 덮는 보호층(passivation layer)이 더 구비될 수 있다. 제1게이트(G10'), 제1채널층(C10'), 제1소오스전극(S10') 및 제1드레인전극(D10')이 제1트랜지스터(T10')를 구성할 수 있고, 제2게이트(G20'), 제2채널층(C20'), 제2소오스전극(S20') 및 제2드레인전극(D20')이 제2트랜지스터(T20')를 구성할 수 있다. 제1트랜지스터(T10')는 문턱전압이 0V보다 큰 n-형 풀-다운 트랜지스터일 수 있고, 제2트랜지스터(T20')는 문턱전압이 0V보다 작은 p-형 풀-업 트랜지스터일 수 있다.

[0073] 제2드레인전극(D20')은 전원단자(VDD)에 연결될 수 있고, 제1 및 제2게이트(G10', G20')는 입력단자(Vin)에 연결될 수 있으며, 제1드레인전극(D10')과 제2소오스전극(S20')은 출력단자(Vout)에 공통으로 연결될 수 있다. 제1소오스전극(S10')은 접지될 수 있다.

[0074] 도 6은 도 4 및 도 5의 인버터의 회로구성을 보여준다.

[0075] 도 6을 참조하면, p-형의 풀-업 트랜지스터(1000)와 n-형의 풀-다운 트랜지스터(2000)가 서로 연결되어 있다. 풀-업 트랜지스터(1000)는 도 4 및 도 5의 제2트랜지스터(T20, T20')에 대응될 수 있고, 풀-다운 트랜지스터(2000)는 도 4 및 도 5의 제1트랜지스터(T10, T10')에 대응될 수 있다. 풀-업 트랜지스터(1000)의 드레인전극에 전원단자(VDD)가 연결될 수 있고, 풀-업 트랜지스터(1000)의 게이트와 풀-다운 트랜지스터(2000)의 게이트에 입력단자(Vin)가 공통으로 연결될 수 있으며, 풀-업 트랜지스터(1000)의 소오스전극 및 풀-다운 트랜지스터(2000)의 드레인전극에 출력단자(Vout)가 공통으로 연결될 수 있다. 풀-다운 트랜지스터(2000)의 소오스전극은 접지될 수 있다.

[0076] 입력단자(Vin)에 0V의 전압을 인가한 상태, 즉, 풀-업 트랜지스터(1000)는 온(on)되고, 풀-다운 트랜지스터(2000)는 오프(off)된 상태에서, 전원단자(VDD)를 통해 하이 레벨(high level)의 전원전압을 풀-업 트랜지스터(1000)의 드레인전극에 인가하면, 출력단자(Vout)에서 하이 레벨의 전압이 검출될 수 있다. 상기 전원전압을 풀-업 트랜지스터(1000)의 드레인전극에 계속해서 인가한 상태에서, 입력단자(Vin)에 소정의 전압을 인가하여 풀-업 트랜지스터(1000)는 턴-오프(turn-off)시키고 풀-다운 트랜지스터(2000)는 턴-온(turn-on)시키면, 출력단자(Vout)에서는 로우 레벨(low level)의 전압이 검출될 수 있다. 즉, 상기 전원전압이 고정된 상태에서, 입력단자(Vin)에 인가하는 전압에 따라 출력단자(Vout)로 출력되는 전압이 달라질 수 있다.

[0077] 도 7a 내지 도 7d는 본 발명의 실시예에 따른 인버터의 제조방법을 보여준다.

[0078] 도 7a를 참조하면, 기판(SUB11)의 제1 및 제2영역(R1, R2)에 각각 제1 및 제2게이트(G11, G22)를 형성할 수 있다. 기판(SUB11)은 유리 기판, 실리콘 기판, 플라스틱 기판 등 반도체 공정에서 사용되는 다양한 기판 중 어느 하나일 수 있다. 제1 및 제2게이트(G11, G22)를 형성하기 전, 기판(SUB11) 전면 상에 소정의 하지절연층(미도시)을 증착한 후, 상기 하지절연층 상에 제1 및 제2게이트(G11, G22)를 형성할 수도 있다. 다음, 기판(SUB11)의 제1 및 제2영역(R1, R2) 상에 제1 및 제2게이트(G11, G22)를 덮는 게이트절연층(GI11)을 형성할 수 있다. 게이트절연층(GI11)은 실리콘산화물 또는 실리콘질화물로 형성하거나, 그 밖의 다른 절연물질, 예컨대, 실리콘질화물보다 유전상수가 큰 고유전물질로 형성할 수 있다.

[0079] 제1영역(R1)의 게이트절연층(GI11) 상에 제1채널물질층(11)을 형성할 수 있다. 제1채널물질층(11)은 도 1의 제1층(1) 또는 도 4의 제1층(10)의 물질 및 구조로 형성할 수 있다.

[0080] 도 7b를 참조하면, 제1영역(R1)의 제1채널물질층(11) 및 제2영역(R2)의 게이트절연층(GI11) 상에 제2채널물질층(22)을 형성할 수 있다. 제2채널물질층(22)은 도 1의 제2층(2) 또는 도 4의 제2층(20)의 물질 및 구조로 형성할 수 있다. 다음, 제2채널물질층(22) 및 제1채널물질층(11)을 패터닝할 수 있다. 제2채널물질층(22) 및 제1채널물질층(11)의 패터닝은 하나의 마스크를 사용해서 수행할 수 있다. 그 결과가 도 7c에 도시되어 있다.

[0081] 도 7c를 참조하면, 제1게이트(G11) 위쪽에 패터닝된 제1 및 제2채널물질층(11, 22)이 구비될 수 있고, 제2게이트(G22) 위쪽에 패터닝된 제2채널물질층(22)이 구비될 수 있다. 여기서, 제1영역(R1)의 제1 및 제2채널물질층(11, 22)은 각각 도 1의 제1트랜지스터(T1)의 제1 및 제2층(1, 2)에 대응하거나, 도 4의 제1트랜지스터(T10)의 제1 및 제2층(10, 20)에 대응할 수 있다. 그리고 제2영역(R2)의 제2채널물질층(22)은 도 1의 제2트랜지스터(T2)의 제2층(2)에 대응하거나, 도 4의 제2트랜지스터(T2)의 제2층(20)에 대응할 수 있다. 제1영역(R1)의 제1 및

제2채널물질층(11, 22)을 제1채널층(C11)이라 하고, 제2영역(R2)의 제2채널물질층(22)을 제2채널층(C22)이라 한다.

[0082] 도 7d를 참조하면, 제1채널층(C11)의 양단에 각각 접촉된 제1소오스전극(S11) 및 제1드레인전극(D11)을 형성할 수 있고, 제2채널층(C22)의 양단에 각각 접촉된 제2소오스전극(S22) 및 제2드레인전극(D22)을 형성할 수 있다. 소오스전극(S11, S22)과 드레인전극(D11, D22)의 역할을 서로 바꿀 수 있다. 제1소오스전극(S11)과 제2드레인전극(D22)은 서로 분리되도록 형성할 수 있으나, 일체형으로 형성할 수도 있다. 도시하지는 않았지만, 게이트절연층(GI11) 상에 제1채널층(C11), 제1소오스전극(S11), 제1드레인전극(D11), 제2채널층(C22), 제2소오스전극(S22) 및 제2드레인전극(D22)을 덮는 보호층(passivation layer)을 더 형성할 수 있다. 상기 보호층 형성 후, 혹은 형성 전에, 도 7d의 결과물을 소정 온도에서 어닐링할 수 있다. 제1게이트(G11), 제1채널층(C11), 제1소오스전극(S11) 및 제1드레인전극(D11)은 제1트랜지스터(T11)를 구성할 수 있고, 제2게이트(G22), 제2채널층(C22), 제2소오스전극(S22) 및 제2드레인전극(D22)은 제2트랜지스터(T22)를 구성할 수 있다. 제1 및 제2채널물질층(11, 22)의 물질에 따라, 제1트랜지스터(T11)는 도 1의 제1트랜지스터(T1) 또는 도 4의 제1트랜지스터(T10)에 대응될 수 있고, 제2트랜지스터(T22)는 도 1의 제2트랜지스터(T2) 또는 도 4의 제2트랜지스터(T20)에 대응될 수 있다.

[0083] 이와 같이, 본 실시예에 따르면, 단순한 공정으로 서로 다른 특성을 갖는 제1 및 제2트랜지스터(T11, T22)를 동일 기판(SUB11) 상에 용이하게 형성할 수 있다. 만약, 제1트랜지스터(T11)의 채널층을 제1산화물로 이루어진 제1단일층으로 형성하고, 제2트랜지스터(T22)의 채널층을 제2산화물로 이루어진 제2단일층으로 형성하는 경우, 상기 제1산화물과 제2산화물은 식각선택비가 낮기 때문에, 인버터의 제조 공정이 복잡해질 수 있다. 그러나 본 실시예에서와 같이, 제1영역(R1)에 제1채널물질층(11)을 형성하고(도 7a), 제1 및 제2영역(R1, R2)에 제2채널물질층(22)을 형성한 다음(도 7b), 제2 및 제1채널물질층(22, 11)을 한 번의 공정으로 패터닝하면, 인버터 제조 공정이 단순화될 수 있다. 이는 이하에서 설명할 본 발명의 다른 실시예에 따른 제조방법에서도 유사하다.

[0084] 도 8a 내지 도 8c는 본 발명의 다른 실시예에 따른 인버터의 제조방법을 보여준다.

[0085] 도 8a를 참조하면, 기판(SUB11')의 제1 및 제2영역(R1', R2')의 전면 상에 제2채널물질층(22')을 형성할 수 있다. 기판(SUB11')은 도 7a의 기판(SUB11)과 동일할 수 있다. 제2채널물질층(22')은 도 2의 제2층(2') 또는 도 5의 제2층(20')의 물질 및 구조로 형성할 수 있다. 제1영역(R1)의 제2채널물질층(22') 상에 제1채널물질층(11')을 형성할 수 있다. 제1채널물질층(11')은 도 2의 제1층(1') 또는 도 5의 제1층(10')의 물질 및 구조로 형성할 수 있다. 다음, 제1 및 제2채널물질층(11', 22')을 패터닝할 수 있다. 제1 및 제2채널물질층(11', 22')의 패터닝은 하나의 마스크를 사용해서 수행할 수 있다. 그 결과가 도 8b에 도시되어 있다.

[0086] 도 8b를 참조하면, 제1영역(R1')에 패터닝된 제1 및 제2채널물질층(11', 22')이 구비될 수 있고, 제2영역(R2')에 패터닝된 제2채널물질층(22')이 구비될 수 있다. 제1영역(R1')의 제1 및 제2채널물질층(11', 22')은 각각 도 2의 제1트랜지스터(T1')의 제1 및 제2층(1', 2')에 대응하거나, 도 5의 제1트랜지스터(T10')의 제1 및 제2층(10', 20')에 대응할 수 있다. 그리고 제2영역(R2')의 제2채널물질층(22')은 도 2의 제2트랜지스터(T2')의 제2층(2')에 대응하거나, 도 5의 제2트랜지스터(T20')의 제2층(20')에 대응할 수 있다. 제1영역(R1')의 제1 및 제2채널물질층(11', 22')을 제1채널층(C11')이라 하고, 제2영역(R2')의 제2채널물질층(22')을 제2채널층(C22')이라 한다.

[0087] 도 8c를 참조하면, 제1채널층(C11')의 양단에 각각 접촉된 제1소오스전극(S11') 및 제1드레인전극(D11')을 형성할 수 있고, 제2채널층(C22')의 양단에 각각 접촉된 제2소오스전극(S22') 및 제2드레인전극(D22')을 형성할 수 있다. 소오스전극(S11', S22')과 드레인전극(D11', D22')의 역할을 서로 바꿀 수 있다. 제1소오스전극(S11')과 제2드레인전극(D22')은 서로 분리되도록 형성할 수 있으나, 일체형으로 형성할 수도 있다.

[0088] 기판(SUB11') 상에 제1채널층(C11'), 제1소오스전극(S11'), 제1드레인전극(D11'), 제2채널층(C22'), 제2소오스전극(S22') 및 제2드레인전극(D22')을 덮는 게이트절연층(GI11')을 형성할 수 있다. 게이트절연층(GI11')은 실리콘산화물 또는 실리콘질화물로 형성하거나, 그 밖의 다른 절연물질, 예컨대, 실리콘질화물보다 유전상수가 큰 고유전물질로 형성할 수 있다.

[0089] 다음, 제1채널층(C11') 위쪽의 게이트절연층(GI11') 상에 제1게이트(G11')를 형성하고, 제2채널층(C22') 위쪽의 게이트절연층(GI11') 상에 제2게이트(G22')를 형성할 수 있다. 도시하지는 않았지만, 게이트절연층(GI11') 상에 제1 및 제2게이트(G11', G22')를 덮는 보호층(passivation layer)을 더 형성할 수 있다. 상기 보호층 형성 후, 혹은 형성 전에, 도 8c의 결과물을 소정 온도에서 어닐링할 수 있다. 제1게이트(G11'), 제1채널층(C11'), 제1소오스전극(S11') 및 제1드레인전극(D11')은 제1트랜지스터(T11')를 구성할 수 있고, 제2게이트(G22'), 제2채널층

(C22'), 제2소오스전극(S22') 및 제2드레인전극(D22')은 제2트랜지스터(T22')를 구성할 수 있다. 제1 및 제2 채널물질층(11', 22')의 물질에 따라, 제1트랜지스터(T11')는 도 2의 제1트랜지스터(T1') 또는 도 5의 제1트랜지스터(T10')에 대응될 수 있고, 제2트랜지스터(T22')는 도 2의 제2트랜지스터(T2') 또는 도 5의 제2트랜지스터(T20')에 대응될 수 있다.

[0090] 도 9는 본 발명의 실시예에 따른 인버터에 구비되는 풀-업 트랜지스터 및 풀-다운 트랜지스터의 게이트전압(V_g)-드레인전류(I_d) 특성을 보여준다. 도 9에서 제1 내지 제3그래프(GG1~GG3)는 도 1의 제1트랜지스터(T1)의 구조를 갖는 풀-업 트랜지스터에 대한 결과이고, 제4 내지 제6그래프(GG1'~GG3')는 도 1의 제2트랜지스터(T2)의 구조를 갖는 풀-다운 트랜지스터에 대한 결과이다. 이때, 제1층(1)으로 IZO층이, 제2층(2)으로 GaInZnO층이 사용되었다. 제1 및 제4그래프(GG1, GG1')는 5.1V의 드레인 전압을 사용한 경우이고, 제2 및 제5그래프(GG2, GG2')는 1.1V의 드레인 전압을 사용한 경우이며, 제3 및 제6그래프(GG3, GG3')는 0.1V의 드레인 전압을 사용한 경우이다.

[0091] 도 9를 참조하면, 상기 풀-업 트랜지스터(도 1의 제1트랜지스터(T1))에 대한 결과인 제1 내지 제3그래프(GG1~GG3)가 상기 풀-다운 트랜지스터(도 1의 제2트랜지스터(T2))에 대한 결과인 제4 내지 제6그래프(GG1'~GG3')보다 상당히 왼쪽에 위치하는 것을 확인할 수 있다. 이때, 제1 내지 제3그래프(GG1~GG3)의 문턱전압은 -1.5V 내지 -1.0V 정도였고, 제4 내지 제6그래프(GG1'~GG3')의 문턱전압은 0.7V 내지 0.8V 정도였다. 이는 상기 풀-업 트랜지스터는 문턱전압이 0V보다 작은 공핍형이고, 상기 풀-다운 트랜지스터는 문턱전압이 0V보다 큰 증가형인 것을 의미한다. 한편, 온(ON) 전류의 경우, 제1 내지 제3그래프(GG1~GG3)가 제4 내지 제6그래프(GG1'~GG3')보다 높게 나타났다.

[0092] 도 10은 본 발명의 실시예에 따른 인버터와 비교예에 따른 인버터의 입력전압(V_i)-출력전압(V_o) 특성을 보여준다. 도 10에서 제1그래프(GP1)는 도 1의 구조를 갖되, 제1층(1)으로 IZO층을 사용하고, 제2층(2)으로 GaInZnO층을 사용한 본 발명의 실시예에 따른 인버터에 대한 결과이다. 제2그래프(GP2)는 제1비교예에 따른 인버터에 대한 결과로서, 상기 제1비교예에 따른 인버터는 서로 연결된 증가형의 풀-업 트랜지스터와 증가형의 풀-다운 트랜지스터, 그리고, 상기 증가형의 풀-업 트랜지스터의 게이트에 연결된 증가형의 예비충전(pre-charge) 트랜지스터를 갖는다. 상기 예비충전 트랜지스터의 소오스전극이 상기 풀-업 트랜지스터의 게이트에 연결되고, 상기 예비충전 트랜지스터의 게이트 및 드레인전극이 상기 풀-업 트랜지스터의 드레인전극과 함께 전원단자에 연결된다. 이때, 상기 풀-업 트랜지스터, 상기 풀-다운 트랜지스터 및 상기 예비충전 트랜지스터의 채널층은 모두 GaInZnO 단층 구조를 갖는다. 제3그래프(GP3)는 제2비교예에 따른 인버터에 대한 결과로서, 상기 제2비교예에 따른 인버터는 제1의 GaInZnO 단일층을 채널층으로 갖는 공핍형의 풀-업 트랜지스터와 제2의 GaInZnO 단일층을 채널층으로 갖는 증가형의 풀-다운 트랜지스터를 갖는다. 한편, 도 10의 결과를 얻는데 사용한 전원전압(Vdd)은 5V 정도였다. 여기서, 입력전압(V_i) 및 상기 전원전압(Vdd)은 각각 입력단자(V_{in}) 및 전원단자(VDD)에 인가하는 전압을 나타내고, 출력전압(V_o)은 출력단자(V_{out})에서 검출되는 전압을 나타낸다.

[0093] 도 10의 결과를 정리하면 아래의 표 3과 같다.

표 3

[0094]

구분	실시예(GP1)	제1비교예(GP2)	제2비교예(GP2)
V_{OH} (High logical output)	5V	4.85V	4.8V
V_{OL} (Low logical level output)	0.15V	0.35V	0.7V
전압 스윙 (Output voltage swing)	4.85V	4.5V	4.1V
스위칭 전압 이득 ($\partial V_o / \partial V_i$)	15	8	4

[0095] 표 3을 참조하면, 본 실시예에 따른 인버터의 하이 레벨 출력 전압(V_{OH})은 제1 및 제2비교예에 따른 인버터의 그것보다 높고, 본 실시예에 따른 인버터의 로우 레벨 출력 전압(V_{OL})은 제1 및 제2비교예에 따른 인버터의 그것보다 낮다. 따라서 본 실시예에 따른 인버터의 전압 스윙은 제1 및 제2비교예에 따른 인버터의 전압 스윙보다 크고, 스위칭 전압 이득(switching voltage gain)도 높게 나타난다. 이는 본 실시예에 따른 인버터의 동작 특성이 제1 및 제2비교예에 따른 인버터보다 우수하다는 것을 보여준다.

[0096] 본 발명의 실시예들에 따른 인버터는 다양한 논리회로, 예컨대, NAND 게이트, NOR 게이트, 인코더(encoder), 디

코더(decoder), MUX(multiplexer), DEMUX(de multiplexer), 센스 앰프(sense amplifier) 및 오실레이터(oscillator) 등의 논리회로의 기본 소자로 이용될 수 있다. 상기 논리회로들의 기본적인 구조는 잘 알려진 바, 그들에 대한 자세한 설명은 생략한다.

[0097] 또한, 상기 본 발명의 실시예에 따른 인버터 및 그를 포함하는 논리회로는 메모리소자, 액정표시장치, 유기발광 표시장치 및 그 밖의 다양한 반도체소자에 적용될 수 있다. 특히, 상기 인버터의 풀-업 트랜지스터와 풀-다운 트랜지스터가 산화물 박막 트랜지스터인 경우, 산화물 박막 트랜지스터는 저온 공정으로 형성가능하고, 우수한 이동도 특성을 갖기 때문에 다양한 이점이 있다. 예컨대, 본 발명의 실시예에 따른 산화물 박막 트랜지스터로 구성된 인버터는 1D(diode)-1R(resistor) 다층 교차점 메모리 소자와 같이 저온 공정으로 형성가능한 3차원 적층 메모리의 주변소자로서 용이하게 적용될 수 있다. 부가해서, 본 발명의 실시예에 따른 인버터 및 그를 포함하는 논리회로는 유리 기판에 제조할 수 있기 때문에, SOG(system on glass) 분야에 용이하게 적용될 수 있다.

[0098] 도 11은 본 발명의 실시예에 따른 복수의 인버터를 포함하는 링 오실레이터(ring oscillator)의 전압 진동 특성을 보여준다. 이때 사용한 링 오실레이터에 포함되는 인버터들은 도 10의 제1그래프(GP1)를 얻는데 사용한 본 발명의 실시예에 따른 인버터와 동일하다.

[0099] 도 12는 제1비교예에 따른 복수의 인버터를 포함하는 링 오실레이터의 전압 진동 특성을 보여준다. 상기 제1비교예에 따른 인버터는 도 10의 제1비교예에 따른 인버터와 동일하다.

[0100] 도 13은 제2비교예에 따른 복수의 인버터를 포함하는 링 오실레이터의 전압 진동 특성을 보여준다. 상기 제2비교예에 따른 인버터는 도 10의 제2비교예에 따른 인버터와 동일하다.

[0101] 도 11 내지 도 13의 결과를 얻는데 사용한 링 오실레이터는 모두 7-스테이지(stage) 오실레이터였다.

[0102] 도 11 및 도 12를 비교하면, 도 11의 진동 그래프의 진폭은 도 12의 진동 그래프 진폭보다 2배 정도 큰 것을 알 수 있다. 이는 본 실시예에 따른 인버터를 포함하는 링 오실레이터의 특성이 상기 제1비교예에 따른 인버터를 포함하는 링 오실레이터보다 우수하다는 것을 의미한다. 한편, 상기 제2비교예에 따른 인버터를 포함하는 링 오실레이터에 대한 결과인 도 13을 참조하면, 전압 진동 특성이 나타나지 않음을 알 수 있다.

[0103] 부가적으로, 상기 본 실시예에 따른 인버터를 포함하는 링 오실레이터의 전파 지연(propagation delay)는 4ns/stage 정도로 매우 짧게 나타났다. 이는 본 실시예에 따른 인버터의 동작 속도가 빠르다는 것을 의미한다. 그리고 상기 본 실시예에 따른 인버터를 포함하는 링 오실레이터의 평균 소비전력은 20mW 정도로, 전술한 제1비교예에 따른 인버터를 포함하는 링 오실레이터의 평균 소비전력인 90mW보다 훨씬 적었다.

[0104] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예를 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 전술한 실시예에 따른 인버터에 포함되는 풀-업 트랜지스터 및 풀-다운 트랜지스터는 스테거형(stagger type) 또는 평면형(planar type) 트랜지스터일 수 있음을 알 수 있을 것이다. 또한, 도 1 및 도 2에서 제1층(1, 1') 및 제2층(2, 2') 중 적어도 하나는 산화물 이외에 다른 반도체 물질, 예컨대, 비정질 실리콘, 다결정 실리콘, 유기 반도체 등으로 형성될 수 있고, 이와 유사하게, 도 4 및 도 5에서 제1층(10, 10') 및 제2층(20, 20') 중 적어도 하나는 산화물 이외에 다른 반도체 물질, 예컨대, 비정질 실리콘, 다결정 실리콘, 유기 반도체 등으로 형성될 수 있음을 알 수 있을 것이다. 아울러 도 1 내지 도 6의 인버터의 구성요소 및 구조는 각각 다양화 및 변형될 수 있고, 도 7a 내지 도 7d의 제조방법과 도 8a 내지 도 8c의 제조방법도 다양하게 변형될 수 있음을 알 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

도면의 간단한 설명

[0105] 도 1 및 도 2는 본 발명의 실시예에 따른 인버터의 단면도이다.

[0106] 도 3은 본 발명의 실시예에 따른 인버터의 회로도이다.

[0107] 도 4 및 도 5는 본 발명의 다른 실시예에 따른 인버터의 단면도이다.

[0108] 도 6은 본 발명의 다른 실시예에 따른 인버터의 회로도이다.

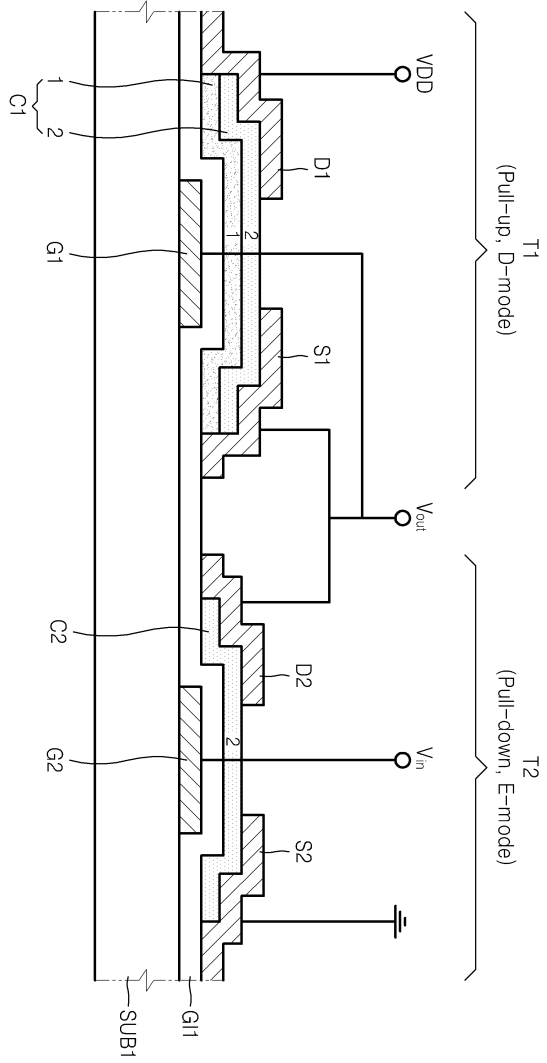
[0109] 도 7a 내지 도 7d는 본 발명의 실시예에 따른 인버터의 제조방법을 보여주는 단면도이다.

[0110] 도 8a 내지 도 8c는 본 발명의 다른 실시예에 따른 인버터의 제조방법을 보여주는 단면도이다.

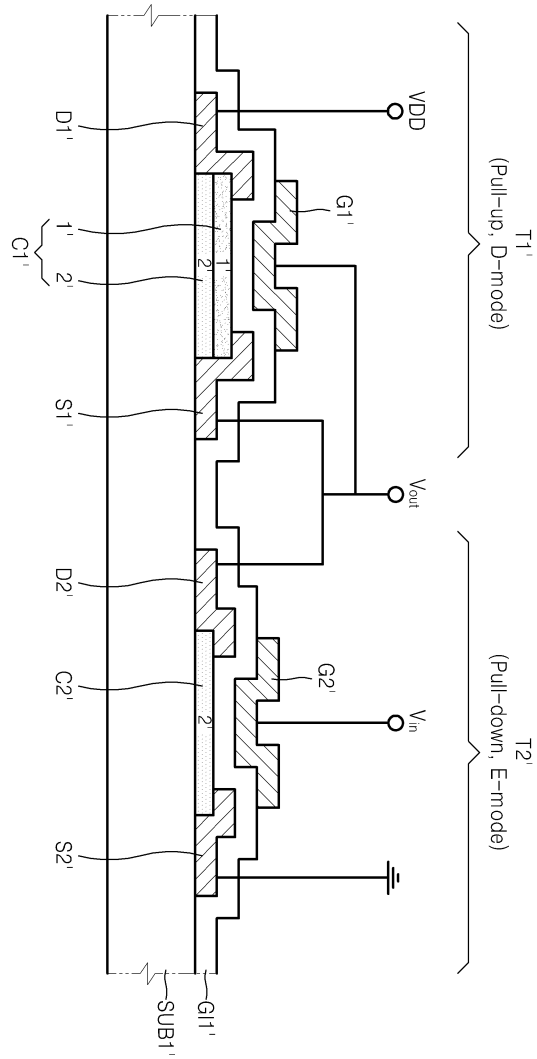
- [0111] 도 9는 본 발명의 실시예에 따른 인버터에 포함되는 풀-업(pull-up) 트랜지스터와 풀-다운(pull-down) 트랜지스터의 게이트전압(V_g)-드레인전류(I_d) 특성을 보여주는 그래프이다.
- [0112] 도 10은 본 발명의 실시예와 제1 및 제2비교예에 따른 인버터의 입력전압(V_I)-출력전압(V_O) 특성을 보여주는 그래프이다.
- [0113] 도 11은 본 발명의 실시예에 따른 복수의 인버터를 포함하는 링 오실레이터(ring oscillator)의 전압 진동 특성을 보여주는 그래프이다.
- [0114] 도 12 및 도 13은 각각 제1 및 제2비교예에 따른 복수의 인버터를 포함하는 링 오실레이터의 전압 진동 특성을 보여주는 그래프이다.
- [0115] * 도면의 주요 부분에 대한 부호설명 *
- [0116] 1, 1', 10, 10', 11, 11' : 제1층 2, 2', 20, 20', 22, 22' : 제2층
- [0117] 100, 1000 : 풀-업 트랜지스터 200, 2000 : 풀-다운 트랜지스터
- [0118] C1~C22' : 채널층 D1~D22' : 드레인전극
- [0119] G1~G22' : 게이트전극 GI1~GI11' : 게이트절연층
- [0120] S1~S22' : 소오스전극 SUB1~SUB11' : 기판
- [0121] VDD : 전원단자 Vin : 입력단자
- [0122] Vout : 출력단자 T1~T11' : 제1트랜지스터
- [0123] T2~T22' : 제2트랜지스터

도면

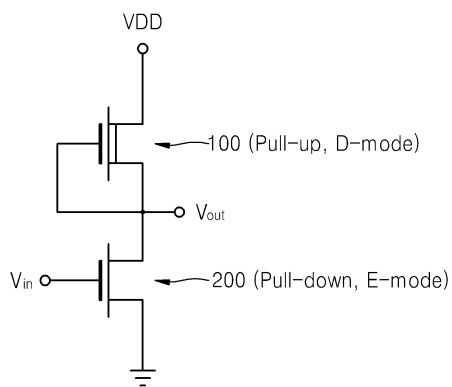
도면1



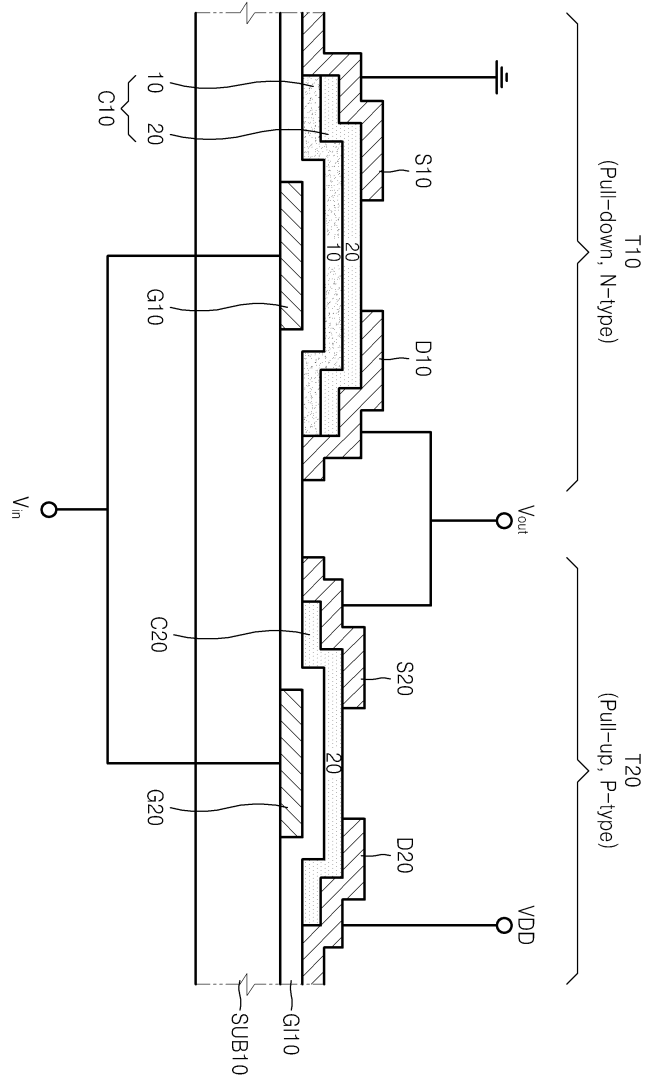
도면2



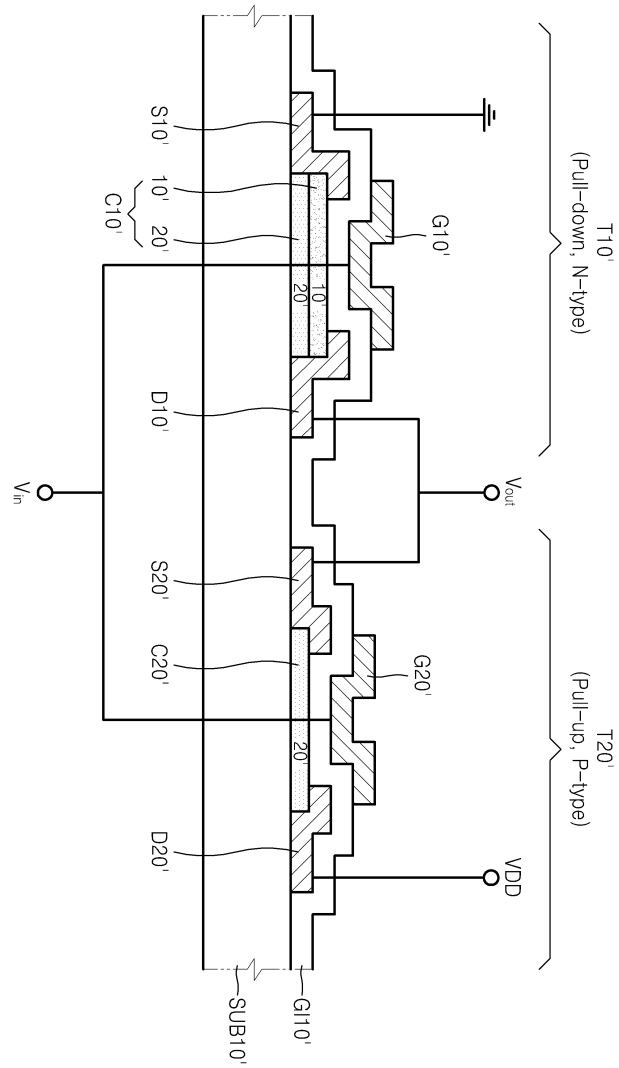
도면3



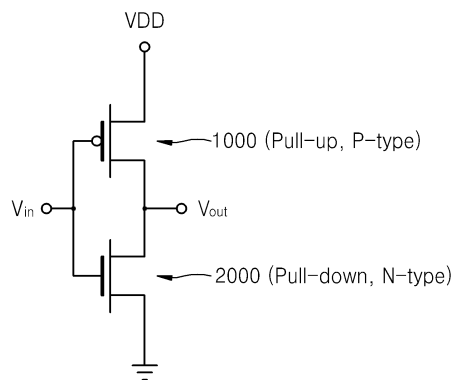
도면4



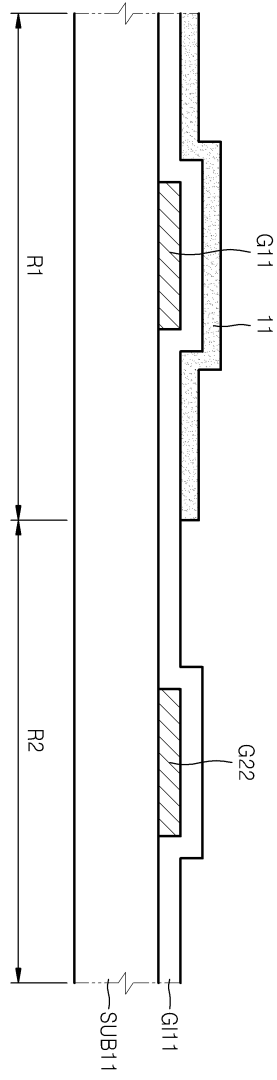
도면5



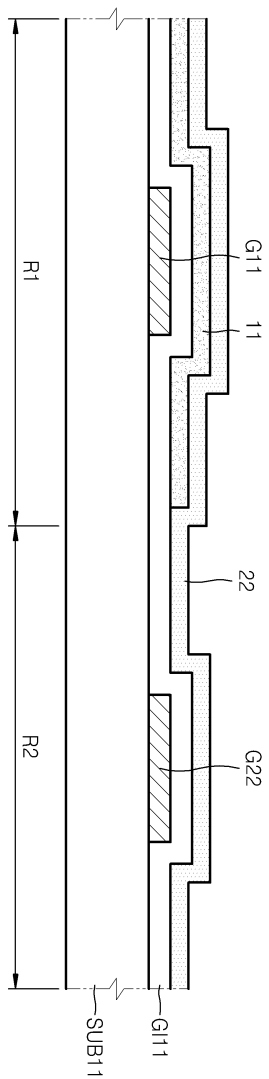
도면6



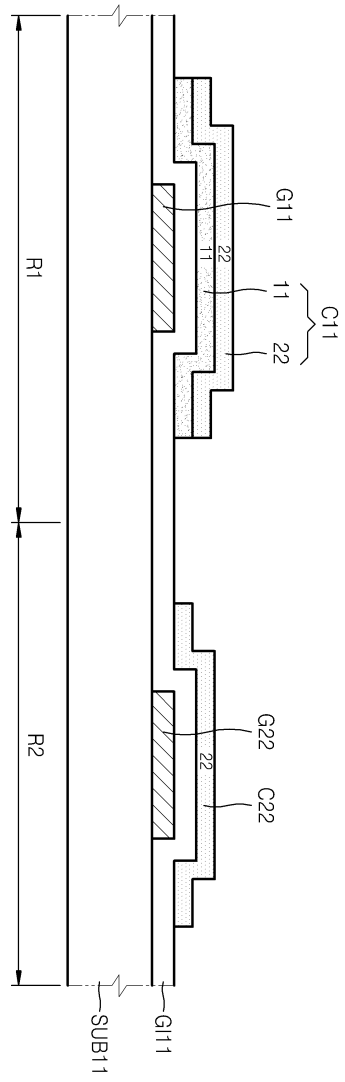
도면7a



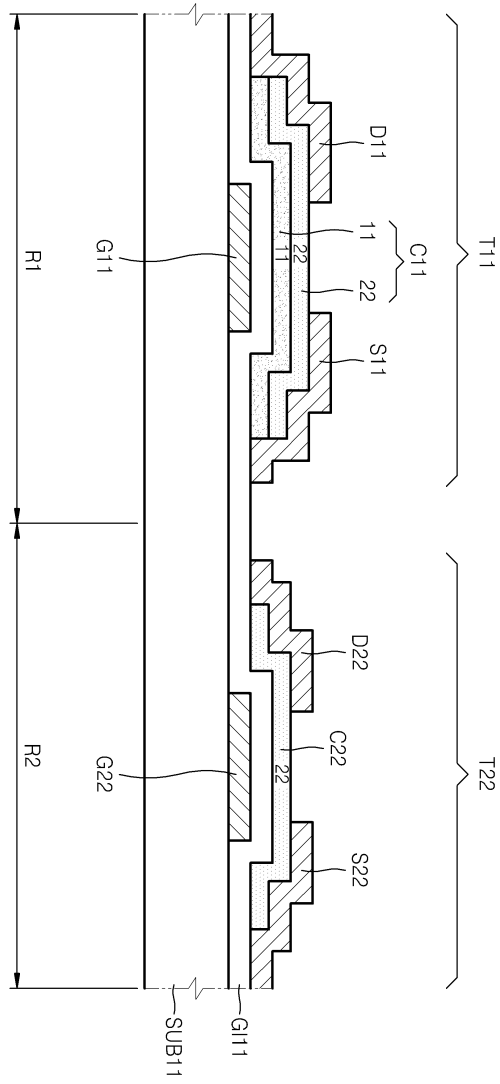
도면7b



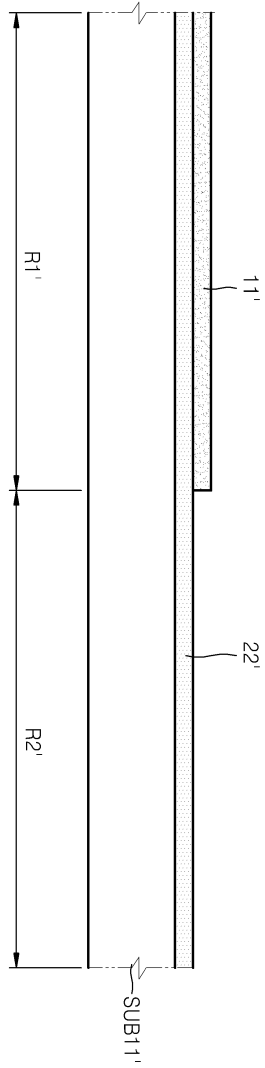
도면7c



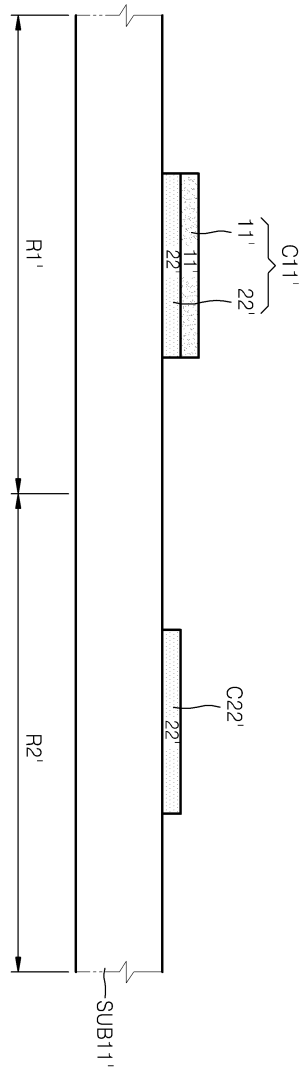
도면7d



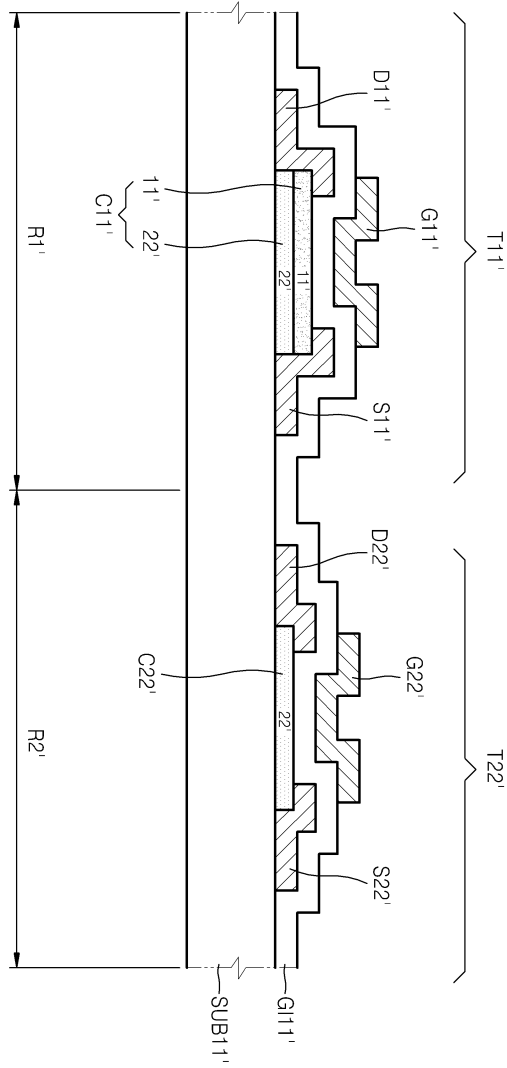
도면8a



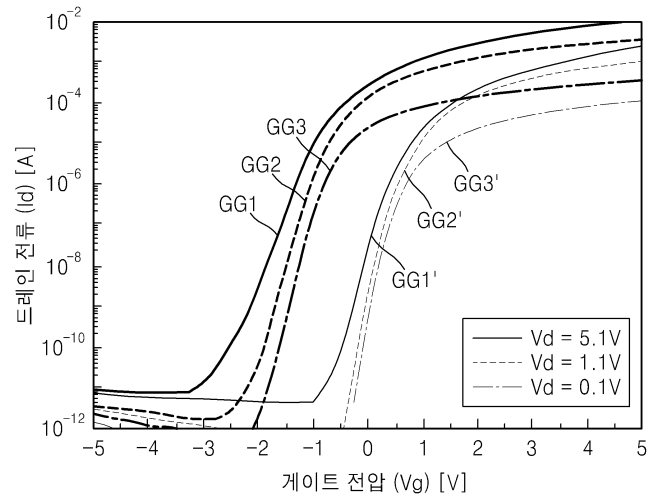
도면8b



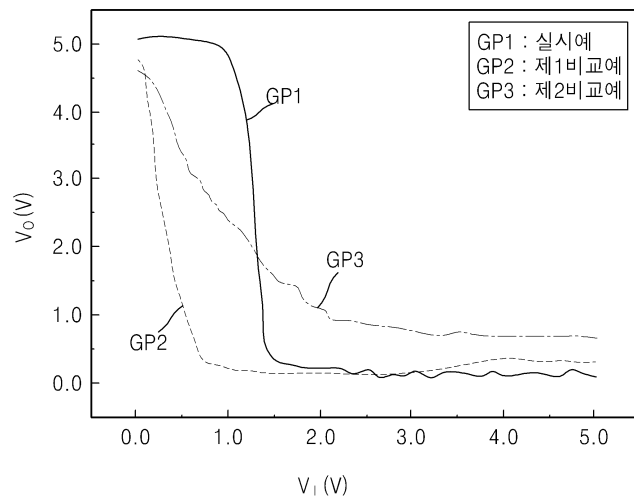
도면8c



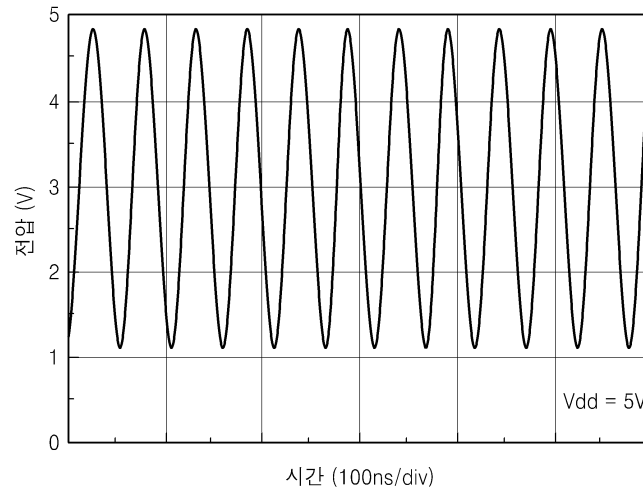
도면9



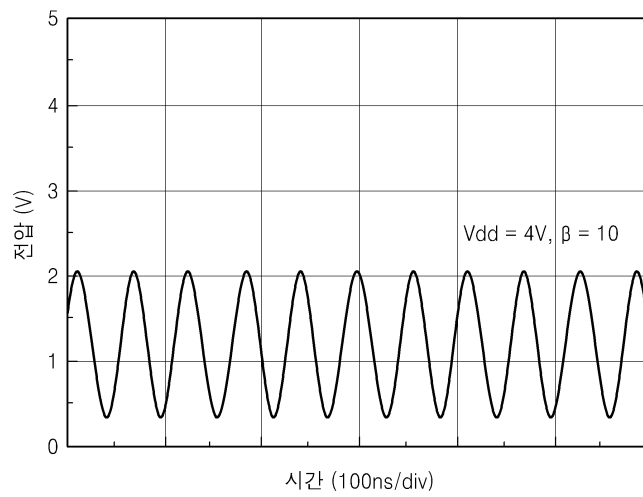
도면10



도면11



도면12



도면13

