

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2017年8月10日(10.08.2017)



(10) 国際公開番号  
WO 2017/135219 A1

- (51) 国際特許分類:  
G06F 17/50 (2006.01)
- (21) 国際出願番号: PCT/JP2017/003311
- (22) 国際出願日: 2017年1月31日(31.01.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2016-017051 2016年2月1日(01.02.2016) JP
- (71) 出願人: 日本電気株式会社(NEC CORPORATION)  
[JP/JP]; 〒1088001 東京都港区芝五丁目7番1号  
Tokyo (JP).
- (72) 発明者: 小林 悠記(KOBAYASHI Yuki); 〒1088001  
東京都港区芝五丁目7番1号日本電気株式会社  
内 Tokyo (JP).
- (74) 代理人: 下坂 直樹(SHIMOSAKA Naoki); 〒  
1088001 東京都港区芝五丁目7番1号日本電気  
株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

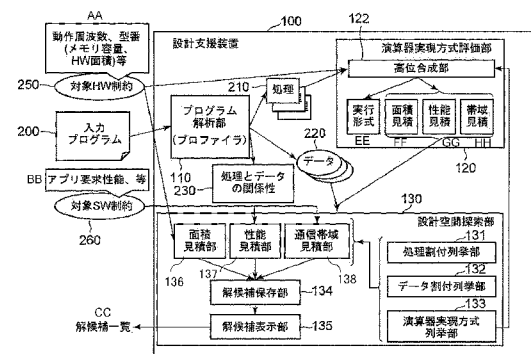
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: DESIGN ASSISTANCE DEVICE, DESIGN ASSISTANCE METHOD, AND RECORDING MEDIUM STORING DESIGN ASSISTANCE PROGRAM

(54) 発明の名称: 設計支援装置、設計支援方法、および設計支援プログラムを格納した記録媒体



- 100 Design assistance device
- 110 Program analysis unit (profiller)
- 120 Arithmetic-logic unit implementation scheme evaluation unit
- 122 High order synthesis unit
- 130 Design space search unit
- 131 Process allocation enumeration unit
- 132 Data allocation enumeration unit
- 133 Arithmetic-logic unit implementation scheme enumeration unit
- 134 Solution candidate preservation unit
- 135 Solution candidate display unit
- 136 Area estimation unit
- 137 Performance estimation unit
- 138 Communication band estimation unit
- 200 Input program
- 210 Process
- 220 Data
- 230 Relationship of process and data
- 260 Hardware constraints
- 260 Software constraints
- AA Operating frequency, model number (memory capacity, hardware area), etc.
- BB Application required performance, etc.
- CC Solution candidate list
- EE Executable form
- FF Area estimation
- GG Performance estimation
- HH Band estimation

(57) Abstract: A design assistance device for a computer system that includes a CPU and an accelerator, wherein a program analysis means extracts, from an input program written in high order language, a process including a function and data including a variable that are included in the input program, and analyzes the relationship of the process and data that includes the amount of access from the process to the data on the basis of the number of times the function or loop is executed; an arithmetic-logic unit implementation scheme evaluation means evaluates, for the obtained process, the used amount of resource, delay, and communication band of the accelerator on the basis of hardware specification that includes the operating frequency and model number of the accelerator; and a design space search means generates, for the obtained process and data, candidates expressed by a combination of allocations to the CPU and the accelerator, and obtains and presents the used amount of resource, communication band, and performance of the entire input program on the basis of results obtained for each of the candidates by evaluation by the arithmetic-logic unit implementation scheme evaluation means.

(57) 要約:

[続葉有]

WO 2017/135219 A1



---

ＣＰＵとアクセラレータを含むコンピュータシステムを対象とする設計支援装置において、プログラム解析手段は、高位言語で記述された入力プログラムから、入力プログラム中に含まれる関数を含む処理と変数を含むデータとを抽出し、関数やループの実行回数を基に処理からデータへのアクセス量を含む処理とデータの関係性を解析し、演算器実現方式評価手段は、求めた処理に対し、アクセラレータの動作周波数や型番を含むハードウェア仕様を基に、アクセラレータの使用リソース量、遅延、および通信帯域を評価し、設計空間探索手段は、求めた処理とデータとについて、ＣＰＵとアクセラレータへの割付の組合せで表される候補を生成し、それぞれの候補について演算器実現方式評価手段の評価によって得られた結果を基に、入力プログラム全体の使用リソース量、通信帯域、および性能を求め、提示する。

## 明 細 書

発明の名称：

設計支援装置、設計支援方法、および設計支援プログラムを格納した記録媒体

### 技術分野

[0001] 本発明は、中央処理装置（CPU：Central Processing Unit）とアクセラレータとを含むコンピュータシステムを対象とする設計支援装置等に関する。

### 背景技術

[0002] アクセラレータとは、コンピュータの処理能力を高めるために、追加して利用するハードウェア又はソフトウェアの総称である。比較的低いコストで、計算を高速化・効率化する手法として、FPGA（Field Programmable Gate Array）上に実装した専用回路による演算又はGPGPU（General Purpose computing on Graphics Processing Unit）が知られている。なお、ここではアクセラレータとして主にFPGAを例に説明する。アクセラレータとしてGPGPUなど他のアクセラレータを想定してもよい。

[0003] この種のCPUとアクセラレータを含むコンピュータシステムを対象とする設計支援装置が、種々知られている。

[0004] 特許文献1は、高位合成において、異なる形式のメモリアクセスに対して同じメモリを共有できる回路に修正する手段を有する「高位合成装置」を開示している。

[0005] 特許文献2は、メモリアクセス回数から通信帯域を計算し、バス競合の確率を計算する「プログラムの動作推定方法」を開示している。特許文献2に開示されたモデリング／シミュレーション・システムは、好適にはUML（Unified Modeling Language）に基づくシミュレーション・システムであり、モデルエディタと、計算モジュールとを有する。計算モジュールは、所定の評価アルゴリズムに従い、実行時間やメモリ帯域利用率などの値を推測する

。

[0006] 特許文献3は、シミュレーション時にシミュレータを動作させるCPUとハードウェアエミュレータとの間での通信量を減らす「システムシミュレーション方法」を開示している。シミュレーション手段としては、コンピュータ上のハードウェアシミュレータと、プログラマブルデバイスからなるハードウェアエミュレータが併用される。シミュレーション手段割当工程では、ハードウェアエミュレータが割り当てられるグループと、コンピュータ上のシミュレーションが割り当てられるグループとからなり、かつ、最小の境界通信量を持つグループ分けを得る。シミュレーション手段割当工程では、初期グループ分けと、その初期グループ分けによる境界通信量の計算とが行われ、次に、グループ分け候補の作成と、そのグループ分け候補における境界通信量の計算とが行われる。これにより、CPU及びメモリにはコンピュータ上のシミュレータが、また特定機能ブロックにはハードウェアエミュレータがそれぞれ割り当てられる。

[0007] 特許文献4は、ヘテロジニアスマルチコアに向けたソフトウェアの最適化技術と、通信コストを考慮した割当て手法とを開示している。特許文献4に開示された設計支援装置は、取得部と、抽出部とを含む。取得部は、組み込みシステムに組み込まれている演算要素の種別および当該演算要素に実行させる最適化処理に関する設定情報を取得する機能を有する。抽出部は、設定情報に含まれる演算要素の種別により最適化処理が実行可能なタスクを複数のタスクの中から抽出する機能を有する。抽出部は、あらかじめ用意されたプログラムパターンを抽出するための解析ルーチンの中から設定情報に合致するプログラムパターンを選択し、選択されたプログラムパターンに該当するタスクを複数のタスクの中から抽出する。例えば、演算要素（PE：processor element）種が「リコンフィグ回路」で最適化手法が「パイプライン」である場合には、パイプライン処理に関する解析ルーチンが選択され、対象プログラムコードを、分割されたタスクごとに解析する。

**先行技術文献**

## 特許文献

- [0008] 特許文献1：特開2014-106639号公報  
特許文献2：特許第5153904号公報  
特許文献3：特開2003-67439号公報  
特許文献4：特開2010-113384号公報

## 非特許文献

- [0009] 非特許文献1：“CyberWorkBench”（登録商標）、日本電気株式会社、[online]、インターネット（URL：<http://jpn.nec.com/cyberworkbench/>）

## 発明の概要

### 発明が解決しようとする課題

- [0010] しかしながら、上記特許文献1～4には、それぞれ、次に述べるような課題がある。
- [0011] 上記特許文献1～3ではシミュレーションを対象としており、実システムへの実装は考慮されていなかった。すなわち、CPUとハードウェアエミュレータとの間の通信遅延が大きく、データを頻繁にやり取りする場合には特性が異なるため、そのままでは実システムへ適用できなかった。
- [0012] また、特許文献3は、通信量によりハードウェアエミュレータへ割り当てるか否かを判断する手法を開示しているが、演算方式により通信量に変化する点については考慮されていなかった。また、ハードウェアエミュレータ側の回路は高位合成により得られるものではなかった。
- [0013] スループットはバス周波数及びバス幅に依存する。特許文献4においては、演算器の並列数は考慮されているが、DII(Data Initiation Interval)などの演算器のスループットは考慮されていなかった。
- [0014] 関連する設計支援装置は、一般的にはハードウェア・ソフトウェア分割問題を解く装置として認知されることが多い。関連する設計支援装置は、CPUからFPGAなどのアクセラレータへ処理をオフロードする際には、入力データをアクセラレータ側に一括転送し、処理後に出力データをアクセラレ

ータ側から一括転送するのが一般的である。ここでは、アクセラレータ側のリソース制約(FPGAの場合は面積制約)下で性能を最大化するために、処理をどちらに置くかを決定する探索問題である。

[0015] 近年、CPUとFPGAとがメモリコヒーレンスを保つアーキテクチャが現れ、FPGA側に配置された処理からCPU側メモリ中のデータを利用するケースが想定されるようになってきている。特に、複数回メモリアクセスをする場合は、アクセラレータ側メモリにデータを置いた方が帯域は節約できる。しかし、アクセラレータ側メモリのメモリ容量制約により、すべてのデータをアクセラレータ側メモリに置くことはできないことが多い。

[0016] その場合、CPUとアクセラレータとの間の通信帯域・アクセラレータ側メモリの容量及びアクセラレータのリソース制約の制約下で、処理の配置のみならず、データの配置を最適配置する必要がある。ここで、「リソース制約」とは、FPGAの場合は面積制約である。「処理の配置」とは、アクセラレータ側で実行するか、CPU側で実行するかの配置である。「データの配置」とは、データをアクセラレータ側メモリに置くか、CPU側メモリに置くかという配置である。また、通信帯域・面積は、回路のスループットや演算方式などの演算器実現方式に強く依存する。ここで、「回路のスループット」は、DII(Data Initiation Interval: データ投入可能間隔)である。「演算方式」は、タイリング方式、ラインバッファ方式などである。

[0017] 関連技術の問題点は、上記のように、関連の設計支援装置では最適なシステム設計が難しく、設計工数が増すことである。

[0018] 本発明の目的は、上述した課題を解決する、設計支援装置等を提供することにある。

### 課題を解決するための手段

[0019] 本発明の設計支援装置は、CPUとアクセラレータとを含むコンピュータシステムを対象とする設計支援装置であって、高位言語で記述された入力プログラムから、この入力プログラム中に含まれる関数を含む処理と変数を含むデータとを抽出し、関数やループの実行回数を基に処理からデータへのア

クセス量を含む処理とデータの関係性を解析するプログラム解析手段と；求めた処理に対し、アクセラレータの動作周波数や型番を含むハードウェア仕様を基に、アクセラレータの使用リソース量、遅延、および通信帯域を評価する演算器実現方式評価手段と；求めた処理とデータとについて、CPUとアクセラレータとへの割付の組合せで表される候補を生成し、それぞれの候補について演算器実現方式評価手段の評価結果を基に、入力プログラム全体の使用リソース量、通信帯域、および性能を求め、提示する設計空間探索手段と；を備える。

[0020] 本発明の設計支援方法は、CPUとアクセラレータとを含むコンピュータシステムを対象とする設計支援装置で実行される設計支援方法であって、高位言語で記述された入力プログラムから、この入力プログラム中に含まれる関数を含む処理と変数を含むデータとを抽出し、関数やループの実行回数を基に処理からデータへのアクセス量を含む処理とデータの関係性を解析し、求めた処理に対し、アクセラレータの動作周波数や型番を含むハードウェア仕様を基に、アクセラレータの使用リソース量、遅延、および通信帯域を評価し、求めた処理とデータとについて、CPUとアクセラレータとへの割付の組合せで表される候補を生成し、それぞれの候補について評価結果を基に、入力プログラム全体の使用リソース量、通信帯域、および性能を求め、提示する。

[0021] 本発明の記録媒体に格納された設計支援プログラムは、コンピュータに、CPUとアクセラレータとを含むコンピュータシステムの設計支援をさせる設計支援プログラムであって、コンピュータに、高位言語で記述された入力プログラムから、この入力プログラム中に含まれる関数を含む処理と変数を含むデータとを抽出し、関数やループの実行回数を基に処理からデータへのアクセス量を含む処理とデータの関係性を解析し、求めた処理に対し、アクセラレータの動作周波数や型番を含むハードウェア仕様を基に、アクセラレータの使用リソース量、遅延、および通信帯域を評価し、求めた処理とデータとについて、CPUとアクセラレータとへの割付の組合せで表される候補

を生成し、それぞれの候補について評価によって得られた結果を基に、入力プログラム全体の使用リソース量、通信帯域、および性能を求め、提示することを実行させる。

### 発明の効果

[0022] 本発明によれば、設計工数を削減することができる。

### 図面の簡単な説明

[0023] [図1]本発明の一実施の形態に係る設計支援装置の概略構成を示すブロック図である。

[図2]設計支援装置全体の動作を説明するためのフローチャートである。

[図3]設計支援装置に使用されるプログラム解析部の入出力例を示す図である。

[図4]設計支援装置に使用される設計空間探索部の動作を説明するためのフローチャートである。

[図5]設計支援装置が対象とするコンピュータシステムを示すブロック図である。

[図6A]設計支援装置に使用される演算器実現方式指定情報の例を示す図である。

[図6B]設計支援装置に使用される演算器実現方式指定情報の例を示す図である。

[図7A]設計支援装置に使用される設計空間探索部中の処理割付列挙部の出力例を示す図である。

[図7B]設計支援装置に使用される設計空間探索部中のデータ割付列挙部の出力例を示す図である。

[図8]設計支援装置に使用される設計空間探索部中の演算器実現方式列挙部の出力例を示す図である。

[図9]設計支援装置に使用される演算器実現方式評価部の出力例を示す図である。

[図10]設計支援装置に使用される設計空間探索部から出力される解候補の表



示例を示す図である。

[図11]解候補表示のGUIの例を示す図である。

[図12]本発明に係る設計支援装置と高位合成装置との統合形態を示すブロック図である。

[図13]本発明の一態様である設計支援装置の概要を示す図である。

## 発明を実施するための形態

### [0024] [実施の形態]

次に、発明を実施するための形態について図面を参照して詳細に説明する。

[0025] 図5は、後述する本発明の実施形態に係る設計支援装置100が対象とするコンピュータシステム10を示すブロック図である。

[0026] 図5に示されるように、コンピュータシステム10は、CPU12と、アクセラレータ14と、CPU側メモリ16と、アクセラレータ側メモリ18とから成る。

[0027] CPU12とアクセラレータ14とは、それぞれ、CPU側メモリ16とアクセラレータ側メモリ18とに接続されている。また、CPU12とアクセラレータ14とがバス20で接続されており、そのバス20を通じて、CPU12からアクセラレータ側メモリ18にアクセスでき、及び、アクセラレータ14からCPU側メモリ16にアクセスできる。

[0028] 本発明の実施形態に係る設計支援装置100は、このようなコンピュータシステム10を対象とし、CPU12とアクセラレータ14との間の通信バス帯域を考慮して、処理及びデータの最適な配置を探索する設計支援装置である。そして、本発明の実施形態に係る設計支援装置100は、特にアクセラレータ14上での処理の実現方法を複数種類評価し、また実現方法に応じて変化するCPU12とアクセラレータ14との間の通信量を考慮して、最適な実現方法を探索する。

[0029] なお、ここではアクセラレータ14として主にFPGAを例に説明するが、アクセラレータとしてGPGPUなど他のアクセラレータを想定してもよ

い。

[0030] [構成の説明]

図1を参照すると、本発明の一実施形態における設計支援装置100は、プログラム解析部110と、演算器実現方式評価部120と、設計空間探索部130とを含む。

[0031] プログラム解析部110は、高級言語で記述された入力プログラム200を入力として解析し、入力プログラム200に含まれる関数などの処理210や、変数および配列などのデータ220を抽出し、入力プログラム200中の処理210と、データ220と、処理とデータの関係性230とを出力する。

[0032] ここで、処理210は、例えば関数でよい。また、データ220は、例えば変数（配列変数を含む）でよい。また、処理とデータの関係性230は、ある処理210があるデータ220に対して何バイトアクセスしたかのアクセス量を表す情報である。

[0033] また、入力プログラム200の解析は、静的な解析と動的な解析を含む。静的な解析は、入力プログラム200の構文解析及び意味解析により、入力プログラム200中の関数名や引数、変数名及び変数の型やサイズを抽出する。動的な解析は、入力プログラム200を実行することにより、ループの実行回数や各変数へのアクセス回数及びアクセス量を得ることができる。なお、入力プログラム200は、CプログラムやC++プログラムやSystemC（登録商標）プログラムやOpenCL（登録商標）プログラムなどが想定されるが、これに限られるものではない。

[0034] 演算器実現方式評価部120は、処理210と、演算器実現方式指定情報と、動作周波数とアクセラレータの型番を含む対象HW（hardware）制約250を入力とし、処理の実行可能モデル（実行形式）と、使用リソース量見積りと、遅延の見積りと、スループットの見積りと、通信帯域の見積りを出力する。

[0035] ここで、処理の実行可能モデルとは、FPGAの場合はRTL（register

transfer level) 記述である。使用リソース量見積りとは、FPGAの場合は面積見積りである。遅延の見積りとスループットの見積りとは、性能の見積りと総称される。

- [0036] 図6Aおよび図6Bは、演算器実現方式指定情報の例を示す図である。
- [0037] 図6Aは、演算器タイプとしてパイプライン型演算器を、DIIとして2を、パイプライン段数として24を、データアクセス方式としてリングバッファを指定している、演算器実現方式指定情報の例を示している。これは、2サイクルごとにデータを投入可能な24段のパイプライン型演算器であり、データの入出力はリングバッファを通じて行う演算器として実現することを表す。すなわち、CPUがメモリから読み込んだ入力データをリングバッファに書込み、リングバッファのライトポインタの更新などを通じて演算器に通知し、演算器はリングバッファから入力データを読み込み、演算を行う。
- [0038] 図6Bは、演算器タイプとしてパイプライン型演算器を、DIIとして4を、パイプライン段数として20を、データアクセス方式として直接アクセス方式を指定している、演算器実現方式指定情報の例を示している。これは、4サイクルごとにデータを投入可能な20段のパイプライン型演算器であり、データの入出力は演算器内でアドレス生成を行い、生成されたアドレスを用いてメモリに直接アクセスする演算器として実現することを表す。
- [0039] なお、演算器実現方式評価部120は、CyberWorkBench（非特許文献1）などの高位合成ツールである高位合成部122を利用することで、指定されたDIIと動作周波数制約に対する使用リソース量や遅延を求めることができる。
- [0040] ここで、通信帯域B（MB/sec）とは、処理の動作周波数F（MHz）と、スループットT（サイクル）と、1回の処理実行あたり必要なデータ入出力量M（バイト）とを用いて、 $B = (F \times M) / T$ で表される。なお、CPU12とアクセラレータ14との間の通信路において入力と出力との帯域が独立している場合は、データ入力量とデータ出力量とを分けて考えればよい。ここ

で、スループットTとは、Tサイクルに1回処理を開始できることを表す。

[0041] 図1に戻って、設計空間探索部130は、処理割付列挙部131と、データ割付列挙部132と、演算器実現方式列挙部133と、解候補保存部134と、解候補表示部135とを有する。

[0042] 設計空間探索部130には、対象HW制約250と、アプリ要求性能等の対象SW (software) 制約260と、処理とデータの関係性230と、データ220と、演算器実現方式評価部120からの面積見積り、性能見積り、および帯域見積りとが入力される。

[0043] 設計空間探索部130では、まず、処理割付列挙部131と、データ割付列挙部132と、演算器実現方式列挙部133とを用いて設計空間中の解候補を列挙し、列挙されたそれぞれの解候補である設計候補に対し、使用リソース量と処理遅延と通信帯域とを、設計空間探索部130中の面積見積部、性能見積部、通信帯域見積部を用いて見積もり、見積もられたそれぞれの結果を解候補とともに解候補保存部134に保存する。そして、設計空間探索部130は、解候補表示部135を用いて、解候補保存部134に保存された内容を設計者に提示するとともに、最適な解候補を出力する。なお、設計空間探索部130中の面積見積部136、性能見積部137、通信帯域見積部138では、解候補を構成するそれぞれの処理について、高位合成部122からの見積結果を組み合わせることで見積もりを行う。なお、設計空間探索部130は、解候補の情報だけでなく、解候補の実行形式も出力するようにしてもよい。設計候補の使用リソース量と処理遅延と通信帯域とは、設計空間と総称される。

[0044] このように、設計空間探索部130は、CPU12とアクセラレータ14との間の通信帯域を制約として設計空間を探索する。

[0045] 図7A、図7Bおよび図8は、設計空間探索部130の動作例を説明するための図である。

[0046] 図7Aは、処理割付列挙部131の出力例を示す図である。ここでは、funcA、funcB、mainの3つの処理の場合の例を示す。処理割付

列挙部 131 は、それぞれの処理について、CPU 12 かアクセラレータ 14 かのいずれかに割り付ける全組合せを生成する。すなわち、3つの処理の場合は  $2^3 = 8$  種類の処理割付が出力される。

[0047] 図 7B は、データ割付列挙部 132 の出力例を示す図である。ここでは、A, B, R, T の 4 つのデータの場合の例を示す。データ割付列挙部 132 は、それぞれのデータについて、CPU 側メモリ 16 かアクセラレータ側メモリ 18 かのいずれかに割り付ける全組合せを生成する。すなわち、4 つのデータの場合は  $2^4 = 16$  種類のデータ割付が出力される。

[0048] 図 8 は、演算器実現方式列挙部 133 の出力例を示す図である。演算器実現方式列挙部 133 は、処理実現方式の各項目である、演算器タイプと、パイプライン段数と、DII と、データアクセス方式とについて、すべての組合せを生成する。

[0049] 例えば、演算器タイプはパイプライン型と逐次型とが候補であり、データアクセス方式はリングバッファ方式と直接アクセス方式とが候補である。パイプライン段数及び DII は、1、2、3、・・・が候補であるが、取りうる値の最小値や最大値を別途設定（例えば 1～24 など）できるようにしてもよい。プログラム解析部 110 が高位合成を行い処理のステップ数を見積もることで最小値や最大値を設定してもよい。また、項目の組合せによっては無効な組合せ（例えば、逐次型演算器では DII は指定されない）又は一意に決まる項目（例えば、逐次型演算器ではパイプライン段数は 1 となる）が想定される。その制約は処理実現方式内に組み込まれてもよい。

[0050] 図 9 は、演算器実現方式評価部 120 の出力例を示す図である。演算器実現方式評価部 120 は、それぞれの処理実現方式に対して、使用リソース量、遅延、スループット、および通信帯域の見積り値を出力する。

[0051] 図 10 は、解候補の表示例を示す図である。ここでは、通信帯域と性能との間の関係を示している。グラフの横軸が性能で、縦軸が通信帯域である。右下に行くほど性能が高く、必要通信帯域が少ないことを示す。

[0052] 例えば、通信帯域は MB/s (Mega Byte/Second) で表さ

れ、性能はGOPS (Giga Operation Per Second) で表される。丸印は解候補を表しており、その上の数字は、(処理割付番号、データ割付番号、処理実現方式列挙部番号)である。例えば、(1, 1, 1)は処理割付1とデータ割付1と処理実現方式1の組合せを示す。実線は対象システム(コンピュータシステム)10の通信帯域制約を示しており、すなわち、実線より上の候補は通信帯域制約を満たさないため実現できないことになる。

[0053] 図10の例では、解候補(8, 1, 1)が制約を満たす中で最も性能がよい解ということになる。

[0054] 以上の説明から明らかなように、本実施形態によれば、設計工数を削減できるという効果を奏する。その理由は、入力プログラム200中の各処理に対して、複数の演算器実現方式を列挙し、それぞれの演算器実現方式を高位合成により評価し、その評価結果とデータの配置とに基づいて必要な通信帯域を見積り、入力プログラム200中の各処理の配置及び入力プログラム200中の各データの配置及び演算器実現方式を探索候補とし、入力通信帯域制約の制約下で設計空間探索を行うことにより、設計完了後に通信帯域制約違反が判明することによる設計のやり直しをなくせるためである。

[0055] [動作の説明]

図2は、設計支援装置100全体の動作を説明するフローチャートである。

[0056] まず、ステップS101で、プログラム解析部110は、入力プログラム200の解析を行い、解析した情報中の関数名および変数名を、処理210及びデータ220として抽出する。次に、ステップS102で、設計空間探索部130は、各処理210及び各データ220をCPU12またはアクセラレータ14のいずれに割り付けるかの組み合わせを列挙する。次に、ステップS103で、設計空間探索部130は、当該組み合わせにおいてアクセラレータ14に割り付けられた各処理210について、演算器実現方式を列挙する。ここで演算器実現方式は、前記の通り、演算器タイプ、パイプライ

ン段数、D I I、およびデータアクセス方式などが想定されるが、上記に限るものではない。また、パイプライン段数などは対象アクセラレータの周波数制約およびD I Iなどにより自動的に決定されるパラメータを含めてもよい。

[0057] また、上述した図7 A及び図7 Bを参照した説明は、CPUとアクセラレータ（Acc : Accelerator）とがそれぞれ1つの場合の割り付け例である。

[0058] これに対して、複数個または複数種類のアクセラレータを対象とし、そのいずれか処理及びデータを割り付けるという探索問題も同様の考え方で扱うことができる。すなわち、アクセラレータが2種類存在する場合には、処理またはデータが割り付けられる対象がCPUまたはアクセラレータの2通りではなく、CPUまたはアクセラレータ\_Aまたはアクセラレータ\_Bの3通りとなる。このとき、例えば処理割付の組合せは $3^3 = 27$ 通りとなるであろう。

[0059] ステップS 1 0 4で、演算器実現方式評価部1 2 0は、列挙された解候補の面積・遅延・帯域を評価する。ステップS 1 0 5で、設計空間探索部1 3 0は、解候補を出力する。

[0060] 図3は、プログラム解析部1 1 0の入出力例を示す図である。入力プログラム2 0 0中には、funcAとfuncBとmainという3つの関数が含まれている。また、データ2 2 0として、A、B、およびRというグローバル配列変数と、Tというローカル配列変数とが含まれている。この場合、処理2 1 0として、funcA関数とfuncB関数とmain関数との中身が出力される。データ2 2 0として、AとBとRとTとの変数名及びデータ型及び配列のサイズが出力される。処理とデータの関係性2 3 0として、それぞれの関数がそれぞれのデータにアクセスする量（バイト）が出力される。なお、データ2 2 0はスカラー（単一）変数でもよいし、クラスや構造体やその配列でもよい。

[0061] 例えば、図3において、処理とデータの関係性2 3 0は以下のように求められることができる。例えばfuncAは $N = 256$ 回実行される。そして、funcAではA及びBに1回ずつアクセスし、Tにはpt[0]、pt[1]、pt[2]の合計3回

アクセスする。それぞれのデータ型はfloat型であり、すなわち4バイトのデータ型である。つまり、funcAはデータA及びデータBに $256 \times 1 \times 4 = 1024$ バイトアクセスし、データTには $256 \times 3 \times 4 = 3072$ バイトアクセスする。また、データRにはアクセスしない。同様に、funcB及びmainについてもそれぞれのデータに対するアクセス量を取得することができる。

[0062] 図4は、設計空間探索部130の動作を説明するためのフローチャートである。

[0063] まず、設計空間探索部130は、各処理210と各データ220とを、CPU12またはアクセラレータ14のいずれに割り付けるかの組み合わせを列挙し、そのうちの一つの割り付けの組み合わせを選択する（ステップS201）。

[0064] 次に、設計空間探索部130は、アクセラレータ14に割り付けられた処理210について、演算器実現方式を列挙し、そのうちの一つの方式を選択する（ステップS202）。そして、設計空間探索部130は、指定された演算器実現方式の面積、遅延、および通信帯域の見積りを行う（ステップS203）。ここでは、設計空間探索部130は、各処理についての面積、遅延、および通信帯域の見積りを統合し、ハードウェア制約250及びソフトウェア制約260を満たすかどうかを判定する。ここで、各処理210についての面積、遅延、および通信帯域の見積りは、演算器実現方式評価部120を用いて取得することができるが、既に評価した結果を再利用するようにしてもよい。そして、設計空間探索部130は、評価結果を解候補として保存しておく（ステップS204）。設計空間探索部130は、この処理を、すべての演算器実現方式を判定するまで繰り返す（ステップS205）。

[0065] すべての演算器実現方式の判定が完了した場合（ステップS205のY）、設計空間探索部130は、次の割り付けの組み合わせを選択し、上記を繰り返す（ステップS206）。すべての割り付けの組み合わせの判定が完了したら（ステップS206のY）、設計空間探索部130は、保存された解候補を出力する（ステップS207）。



[0066] 解候補の出力は、グラフやパレート曲線などの形式で設計者に提示する G U I (graphical user interface) でなされてもよい。また、設計空間探索部 130 は、設計者が選択した解候補に対応する実行形式を出力するようにしてもよい。ここでいう実行形式とは、F P G A をアクセラレータ 14 とする場合、対応する演算器実現方式による処理の R T L 記述や各種インタフェース R T L 記述を含む F P G A 向けの記述と、入力プログラム中のアクセラレータに割り付けられた処理部分をアクセラレータ呼び出し記述に変更したプログラムと、を含む。

[0067] 図 11 は、G U I の例を示す図である。左上にあるグラフ中の候補を選択すると、その候補に関する処理割付及びデータ割付が左下に表示される。また、処理を選択すると、右に選択した処理の実現方式が表示される。また、画面右上には選択した候補のリソース、性能、および通信帯域の見積りが表示される。また、画面右下のボタンを押すと、選択した候補に対応する実行形式を生成できる。また、画面左上のコンボボックスを選択することで、リソースと性能との間の関係など、グラフの表示内容を変更することができる。

[0068] 次に、本発明の一態様である設計支援装置の概要について図 13 を参照して説明する。なお、設計支援装置は、C P U とアクセラレータとを含むコンピュータシステムを対象とする装置である。設計支援装置 100 は、プログラム解析部 110、演算器実現方式評価部 120 及び設計空間探索部 130 を備える。

[0069] プログラム解析部 110 は、高位言語で記述された入力プログラムから、該入力プログラム中に含まれる関数を含む処理と変数を含むデータとを抽出し、関数やループの実行回数を基に処理からデータへのアクセス量を含む処理とデータの関係性を解析する。

[0070] 演算器実現方式評価部 120 は、求めた処理に対し、アクセラレータの動作周波数や型番を含むハードウェア仕様を基に、アクセラレータの使用リソース量、遅延、および通信帯域を評価する。

- [0071] 設計空間探索部130は、求めた処理とデータとについて、CPUとアクセラレータとへの割付の組合せで表される候補を生成し、それぞれの候補について演算器実現方式評価部120の評価によって得られた結果を基に、入力プログラム全体の使用リソース量、通信帯域、および性能を求め、提示する。
- [0072] このように設計支援装置100は、CPUとアクセラレータとへの割付の組合せの候補に対して、処理ごとに様々な演算器実現方式及びデータの配置を評価し、かつ、通信帯域などを見積ったうえで候補を提示することができる。これにより、設計の後戻りを防ぎ、設計期間の短縮を実現する。
- [0073] 次に、本実施の形態の効果について説明する。関連技術では、D11などの演算器実現方式は設計空間探索の探索パラメタとして利用されていなかった。また、演算器実現方式（例えばD11）が変わると、アクセラレータ14の1サイクルあたり必要となる入出力データ量が変わるため、CPU12とアクセラレータ14との間の通信で必要となる通信帯域が変化する。場合によっては要求通信帯域がハードウェアで実現可能な通信帯域を上回ることでアクセラレータ14に通信待ち時間が発生し、想定していたアプリケーション性能が出ないことがある。また、要求通信帯域は、データをCPU側メモリ16に配置するかアクセラレータ側メモリ18に配置するにも大きく影響を受ける。このため、データの配置を考慮しない関連技術では、最適な設計にたどりつけなかったり、たどりつくのに時間がかかったりしていた。
- [0074] これに対して、本実施の形態においては、処理ごとに様々な演算器実現方式及びデータの配置を評価し、かつ、通信帯域を見積ったうえで設計者に提示することで、設計の後戻りを防ぐことができる。すなわち、本実施の形態は、関連技術と比較して設計期間の短縮を実現するといえる。
- [0075] 尚、設計支援装置の各部は、ハードウェアとソフトウェアとの組み合わせを用いて実現すればよい。ハードウェアとソフトウェアとを組み合わせた形態では、RAM (random access memory) に設計支援プログラムが展開され、該プログラムに基づいて制御部 (CPU (central processing unit)) 等

のハードウェアを動作させることによって、各部を各種手段として実現する。また、該プログラムは、記録媒体に記録されて頒布されても良い。当該記録媒体に記録されたプログラムは、有線、無線、又は記録媒体そのものを介して、メモリに読み込まれ、制御部等を動作させる。尚、記録媒体を例示すれば、オプティカルディスクや磁気ディスク、半導体メモリ装置、ハードディスクなどが挙げられる。

[0076] 上記実施の形態を別の表現で説明すれば、設計支援装置として動作させるコンピュータを、RAMに展開された画像処理プログラムに基づき、プログラム解析部110、演算器実現方式評価部120、および設計空間探索部130として動作させることで実現することが可能である。

[0077] また、本発明の具体的な構成は前述の実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の変更があってもこの発明に含まれる。

[0078] 以上、実施の形態を参照して本願発明を説明したが、本願発明は上記実施の形態に限定されるものではない。本願発明の構成や詳細には、本願発明の範囲内で当業者が理解し得る様々な変更をすることができる。

[0079] なお、本発明の設計支援装置100で得られた最適な処理配置に対して、図12に示すように高位合成装置300を用いて、処理間の実装方式の最適化を施すことができる。

[0080] 上記の実施形態の一部又は全部は、以下の付記のようにも記載されうるが、以下には限られない。

[0081] (付記1) CPUとアクセラレータとを含むコンピュータシステムを対象とする設計支援装置であって、

高位言語で記述された入力プログラムから、該入力プログラム中に含まれる関数を含む処理と変数を含むデータとを抽出し、前記関数やループの実行回数を基に前記処理から前記データへのアクセス量を含む処理とデータの関係性を解析するプログラム解析手段と、求めた前記処理に対し、前記アクセラレータの動作周波数や型番を含むハードウェア仕様を基に、前記アクセラレータの使用リソース量、遅延、および通信帯域を評価する演算器実現方

式評価手段と、

求めた前記処理と前記データとについて、前記CPUと前記アクセラレータとへの割付の組合せで表される候補を生成し、それぞれの候補について前記演算器実現方式評価手段の評価によって得られた結果を基に、前記入力プログラム全体の使用リソース量、通信帯域、および性能を求め、提示する設計空間探索手段と、

を備える設計支援装置。

[0082] (付記2) 前記演算器実現方式評価手段は、高位合成手段を用いて前記アクセラレータとしてパイプライン型演算器を生成し、生成したパイプライン型演算器の使用リソース量及び遅延を見積る、付記1に記載の設計支援装置。

[0083] (付記3) 前記演算器実現方式評価手段は、前記設計空間探索手段が生成した演算器実現方式指定情報を基に、前記パイプライン型演算器を評価する、付記2に記載の設計支援装置。

[0084] (付記4) 前記演算器実現方式指定情報は、前記パイプライン型演算器のデータ投入間隔(Data Initiation Interval)の指定を含む、付記3に記載の設計支援装置。

[0085] (付記5) 前記演算器実現方式評価手段は、前記パイプライン型演算器の要求通信帯域を見積る、付記2に記載の設計支援装置。

[0086] (付記6) 前記設計空間探索手段は、前記CPUと前記アクセラレータとの間の通信帯域を制約として設計空間を探索する、付記1に記載の設計支援装置。

[0087] (付記7) CPUとアクセラレータとを含むコンピュータシステムを対象とする設計支援装置で実行される設計支援方法であって、

プログラム解析手段が、高位言語で記述された入力プログラムから、該入力プログラム中に含まれる関数を含む処理と変数を含むデータとを抽出し、前記関数やループの実行回数を基に前記処理から前記データへのアクセス量を含む処理とデータの関係性を解析し、演算器実現方式評価手段が、求めた前記処理に対し、前記アクセラレータの動作周波数や型番を含むハードウ

エア仕様を基に、前記アクセラレータの使用リソース量、遅延、および通信帯域を評価し、

設計空間探索手段が、求めた前記処理と前記データとについて、前記CPUと前記アクセラレータとへの割付の組合せで表される候補を生成し、それぞれの候補について前記演算器実現方式評価手段の評価によって得られた結果を基に、前記入力プログラム全体の使用リソース量、通信帯域、および性能を求め、それらを設計者が選択可能に提示する、設計支援方法。

[0088] (付記8) 前記演算器実現方式評価手段は、高位合成手段を用いて前記アクセラレータとしてパイプライン型演算器を生成し、生成したパイプライン型演算器の使用リソース量及び遅延を見積る、付記7に記載の設計支援方法。

[0089] (付記9) 前記演算器実現方式評価手段は、前記設計空間探索手段が生成した演算器実現方式指定情報を基に、前記パイプライン型演算器を評価する、付記8に記載の設計支援方法。

[0090] (付記10) 前記演算器実現方式指定情報は、前記パイプライン型演算器のデータ投入間隔(Data Initiation Interval)の指定を含む、付記9に記載の設計支援方法。

[0091] (付記11) 前記演算器実現方式評価手段は、前記パイプライン型演算器の要求通信帯域を見積る、付記8に記載の設計支援方法。

[0092] (付記12) 前記設計空間探索手段は、前記CPUと前記アクセラレータとの間の通信帯域を制約として設計空間を探索する、付記7に記載の設計支援方法。

[0093] (付記13) コンピュータに、CPUとアクセラレータとを含むコンピュータシステムの設計支援をさせる設計支援プログラムであって、前記コンピュータに、

高位言語で記述された入力プログラムから、該入力プログラム中に含まれる関数を含む処理と変数を含むデータとを抽出し、前記関数やループの実行回数を基に前記処理から前記データへのアクセス量を含む処理とデータの関係性を解析するプログラム解析手順と、求めた前記処理に対し、前記アク

セラレータの動作周波数や型番を含むハードウェア仕様を基に、前記アクセラレータの使用リソース量、遅延、および通信帯域を評価する演算器実現方式評価手順と、

求めた前記処理と前記データとについて、前記CPUと前記アクセラレータとへの割付の組合せで表される候補を生成し、それぞれの候補について前記演算器実現方式評価手順での評価によって得られた結果を基に、前記入力プログラム全体の使用リソース量、通信帯域、および性能を求め、それらを設計者が選択可能に提示する設計空間探索手順と、  
を実行させる設計支援プログラム。

[0094] (付記14) 前記演算器実現方式評価手順は、前記コンピュータに、高位合成手段を用いて前記アクセラレータとしてパイプライン型演算器を生成させ、生成したパイプライン型演算器の使用リソース量及び遅延を見積らせる、付記13に記載の設計支援プログラム。

[0095] (付記15) 前記演算器実現方式評価手順は、前記コンピュータに、前記設計空間探索手順で生成された演算器実現方式指定情報を基に、前記パイプライン型演算器を評価させる、付記14に記載の設計支援プログラム。

[0096] (付記16) 前記演算器実現方式指定情報は、前記パイプライン型演算器のデータ投入間隔(Data Initiation Interval)の指定を含む、付記15に記載の設計支援プログラム。

[0097] (付記17) 前記演算器実現方式評価手順は、前記コンピュータに、前記パイプライン型演算器の要求通信帯域を見積らせる、付記14に記載の設計支援プログラム。

[0098] (付記18) 前記設計空間探索手順は、前記コンピュータに、前記CPUと前記アクセラレータとの間の通信帯域を制約として設計空間を探索させる、付記13に記載の設計支援プログラム。

[0099] この出願は、2016年2月1日に提出された日本出願特願2016-017051を基礎とする優先権を主張し、その開示の全てをここに取り込む。

## 符号の説明

[0100]	1 0	コンピュータシステム（対象システム）
	1 2	C P U
	1 4	アクセラレータ
	1 6	C P U側メモリ
	1 8	アクセラレータ側メモリ
	2 0	バス
	1 0 0	設計支援装置
	1 1 0	プログラム解析部（プロファイラ）
	1 2 0	演算器実現方式評価部
	1 2 2	高位合成部
	1 3 0	設計空間探索部
	1 3 1	処理割付列挙部
	1 3 2	データ割付列挙部
	1 3 3	演算器実現方式列挙部
	1 3 4	解候補保存部
	1 3 5	解候補表示部
	1 3 6	面積見積部
	1 3 7	性能見積部
	1 3 8	通信帯域見積部
	2 0 0	入力プログラム
	2 1 0	処理
	2 2 0	データ
	2 3 0	処理とデータの関係性
	2 5 0	対象HW制約
	2 6 0	対象SW制約

## 請求の範囲

- [請求項1] CPUとアクセラレータとを含むコンピュータシステムを対象とする設計支援装置であって、
- 高位言語で記述された入力プログラムから、該入力プログラム中に含まれる関数を含む処理と変数を含むデータとを抽出し、前記関数やループの実行回数を基に前記処理から前記データへのアクセス量を含む処理とデータの関係性を解析するプログラム解析手段と、
- 求めた前記処理に対し、前記アクセラレータの動作周波数や型番を含むハードウェア仕様を基に、前記アクセラレータの使用リソース量、遅延、および通信帯域を評価する演算器実現方式評価手段と、
- 求めた前記処理と前記データとについて、前記CPUと前記アクセラレータとへの割付の組合せで表される候補を生成し、それぞれの候補について前記演算器実現方式評価手段の評価結果を基に、前記入力プログラム全体の使用リソース量、通信帯域、および性能を求め、提示する設計空間探索手段を、
- 備える設計支援装置。
- [請求項2] 前記演算器実現方式評価手段は、高位合成手段を用いて前記アクセラレータとしてパイプライン型演算器を生成し、生成したパイプライン型演算器の使用リソース量及び遅延を見積る、請求項1に記載の設計支援装置。
- [請求項3] 前記演算器実現方式評価手段は、前記設計空間探索手段が生成した演算器実現方式指定情報を基に、前記パイプライン型演算器を評価する、請求項2に記載の設計支援装置。
- [請求項4] 前記演算器実現方式指定情報は、前記パイプライン型演算器のデータ投入間隔 (Data Initiation Interval) の指定を含む、請求項3に記載の設計支援装置。
- [請求項5] 前記演算器実現方式評価手段は、前記パイプライン型演算器の要求通信帯域を見積る、請求項2に記載の設計支援装置。



[請求項6] 前記設計空間探索手段は、前記CPUと前記アクセラレータとの間の通信帯域を制約として設計空間を探索する、請求項1に記載の設計支援装置。

[請求項7] CPUとアクセラレータとを含むコンピュータシステムを対象とする設計支援装置で実行される設計支援方法であって、

高位言語で記述された入力プログラムから、該入力プログラム中に含まれる関数を含む処理と変数を含むデータとを抽出し、前記関数やループの実行回数を基に前記処理から前記データへのアクセス量を含む処理とデータの関係性を解析し、

求めた前記処理に対し、前記アクセラレータの動作周波数や型番を含むハードウェア仕様を基に、前記アクセラレータの使用リソース量、遅延、および通信帯域を評価し、

求めた前記処理と前記データとについて、前記CPUと前記アクセラレータとへの割付の組合せで表される候補を生成し、それぞれの候補について前記評価結果を基に、前記入力プログラム全体の使用リソース量、通信帯域、および性能を求め、提示する、設計支援方法。

[請求項8] 前記演算器実現方式評価手段は、高位合成手段を用いて前記アクセラレータとしてパイプライン型演算器を生成し、生成したパイプライン型演算器の使用リソース量及び遅延を見積る、請求項7に記載の設計支援方法。

[請求項9] 前記演算器実現方式評価手段は、前記設計空間探索手段が生成した演算器実現方式指定情報を基に、前記パイプライン型演算器を評価する、請求項8に記載の設計支援方法。

[請求項10] コンピュータに、CPUとアクセラレータとを含むコンピュータシステムの設計支援をさせる設計支援プログラムを格納した記録媒体であって、前記コンピュータに、

高位言語で記述された入力プログラムから、該入力プログラム中に含まれる関数を含む処理と変数を含むデータとを抽出し、前記関数や

ループの実行回数を基に前記処理から前記データへのアクセス量を含む処理とデータの関係性を解析し、

求めた前記処理に対し、前記アクセラレータの動作周波数や型番を含むハードウェア仕様を基に、前記アクセラレータの使用リソース量、遅延、および通信帯域を評価し、

求めた前記処理と前記データとについて、前記CPUと前記アクセラレータとへの割付の組合せで表される候補を生成し、それぞれの候補について前記評価結果を基に、前記入力プログラム全体の使用リソース量、通信帯域、および性能を求め、提示する、

ことを実行させる設計支援プログラムを格納した記録媒体。

[請求項11] 前記演算器実現方式指定情報は、前記パイプライン型演算器のデータ投入間隔 (Data Initiation Interval) の指定を含む、請求項9に記載の設計支援方法。

[請求項12] 前記演算器実現方式評価手段は、前記パイプライン型演算器の要求通信帯域を見積る、請求項8に記載の設計支援方法。

[請求項13] 前記設計空間探索手段は、前記CPUと前記アクセラレータとの間の通信帯域を制約として設計空間を探索する、請求項7に記載の設計支援方法。

[請求項14] 前記演算器実現方式評価手順は、前記コンピュータに、高位合成手段を用いて前記アクセラレータとしてパイプライン型演算器を生成させ、生成したパイプライン型演算器の使用リソース量及び遅延を見積らせる、請求項10に記載の設計支援プログラムを格納した記録媒体。

[請求項15] 前記演算器実現方式評価手順は、前記コンピュータに、前記設計空間探索手順で生成された演算器実現方式指定情報を基に、前記パイプライン型演算器を評価させる、請求項14に記載の設計支援プログラムを格納した記録媒体。

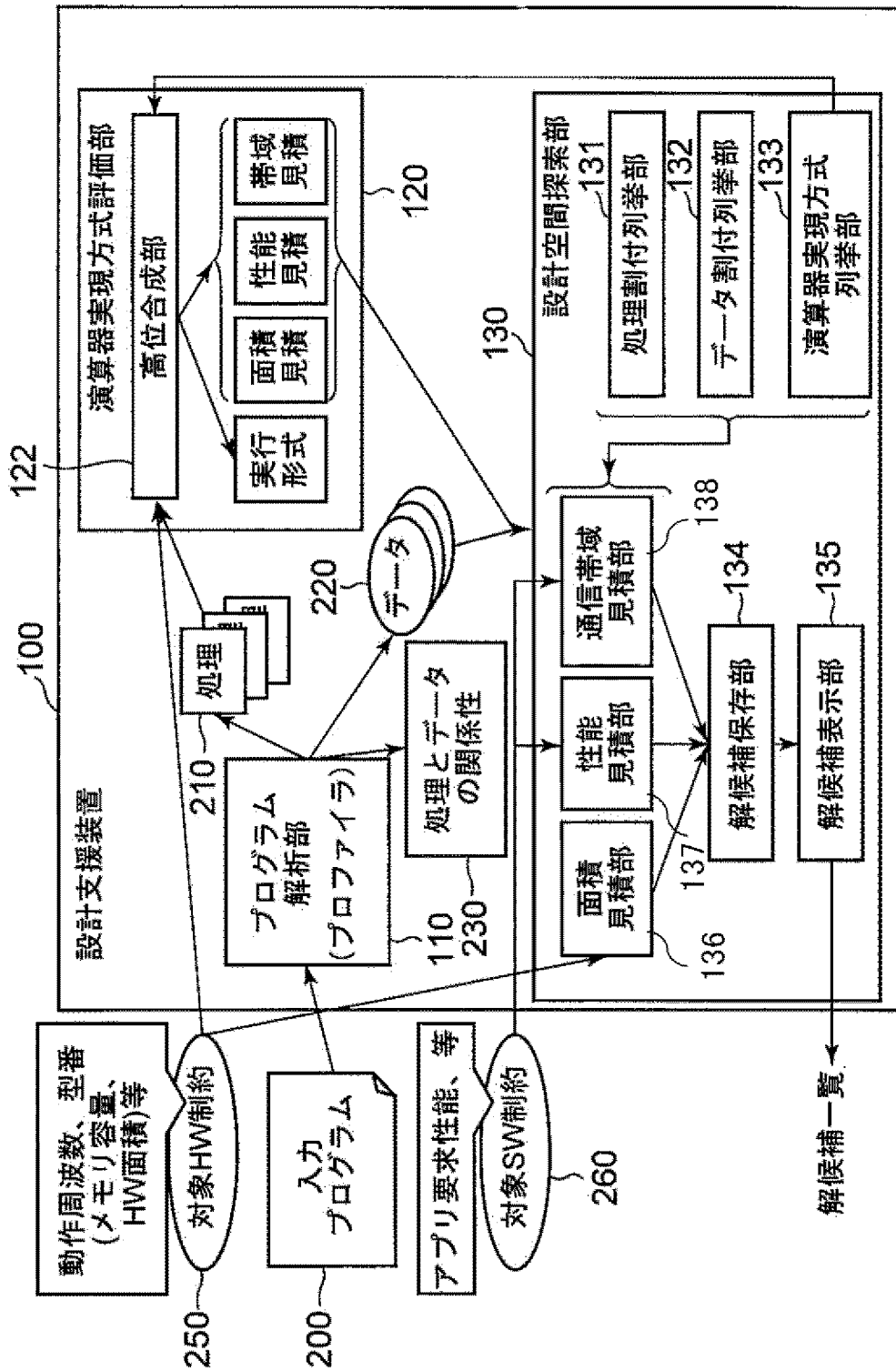
[請求項16] 前記演算器実現方式指定情報は、前記パイプライン型演算器のデー

タ投入間隔 (Data Initiation Interval) の指定を含む、請求項 15 に記載の設計支援プログラムを格納した記録媒体。

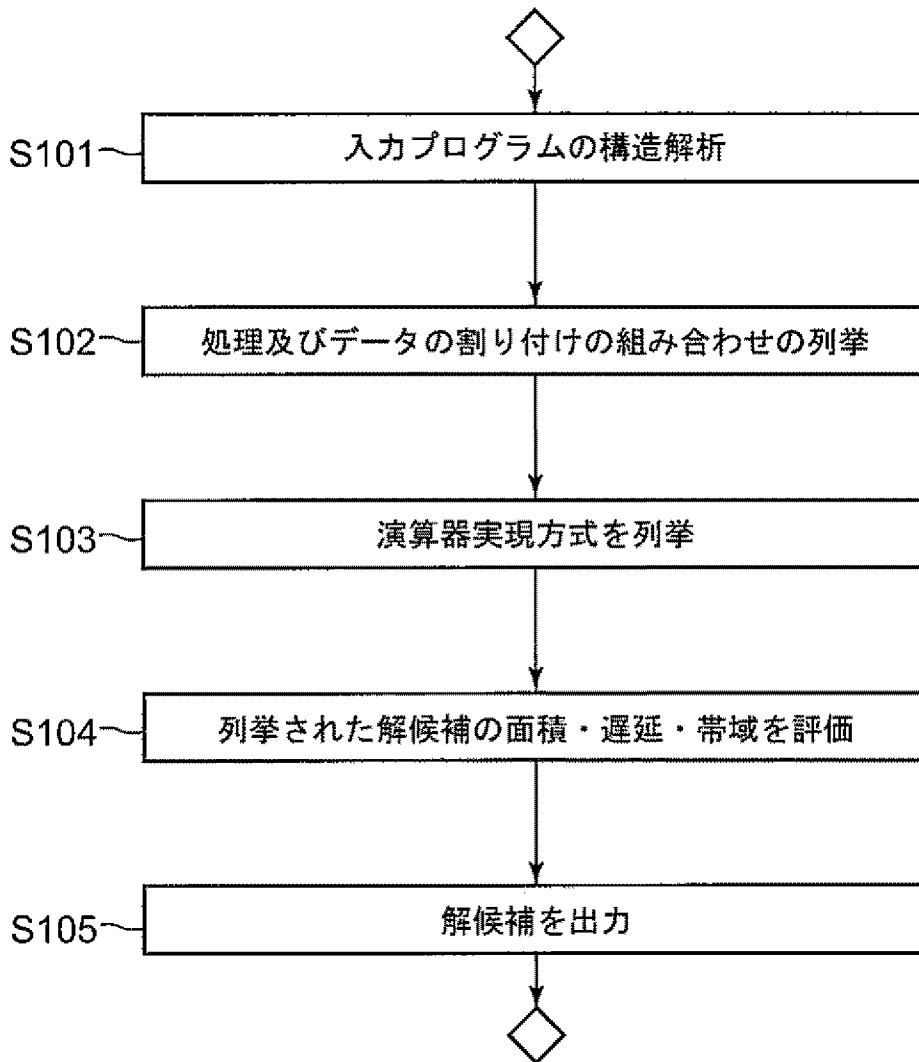
[請求項17] 前記演算器実現方式評価手順は、前記コンピュータに、前記パイプライン型演算器の要求通信帯域を見積らせる、請求項 11 に記載の設計支援プログラムを格納した記録媒体。

[請求項18] 前記設計空間探索手順は、前記コンピュータに、前記CPUと前記アクセラレータとの間の通信帯域を制約として設計空間を探索させる、請求項 10 に記載の設計支援プログラムを格納した記録媒体。

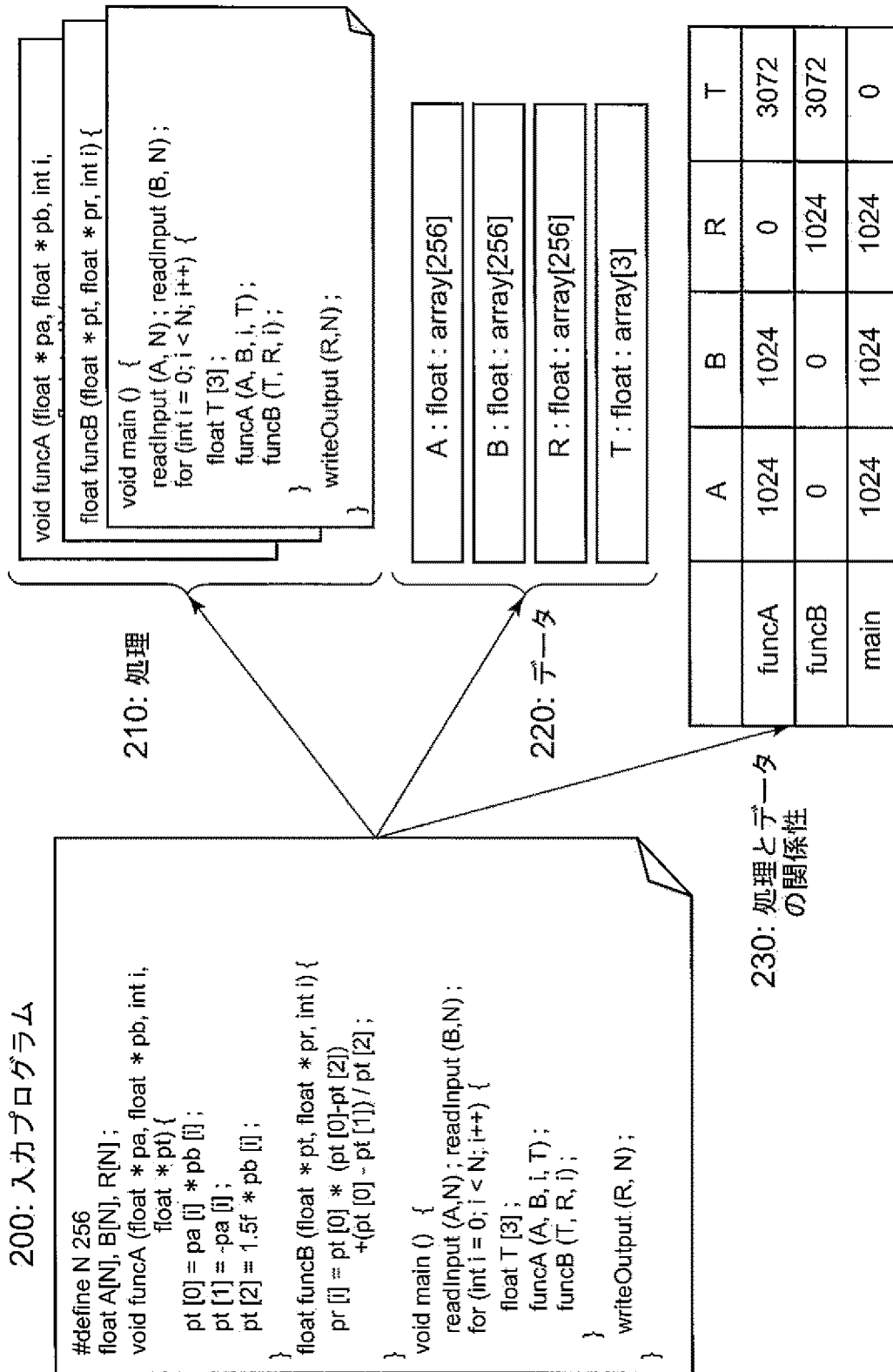
[図1]



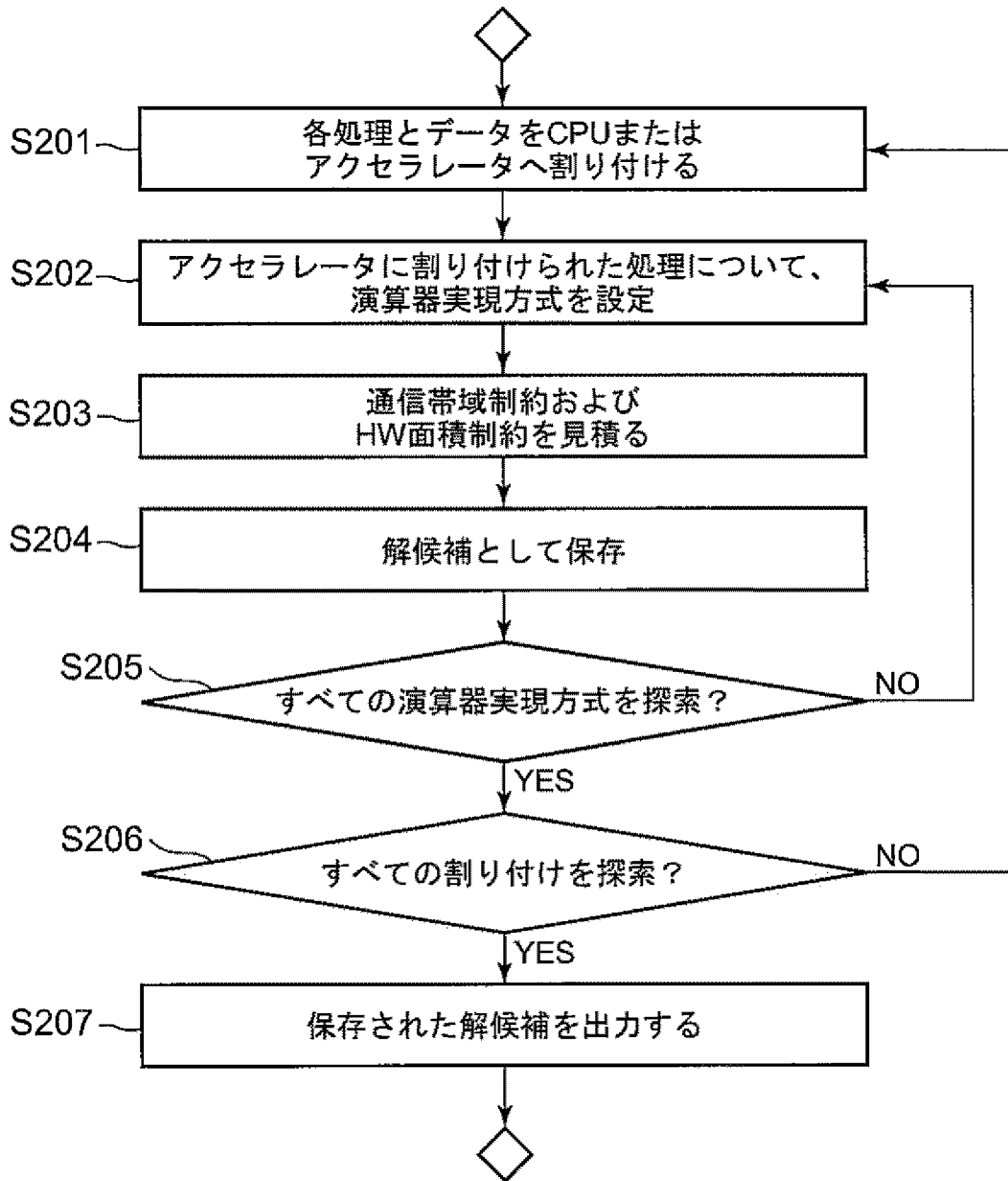
[図2]



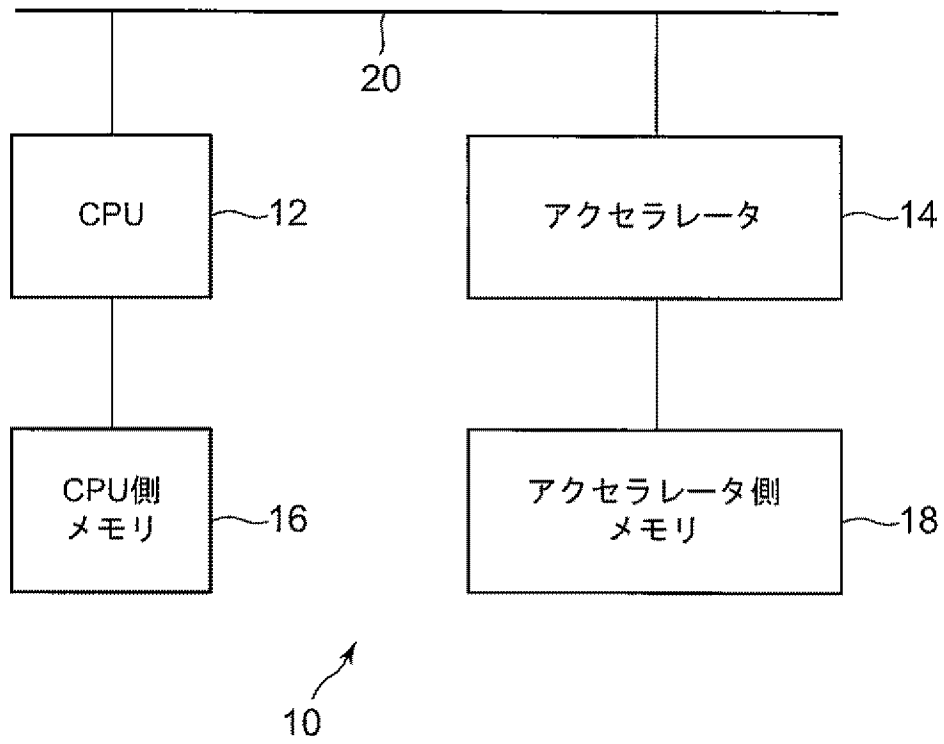
[図3]



[図4]



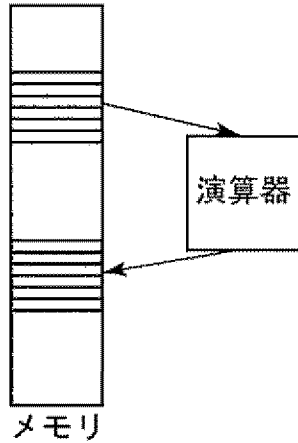
[図5]





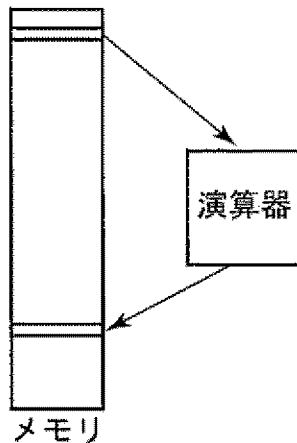
[図6A]

FunctionalUnitType=Pipeline  
 DII=2  
 PipelineStages=24  
 DataAccess=RingBuffer



[図6B]

FunctionalUnitType=Pipeline  
 DII=4  
 PipelineStages=20  
 DataAccess=Direct



[図7A]

	処理 割付1	処理 割付2	処理 割付3	処理 割付4	処理 割付5	処理 割付6	処理 割付7	処理 割付8
funcA	CPU	Acc	CPU	Acc	CPU	Acc	CPU	Acc
funcB	CPU	CPU	Acc	Acc	CPU	CPU	Acc	Acc
main	CPU	CPU	CPU	CPU	Acc	Acc	Acc	Acc

[図7B]

	データ割付1	データ割付2	データ割付3	データ割付4	データ割付5	データ割付6	...	データ割付16
A	CPU	Acc	CPU	Acc	CPU	Acc		Acc
B	CPU	CPU	Acc	Acc	CPU	CPU		Acc
R	CPU	CPU	CPU	CPU	Acc	Acc		Acc
T	CPU	CPU	CPU	CPU	CPU	CPU		Acc

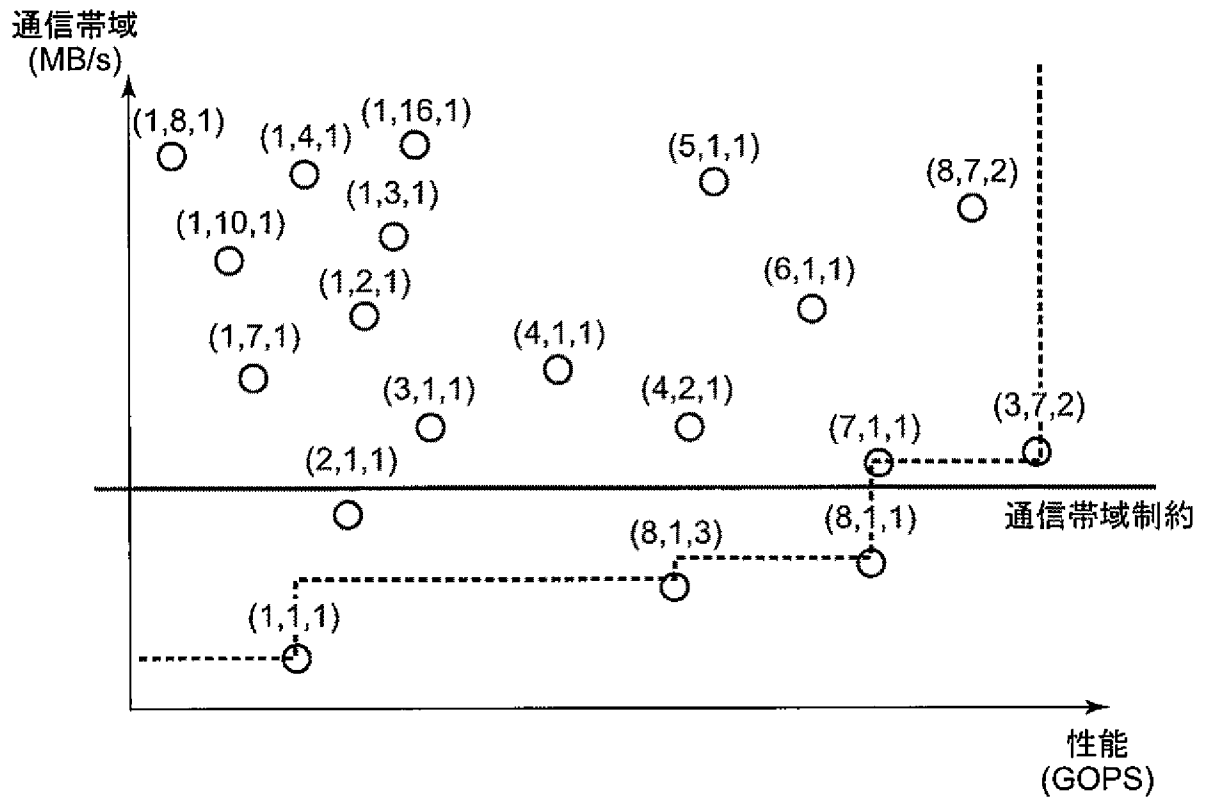
[図8]

	処理実現方式1	処理実現方式2	処理実現方式3	処理実現方式4	...	処理実現方式X	...	処理実現方式Y
FunctionalUnitType	Pipeline	Pipeline	Pipeline	Pipeline		Pipeline		Sequential
Pipeline Stages	24	24	24	24		23		1
DII	1	1	2	2		1		-
Data Access	RingBuf	Direct	RingBuf	Direct		RingBuf		Direct

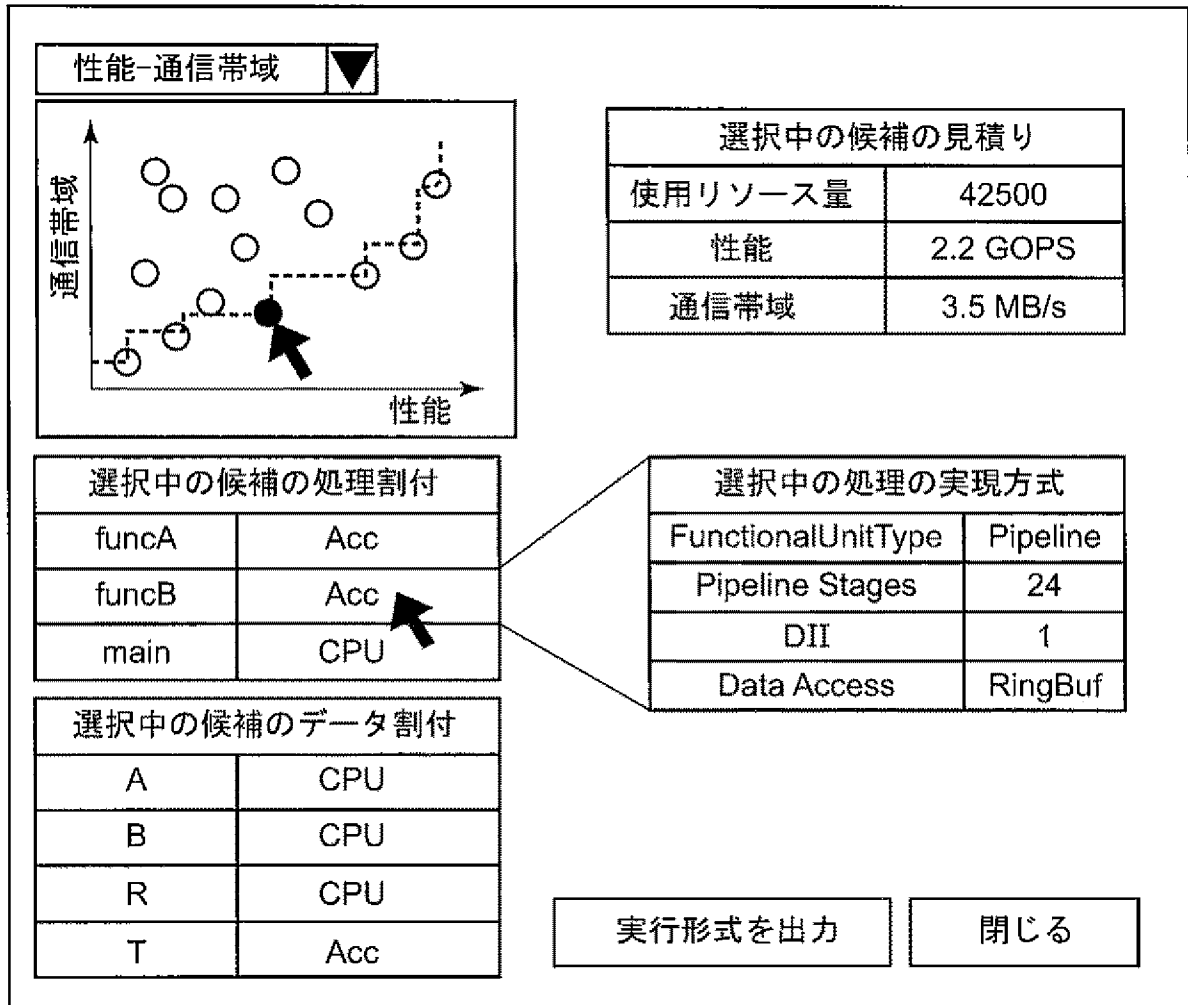
[図9]

	処理実現方式1	処理実現方式2	処理実現方式3	処理実現方式4	...	処理実現方式X	...	処理実現方式Y
想定周波数(MHz)	100	100	100	100		100		100
使用リソース量	50000	51000	25000	26000		48000		15000
遅延	24	24	24	24		23		30
スループット	1	1	2	2		1		30
通信帯域(MB/s)	12	12	6	6		12		0.4

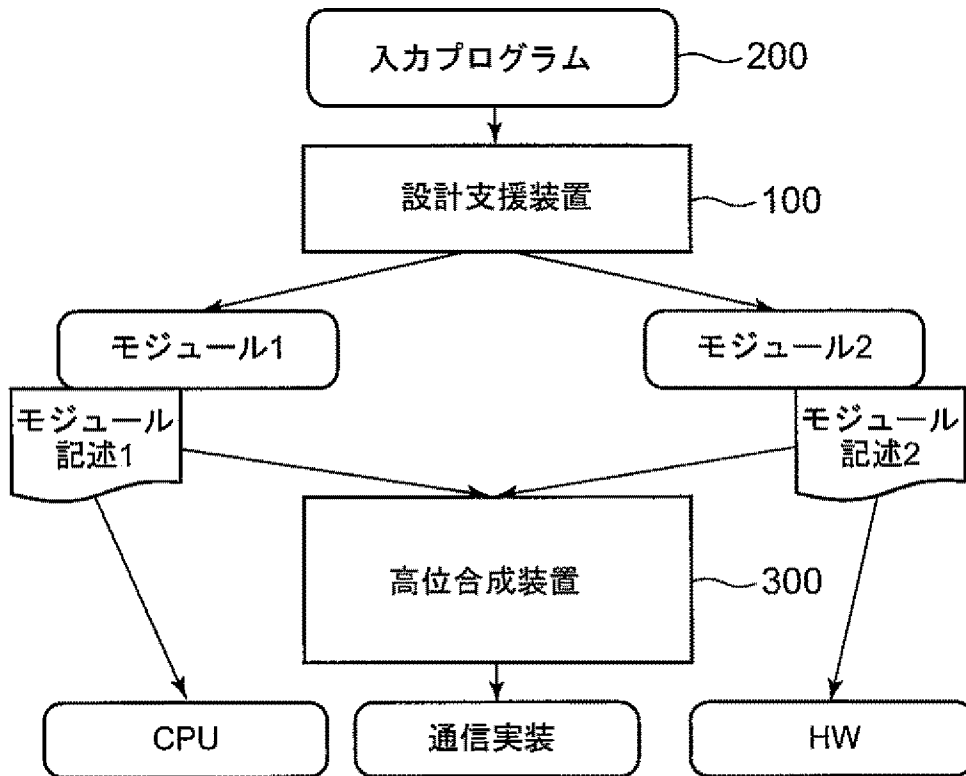
[図10]



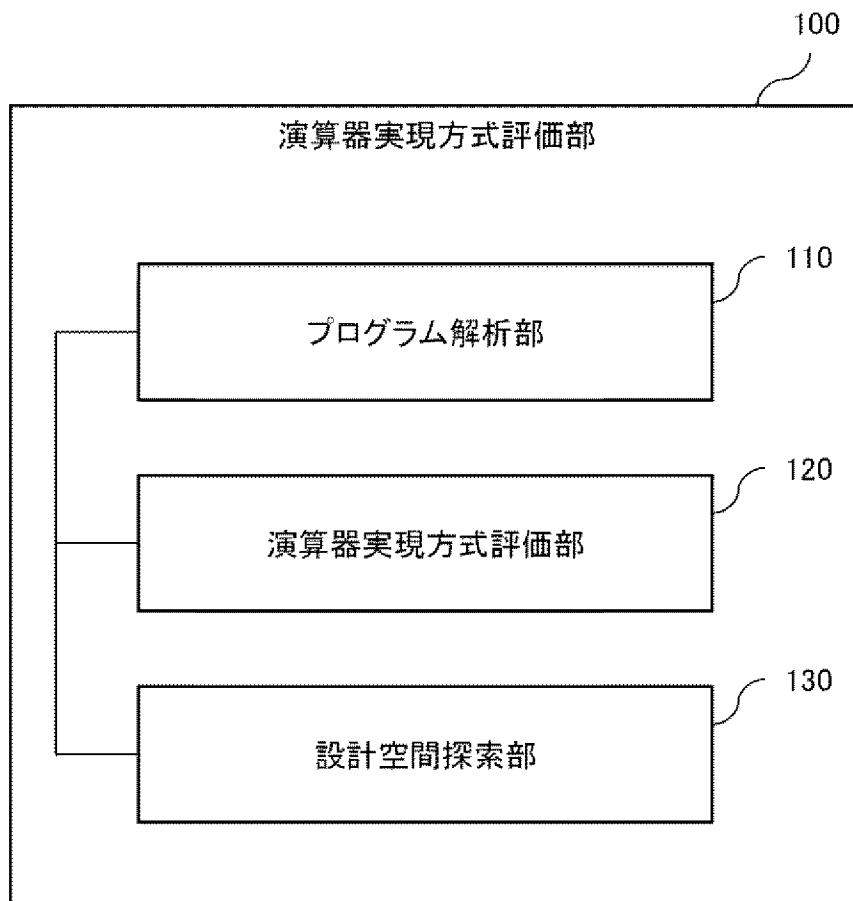
[図11]



[図12]



[図13]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2017/003311

**A. CLASSIFICATION OF SUBJECT MATTER**  
G06F17/50(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
IEEE Xplore, CiNii, JSTPlus(JDreamIII)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2012/124125 A1 (Fujitsu Ltd.), 20 September 2012 (20.09.2012), paragraphs [0024] to [0070]; fig. 10 & US 2014/0282588 A1 paragraphs [0046] to [0100]; fig. 10	1-18
A	WO 2014/002412 A1 (NEC Corp.), 03 January 2014 (03.01.2014), paragraphs [0109] to [0195]; fig. 18 & US 2015/0205643 A1 paragraphs [0163] to [0195]; fig. 18	1-18
A	JP 2010-113384 A (Fujitsu Ltd.), 20 May 2010 (20.05.2010), paragraphs [0055] to [0111]; fig. 10 (Family: none)	1-18

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 April 2017 (24.04.17)	Date of mailing of the international search report 09 May 2017 (09.05.17)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G06F17/50(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G06F17/50											
最小限資料以外の資料で調査を行った分野に含まれるもの <table style="width:100%; border: none;"> <tr> <td style="width: 30%;">日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2017年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2017年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2017年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2017年	日本国実用新案登録公報	1996-2017年	日本国登録実用新案公報	1994-2017年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2017年										
日本国実用新案登録公報	1996-2017年										
日本国登録実用新案公報	1994-2017年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) IEEE Xplore, CiNii, JSTPlus (JDreamIII)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	WO 2012/124125 A1 (富士通株式会社) 2012.09.20, 段落【0024】 - 【0070】, 第10図 & US 2014/0282588 A1, 段落【0046】 - 【0100】, 第10図	1-18									
A	WO 2014/002412 A1 (日本電気株式会社) 2014.01.03, 段落【0109】 - 【0195】, 第18図 & US 2015/0205643 A1, 段落【0163】 - 【0195】, 第18図	1-18									
☑ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 24.04.2017		国際調査報告の発送日 09.05.2017									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 合田 幸裕	5M   4689								
		電話番号 03-3581-1101 内線 3599									



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-113384 A (富士通株式会社) 2010.05.20, 段落【0055】 - 【0111】, 第10図 (ファミリーなし)	1-18