

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5968598号
(P5968598)

(45) 発行日 平成28年8月10日(2016.8.10)

(24) 登録日 平成28年7月15日(2016.7.15)

(51) Int.Cl.			F I		
HO2M	1/08	(2006.01)	HO2M	1/08	A
HO2M	7/5387	(2007.01)	HO2M	7/5387	Z
HO3K	17/687	(2006.01)	HO3K	17/687	A

請求項の数 18 (全 22 頁)

(21) 出願番号	特願2011-118651 (P2011-118651)	(73) 特許権者	000005108
(22) 出願日	平成23年5月27日 (2011.5.27)		株式会社日立製作所
(65) 公開番号	特開2012-249399 (P2012-249399A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成24年12月13日 (2012.12.13)	(74) 代理人	100080001
審査請求日	平成26年1月24日 (2014.1.24)		弁理士 筒井 大和
審判番号	不服2015-19660 (P2015-19660/J1)	(72) 発明者	秋山 悟
審判請求日	平成27年11月2日 (2015.11.2)		東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所 中央研究所内
		(72) 発明者	中川 樹生
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

高電圧側の電源にドレインが接続される第1スイッチ素子と、低電圧側の電源にソースが接続される第2スイッチ素子とを有し、前記第1スイッチ素子のソースと前記第2スイッチ素子のドレインとが電氣的に接続されるインバータ回路と、

前記インバータ回路の前記第1スイッチ素子および前記第2スイッチ素子のゲート電極を駆動する駆動回路と、

前記駆動回路を制御する制御回路と、を有し、

前記駆動回路は、

前記第1スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第1回路と

10

、前記第2スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第2回路と

、前記第1スイッチ素子のゲート電極を負電位に駆動する第3回路と、

前記第2スイッチ素子のゲート電極を負電位に駆動する第4回路と、を有し、

前記第1回路の出力ノードと前記第1スイッチ素子のゲート電極が接続され、

前記第2回路の出力ノードと前記第2スイッチ素子のゲート電極が接続され、

前記第3回路および前記第4回路においては、前記第3回路の出力ノードと前記第1スイッチ素子のゲート電極との間に直列にコンデンサが接続され、前記第4回路の出力ノードと前記第2スイッチ素子のゲート電極との間に直列にコンデンサが接続され、

20

前記制御回路は、前記第 1 スイッチ素子がオフ状態からオン状態になる直前に前記第 2 スイッチ素子のゲート電極の電圧を前記第 2 回路のソース電位よりも低い前記負電位に制御する、もしくは、前記第 2 スイッチ素子がオフ状態からオン状態になる直前に前記第 1 スイッチ素子のゲート電極の電圧を前記第 1 回路のソース電位よりも低い前記負電位に制御し、

前記第 1 回路および前記第 2 回路は、プルダウン回路を複数有し、当該複数のプルダウン回路のうち、一つの第 1 プルダウン回路のしきい値は、前記第 1 プルダウン回路以外の複数の第 2 プルダウン回路のしきい値よりも低く、前記第 1 プルダウン回路と前記複数の第 2 プルダウン回路のゲート電位はそれぞれ独立に制御されることを特徴とする半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置において、

前記インバータ回路の前記第 1 スイッチ素子がオフ状態からオン状態になる前に、前記第 2 スイッチ素子に接続される前記第 4 回路を活性化する、もしくは、

前記インバータ回路の前記第 2 スイッチ素子がオフ状態からオン状態になる前に、前記第 1 スイッチ素子に接続される前記第 3 回路を活性化することを特徴とする半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置において、

前記第 1 回路から前記第 4 回路は、その出力ノードを前記駆動回路の電源レベルに駆動するプルアップ回路と、前記出力ノードを前記駆動回路のソースレベルに駆動するプルダウン回路とを有し、

前記プルアップ回路および前記プルダウン回路は MOSFET であり、

前記 MOSFET はその素子内にダイオード構造を有することを特徴とする半導体装置

20

【請求項 4】

請求項 1 に記載の半導体装置において、

前記第 3 回路もしくは前記第 4 回路を活性化するよりも前に、前記第 2 プルダウン回路のゲート電位をオフ状態に制御することを特徴とする半導体装置。

【請求項 5】

請求項 1 に記載の半導体装置において、

前記第 2 プルダウン回路の内蔵ダイオードの内蔵電位であるオン電圧の総和は、前記第 3 回路もしくは前記第 4 回路が前記第 1 スイッチ素子もしくは前記第 2 スイッチ素子のゲート電極に与える負電位の絶対値よりも大きいことを特徴とする半導体装置。

30

【請求項 6】

請求項 1 に記載の半導体装置において、

前記第 2 プルダウン回路をオン状態にするゲート電位は、前記第 1 プルダウン回路をオン状態にするゲート電位よりも高いことを特徴とする半導体装置。

【請求項 7】

請求項 1 に記載の半導体装置において、

前記第 1 スイッチ素子および前記第 2 スイッチ素子を構成する半導体材料の一部もしくは全部はシリコンカーバイドもしくはガリウムナイトライドであることを特徴とする半導体装置。

40

【請求項 8】

請求項 7 に記載の半導体装置において、

前記第 1 スイッチ素子および前記第 2 スイッチ素子は MOSFET であることを特徴とする半導体装置。

【請求項 9】

請求項 7 に記載の半導体装置において、

前記第 1 スイッチ素子および前記第 2 スイッチ素子は接合 FET であることを特徴とする半導体装置。

50

【請求項 1 0】

請求項 1 に記載の半導体装置において、
前記第 1 回路から前記第 4 回路においては、一つの半導体基板上に集積され、
前記第 1 回路から前記第 4 回路を構成する素子は、その内部にダイオードが内蔵されないことを特徴とする半導体装置。

【請求項 1 1】

請求項 1 0 に記載の半導体装置において、
前記半導体基板上に集積される前記第 1 回路、前記第 2 回路、前記第 3 回路、前記第 4 回路を構成する素子においては、そのウェル構造が、P 型半導体からなる P ウェル、N 型半導体からなる N ウェル、および高濃度 N 型半導体からなるディープ N ウェルを有し、
前記第 1 回路、前記第 2 回路、前記第 3 回路、前記第 4 回路を構成するプルダウン回路の基板電位とソース電位はそれぞれ独立に制御されることを特徴とする半導体装置。

10

【請求項 1 2】

高電圧側の電源にドレインが接続される第 1 スイッチ素子と、低電圧側の電源にソースが接続される第 2 スイッチ素子とを有し、前記第 1 スイッチ素子のソースと前記第 2 スイッチ素子のドレインとが電氣的に接続されるインバータ回路と、

前記インバータ回路の前記第 1 スイッチ素子および前記第 2 スイッチ素子のゲート電極を駆動する駆動回路と、

前記駆動回路を制御する制御回路と、を有し、

前記駆動回路は、

20

前記第 1 スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第 1 回路と

、

前記第 2 スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第 2 回路と

、

前記第 1 スイッチ素子のゲート電極を負電位に駆動する第 3 回路と、

前記第 2 スイッチ素子のゲート電極を負電位に駆動する第 4 回路と、を有し、

前記第 1 回路の出力ノードと前記第 1 スイッチ素子のゲート電極が接続され、

前記第 2 回路の出力ノードと前記第 2 スイッチ素子のゲート電極が接続され、

前記第 3 回路および前記第 4 回路においては、前記第 3 回路の出力ノードと前記第 1 スイッチ素子のゲート電極との間に直列にコンデンサが接続され、前記第 4 回路の出力ノードと前記第 2 スイッチ素子のゲート電極との間に直列にコンデンサが接続され、

30

前記第 1 回路および前記第 2 回路のソース電位と、前記第 1 回路および前記第 2 回路の出力ノードとの間に、複数のプルダウン回路が接続され、

前記第 1 回路および前記第 2 回路は、プルダウン回路を複数有し、当該複数のプルダウン回路のうち、一つの第 1 プルダウン回路のしきい値は、前記第 1 プルダウン回路以外の複数の第 2 プルダウン回路のしきい値よりも低く、前記第 1 プルダウン回路と前記複数の第 2 プルダウン回路のゲート電位はそれぞれ独立に制御されることを特徴とする半導体装置。

【請求項 1 3】

請求項 1 2 に記載の半導体装置において、

40

前記インバータ回路の前記第 1 スイッチ素子がオフ状態からオン状態になる前に、前記第 2 スイッチ素子に接続される前記第 4 回路を活性化する、もしくは、

前記インバータ回路の前記第 2 スイッチ素子がオフ状態からオン状態になる前に、前記第 1 スイッチ素子に接続される前記第 3 回路を活性化することを特徴とする半導体装置。

【請求項 1 4】

請求項 1 2 に記載の半導体装置において、

前記第 1 回路から前記第 2 回路は、その出力ノードを前記駆動回路の電源レベルに駆動するプルアップ回路と、前記出力ノードを前記駆動回路のソースレベルに駆動する前記複数のプルダウン回路とを有し、

前記プルアップ回路および前記複数のプルダウン回路は M O S F E T であり、

50

前記M O S F E Tはその素子内にダイオード構造を有することを特徴とする半導体装置。

【請求項15】

請求項12に記載の半導体装置において、

前記第2プルダウン回路の内蔵ダイオードの内蔵電位であるオン電圧の総和は、前記第3回路もしくは前記第4回路が前記第1スイッチ素子もしくは前記第2スイッチ素子のゲート電極に与える負電位の絶対値よりも大きいことを特徴とする半導体装置。

【請求項16】

請求項12に記載の半導体装置において、

前記第1スイッチ素子および前記第2スイッチ素子を構成する半導体材料の一部もしくは全部はシリコンカーバイドもしくはガリウムナイトライドであることを特徴とする半導体装置。

10

【請求項17】

請求項16に記載の半導体装置において、

前記第1スイッチ素子および前記第2スイッチ素子はM O S F E Tであることを特徴とする半導体装置。

【請求項18】

請求項16に記載の半導体装置において、

前記第1スイッチ素子および前記第2スイッチ素子は接合F E Tであることを特徴とする半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の技術に関し、特に、シリコンや化合物半導体を用いたパワーデバイスと、それを用いた電力変換回路に適用して有効な技術に関する。

【背景技術】

【0002】

地球環境保全という大きな社会潮流の中で、環境負荷を低減するエレクトロニクス事業の重要性が増している。中でもパワーデバイスは、鉄道車両やハイブリッド・電気自動車のインバータやエアコンのインバータ、パソコン等の民生機器の電源に用いられており、パワーデバイスの性能改善は、インフラシステムや民生機器の電力効率改善に大きく寄与する。電力効率を改善するということは、システムの稼働に必要なエネルギー資源を削減できるということであり、言い換えれば二酸化炭素の排出量削減、即ち環境負荷を低減できる。このため、パワーデバイスの性能改善に向けた研究開発が各社で盛んに行われている。

30

【0003】

一般的に、パワーデバイスは大規模集積回路(L S I)と同様にシリコン(S i)を材料としている。このS iパワーデバイスを用いた電力変換装置(インバータなど)では、そのインバータ等で発生するエネルギー損失を低減するために、ダイオードやスイッチ素子の素子構造や不純物濃度のプロファイルを最適化して、低いオン抵抗 R_{on} と高い電流密度を実現するための開発が盛んに行われている。また近年、シリコンよりもバンドギャップが大きいシリコンカーバイド(S i C)やガリウムナイトライド(G a N)といった化合物半導体が、パワーデバイス材料として注目されている。前記化合物半導体はバンドギャップが大きいため、破壊耐圧がシリコンの10倍程度ある。このため、化合物半導体デバイスはS iデバイスよりも膜厚を薄くでき、導通時の抵抗値 R_{on} を大幅に下げられる。その結果、抵抗値 R_{on} と導通電流 i の積であらわされる、所謂導通損失($R_{on} \cdot i^2$)を削減でき、電力効率改善に大きく寄与できる。このような特長に着目し、国内外で化合物材料を用いたダイオードやスイッチ素子の開発が盛んに進められている。

40

【0004】

このようなパワーデバイスの応用としては、例えば特許文献1の図6に示されるような

50

、所謂インバータ装置（DC/AC変換装置）が一般的である。インバータ装置とは、高電圧側（上アーム）の電源と低電圧側（下アーム）の電源との間に、パワーデバイスからなるスイッチ素子と還流ダイオードが直列に二つ接続されるものである。これら上下アームのスイッチ素子を交互にオンオフさせることにより、インバータ回路前段のDCレベルをACレベルに変換して後段のAC絶縁トランスやモータといった負荷回路に供給する。この時、インバータで発生する損失として挙げられるのは、前述の通りスイッチ素子やダイオードのオン抵抗 R_{on} による導通損失やリカバリ損失、またはスイッチング動作、即ちスイッチ素子がオン状態からオフ状態もしくはオフ状態からオン状態に遷移する期間（ドレインソース間に電位差が生じている期間）において、ドレインソース間電流が流れることによって発生するスイッチ損失が主である。

10

【0005】

しかしながら、インバータ装置では、上記の損失以外に、所謂誤点弧による短絡電流損失が発生する場合がある。この誤点弧とは、例えば下アームがオフしている状態で、もう片方の上アームがオフ状態からオン状態になる場合、前記下アームのドレイン電圧が急激に上昇することによって、下アームのスイッチ素子のゲートドレイン間容量に充放電電流が流れ、この結果、下アームのスイッチ素子のゲートソース間電圧がオフ状態の電圧レベルから上昇し、ついにはスイッチ素子のしきい値を超えて、本来オフしている状態の下アームのスイッチ素子が、誤ってオン状態になることである。この誤点弧が発生すると、下アームのスイッチ素子がオンするため、上アームの高電圧側電源と下アームの低電圧側電源が短絡し、電源間に大きな短絡電流が流れる。この短絡電流は、インバータの損失増加を引き起こし、場合によってはスイッチ素子が発熱して破壊してしまう可能性もある。

20

【0006】

このような問題を解決する手段としては、例えば特許文献2のように負電源回路を用意して、スイッチ素子がオフの時にゲート電圧を負電圧にする方法がある。この場合、専用の負電源回路を設計する必要がある点や、負電源回路の消費電流がインバータ駆動回路の消費電流を増加させてしまうという課題がある。また特許文献3には、負電源回路は用いずに、パルストランスを用いて負電圧を生成する手段が開示されている。このパルストランスはインダクタ成分をもつため、スイッチ素子のゲート容量と所謂LC共振が発生する場合があります、スイッチ素子のゲート電圧に大きなノイズが発生し、所望の電位を安定してゲート電極に印加するのが困難であるといった課題がある。

30

【0007】

一方、負電源回路やパルストランスを用いずに、ゲートに負電圧を供給する手段としては、例えば特許文献4や特許文献5に開示されるような、所謂スイッチドキャパシタ方式がある。これらの方法によれば、上下アームのスイッチ素子のゲート駆動回路において、スイッチ素子をオン状態からオフ状態にするときに利用するプルダウン回路のソース側に、コンデンサを直列に接続する。このコンデンサの片方の電極の電位は、スイッチ素子のオフ状態の電位であり、その対向電極は駆動回路に供給される高電位の電源電位か、それに相当する電位とするように制御する。その後、前記コンデンサの高電位側に接続される負電圧発生用のスイッチをオンすることで、インバータ回路のスイッチ素子のゲートに動的に負電位を与える。このようにオフしているスイッチ素子のゲート電極に動的に負電位を印加することができるので、誤点弧による短絡電流を削減できる可能性がある。

40

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2000-333441号公報（絶縁ゲート型半導体素子のゲート制御回路）

【特許文献2】特開2007-288992号公報（半導体回路）

【特許文献3】特開平8-149796号公報（電圧駆動型スイッチ素子のドライブ回路）

【特許文献4】特開2004-159424号公報（インバータ）

50

【特許文献5】特開2009-21823号公報（電圧駆動型半導体素子のドライブ回路及びインバータ装置）

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、前記特許文献4および特許文献5の技術について本発明者が検討した結果、以下のような新たな課題があることが分かった。

【0010】

前記特許文献4に示された例では、駆動回路の電源と、コンデンサの片方の電極との間に、抵抗とダイオードが接続されるため、電圧降下が生じる。このため、コンデンサの電極間の電圧が小さくなり、コンデンサによって発生する負電圧レベルが低くなってしまふ場合がある。また、特許文献4の技術では、スイッチ素子のゲートが動的に負電位になったときに、駆動回路のソースレベルとそのゲートに動的に印加される負電位が電氣的に短絡しないようにダイオードを用いている。このため、スイッチ素子のゲートがオフ状態になった後、ある時間が経過すると前記ダイオードの内蔵電位 V_f 分、スイッチ素子のゲート電位が上昇してしまう。駆動回路の動作温度が高くなると、前記ダイオードの内蔵電位は例えば1V以上と高くなるため、本来オフすべきスイッチ素子がオン状態になってしまう場合がある。特に、しきい値が低いスイッチ素子をインバータ回路に用いた時は、上記の問題が顕著になる可能性がある。

【0011】

前記特許文献5の技術に関しても、特許文献4と同様に、駆動回路のソースレベルと、スイッチ素子のゲートをオフ状態にするプルダウン回路のソースとの間にダイオードを用いているため、前述と同様の問題が発生する場合があることが分かった。

【0012】

そこで、本発明の目的の一つは、インバータ回路とそれを構成するスイッチ素子を駆動・制御する駆動・制御回路において、追加回路規模が少なく、所望の負電位を動的に印加できる駆動・制御回路を提供することにある。また、本発明の別の目的は、インバータ回路における短絡電流を削減し、損失の少ない電力変換回路を提供することである。

【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0014】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】

すなわち、代表的なものの概要は、高電圧側の電源にドレインが接続される第1スイッチ素子と、低電圧側の電源にソースが接続される第2スイッチ素子とを有し、前記第1スイッチ素子のソースと前記第2スイッチ素子のドレインとが電氣的に接続されるインバータ回路と、前記インバータ回路の前記第1スイッチ素子および前記第2スイッチ素子のゲート電極を駆動する駆動回路と、前記駆動回路を制御する制御回路と、を有する半導体装置であって、以下(1)、(2)の特徴を有するものである。

【0016】

(1)前記駆動回路は、前記第1スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第1回路と、前記第2スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第2回路と、前記第1スイッチ素子のゲート電極を負電位に駆動する第3回路と、前記第2スイッチ素子のゲート電極を負電位に駆動する第4回路とを有する。さらに、前記第3回路および前記第4回路においては、前記第3回路および前記第4回路の出力ノードと前記第1スイッチ素子および前記第2スイッチ素子との間に、それぞれ直列にコンデンサが接続される。そして、前記制御回路は、前記第1スイッチ素子もしくは前記

10

20

30

40

50

第2スイッチ素子がオフ状態からオン状態になる直前の前記第1スイッチ素子もしくは前記第2スイッチ素子のそれぞれのゲート電極の電圧を、前記第1回路もしくは前記第2回路のソース電位と同じであるように制御する。

【0017】

(2)前記駆動回路は、前記第1スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第1回路と、前記第2スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第2回路と、前記第1スイッチ素子のゲート電極を負電位に駆動する第3回路と、前記第2スイッチ素子のゲート電極を負電位に駆動する第4回路とを有する。さらに、前記第3回路および前記第4回路においては、前記第3回路および前記第4回路の出力ノードと前記第1スイッチ素子および前記第2スイッチ素子との間に、それぞれ直列に

10

コンデンサが接続される。また、前記第1回路および前記第2回路のソース電位と、前記第1回路および前記第2回路の出力ノードとの間に、複数のスイッチ素子が接続される。

【発明の効果】

【0018】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0019】

すなわち、代表的な効果は、インバータ回路とそれを構成するスイッチ素子を駆動・制御する駆動・制御回路において、追加回路規模が少なく、所望の負電位を動的に印加できる駆動・制御回路を提供することができる。またこれにより、インバータ回路における短絡電流を削減し、損失の少ない電力変換回路を提供することができる。

20

【図面の簡単な説明】

【0020】

【図1】本発明の実施の形態1である半導体装置を構成する駆動回路と制御回路の構成の一例を示すブロック図である。

【図2】図1に示したL側ゲート駆動回路の一部の構成の一例を示す回路図である。

【図3】図1に示したL側ゲート駆動回路の他の一部の構成の一例を示す回路図である。

【図4】図2に示したL側ゲート駆動回路の一部の構成と図3に示したL側ゲート駆動回路の他の一部の構成の接続関係、さらにインバータ回路の下側アームのスイッチ素子への接続関係の一例を示す回路図である。

30

【図5】(a)~(f)は図4に示したL側ゲート駆動回路の出力信号と、インバータ回路の下側アームのスイッチ素子との接続形態の変形例を示す回路図である。

【図6】図1に示した遅延時間生成回路の構成の一例を示す回路図である。

【図7】図1に示した制御回路と駆動回路の動作の一例を示す波形図である。

【図8】図1に示した制御回路と駆動回路の動作の別の一例を示す波形図である。

【図9】本発明の実施の形態2である半導体装置を構成する駆動回路と制御回路において、L側ゲート駆動回路の一部の構成の別の一例を示す回路図である。

【図10】(a),(b)は図9に示したL側ゲート駆動回路の要素断面の一例を示す断面図である。

【発明を実施するための形態】

40

【0021】

以下の実施の形態においては、便宜上その必要があるときは、複数の実施の形態またはセクションに分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0022】

さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必

50

須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【 0 0 2 3 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 4 】

[実施の形態の概要]

本発明の実施の形態の半導体装置（一例として、（ ）内に対応する構成要素、符号等を付記）は、高電圧側の電源にドレインが接続される第1スイッチ素子（H側スイッチ素子H S W）と、低電圧側の電源にソースが接続される第2スイッチ素子（L側スイッチ素子L S W）とを有し、前記第1スイッチ素子のソースと前記第2スイッチ素子のドレインとが電氣的に接続されるインバータ回路と、前記インバータ回路の前記第1スイッチ素子および前記第2スイッチ素子のゲート電極を駆動する駆動回路（H側ゲート駆動回路H G DとL側ゲート駆動回路L G D）と、前記駆動回路を制御する制御回路（ゲートドライバ制御回路G D C T L）と、を有する半導体装置であって、以下（1）、（2）の特徴を有するものである。

【 0 0 2 5 】

（1）前記駆動回路は、前記第1スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第1回路（H側ゲート駆動回路H G Dの一部（図2と同様））と、前記第2スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第2回路（L側ゲート駆動回路L G Dの一部（図2））と、前記第1スイッチ素子のゲート電極を負電位に駆動する第3回路（H側ゲート駆動回路H G Dの他の一部（図3と同様））と、前記第2スイッチ素子のゲート電極を負電位に駆動する第4回路（L側ゲート駆動回路L G Dの他の一部（図3））とを有する。さらに、前記第3回路および前記第4回路においては、前記第3回路および前記第4回路の出力ノードと前記第1スイッチ素子および前記第2スイッチ素子との間に、それぞれ直列にコンデンサ（コンデンサC n（図3と同様および図3））が接続される。そして、前記制御回路は、前記第1スイッチ素子もしくは前記第2スイッチ素子がオフ状態からオン状態になる直前の前記第1スイッチ素子もしくは前記第2スイッチ素子のそれぞれのゲート電極の電圧を、前記第1回路もしくは前記第2回路のソース電位と同じであるように制御する。

【 0 0 2 6 】

（2）前記駆動回路は、前記第1スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第1回路（H側ゲート駆動回路H G Dの一部（図2と同様））と、前記第2スイッチ素子のゲート電極を前記駆動回路のソース電位に駆動する第2回路（L側ゲート駆動回路L G Dの一部（図2））と、前記第1スイッチ素子のゲート電極を負電位に駆動する第3回路（H側ゲート駆動回路H G Dの他の一部（図3と同様））と、前記第2スイッチ素子のゲート電極を負電位に駆動する第4回路（L側ゲート駆動回路L G Dの他の一部（図3））とを有する。さらに、前記第3回路および前記第4回路においては、前記第3回路および前記第4回路の出力ノードと前記第1スイッチ素子および前記第2スイッチ素子との間に、それぞれ直列にコンデンサ（コンデンサC n（図3と同様および図3））が接続される。また、前記第1回路および前記第2回路のソース電位と、前記第1回路および前記第2回路の出力ノードとの間に、複数のスイッチ素子（スイッチ素子S W 2 , S W H 1 , S W H 2 , S W H 3（図2と同様および図2））が接続される。

【 0 0 2 7 】

以上説明した実施の形態の概要に基づいた各実施の形態を、以下において具体的に説明する。以下に説明する実施の形態は本発明を用いた一例であり、本発明は以下の実施の形態により限定されるものではない。

【 0 0 2 8 】

〔実施の形態 1〕

本発明の実施の形態 1 である半導体装置を、図 1 ~ 図 8 を用いて説明する。本発明の実施の形態 1 である半導体装置は、図 1 に示すような制御回路と駆動回路、さらにこの駆動回路の出力に接続されるインバータ回路（図 4 や図 5 に下側アームのスイッチ素子を図示、上側アームのスイッチ素子も同様の構成）も含む構成となっている。また、この半導体装置の制御回路の入力には、外部にマイコンが接続されて構成される。

【 0 0 2 9 】

＜半導体装置を構成する駆動回路と制御回路＞

図 1 により、本発明の実施の形態 1 である半導体装置を構成する駆動回路と制御回路について説明する。図 1 は、この半導体装置を構成する駆動回路と制御回路の構成の一例を示すブロック図である。図 1 中の記号は、ゲートドライバ制御回路 G D C T L、H 側入力信号 H I N、L 側入力信号 L I N、H 側抵抗 H R、L 側抵抗 L R、H 側インバータ H I V、L 側インバータ L I V、H 側レベル変換回路 H L S、L 側レベル変換回路 L L S、パルス発生回路 P G、遅延時間生成回路 D G、H 側電源電圧低下保護回路 H U V D F、L 側電源電圧低下保護回路 L U V D F、インターロック回路 I L、ラッチ回路 R S L、遅延時間生成回路 D G A、D G B、H 側ゲート駆動回路 H G D、L 側ゲート駆動回路 L G D、抵抗 R 1、R 2、N M O S トランジスタ N M 1、N M 2、電源電圧 V D D、V C C、高電圧側電源レベル V B、高電圧側ソースレベル V S、低電圧側電源レベル V C C、低電圧側ソースレベル C O M、H 側出力信号 H O 1、H O 2、L 側出力信号 L O 1、L O 2、ゲート駆動回路入力信号 I N 1、I N 2、トライステートイネーブル信号 E N T である。

【 0 0 3 0 】

本実施の形態 1 である半導体装置を構成する駆動回路は、高電圧側の電源（V B）と低電圧側の電源（C O M）との間に接続されたインバータ回路を構成する上側アームのスイッチ素子と下側アームのスイッチ素子とを駆動する駆動回路である。このインバータ回路は、高電圧側の電源にドレインが接続される上側アームのスイッチ素子（H S W）と、低電圧側の電源にソースが接続される下側アームのスイッチ素子（L S W）とを有し、上側アームのスイッチ素子のソースと下側アームのスイッチ素子のドレインとが電氣的に接続されて構成される。

【 0 0 3 1 】

この駆動回路は、図 1 において、上側アームに対応する駆動回路が H 側ゲート駆動回路 H G D から構成され、下側アームに対応する駆動回路が L 側ゲート駆動回路 L G D から構成される。さらに、この H 側ゲート駆動回路 H G D および L 側ゲート駆動回路 L G D は、ゲートドライバ制御回路 G D C T L により制御される。

【 0 0 3 2 】

このゲートドライバ制御回路 G D C T L は、図 1 において、上側アームに対応する H 側ゲート駆動回路 H G D を制御する制御回路が、H 側抵抗 H R、H 側インバータ H I V、H 側レベル変換回路 H L S、パルス発生回路と遅延時間生成回路 P G & D G、抵抗 R 1、R 2、N M O S トランジスタ N M 1、N M 2、H 側電源電圧低下保護回路 H U V D F、インターロック回路と遅延時間生成回路 I L & D G、ラッチ回路 R S L などから構成される。下側アームに対応する L 側ゲート駆動回路 L G D を制御する制御回路が、L 側抵抗 L R、L 側インバータ L I V、L 側レベル変換回路 L L S、L 側電源電圧低下保護回路 L U V D F、遅延時間生成回路 D G A、D G B などから構成される。

【 0 0 3 3 】

このゲートドライバ制御回路 G D C T L は、上側アームのスイッチ素子もしくは下側アームのスイッチ素子がオフ状態からオン状態になる直前の、上側アームのスイッチ素子もしくは下側アームのスイッチ素子のそれぞれのゲート電極の電圧を、H 側ゲート駆動回路 H G D の一部もしくは L 側ゲート駆動回路 L G D の一部のソース電位と同じであるように制御する。さらに、上側アームのスイッチ素子がオフ状態からオン状態になる前に、上側アームのスイッチ素子に接続される H 側ゲート駆動回路 H G D の他の一部を活性化する、

もしくは、下側アームのスイッチ素子がオフ状態からオン状態になる前に、下側アームのスイッチ素子に接続されるL側ゲート駆動回路LGDの他の一部を活性化するように制御する。

【0034】

上側アームに対応するH側ゲート駆動回路HGDおよびこれを制御する制御回路において、H側入力信号HINはH側インバータHIVに入力され、この出力がH側レベル変換回路HLSに入力される。H側レベル変換回路HLSの出力はパルス発生回路と遅延時間生成回路PG&DGに入力される。また、パルス発生回路と遅延時間生成回路PG&DGには、L側レベル変換回路LLSの出力とL側電源電圧低下保護回路LUVDFの出力も入力される。パルス発生回路と遅延時間生成回路PG&DGの出力により、抵抗R1、R2とNMOSトランジスタNM1、NM2からなるレベル変換回路のNMOSトランジスタNM1、NM2が制御される。レベル変換回路の出力はインターロック回路と遅延時間生成回路IL&DGに入力され、この出力がラッチ回路RSLに入力される。また、ラッチ回路RSLには、H側電源電圧低下保護回路HUVDFの出力も入力される。ラッチ回路RSLの出力はH側ゲート駆動回路HGDに入力され、この出力は上側アームのスイッチ素子（後述する図4と同様のスイッチ素子HSW）のゲートに入力される。このH側ゲート駆動回路HGDのH側出力信号HO1、HO2により、上側アームのスイッチ素子のオンオフが制御される。

10

【0035】

また、下側アームに対応するL側ゲート駆動回路LGDおよびこれを制御する制御回路において、L側入力信号LINはL側インバータLIVに入力され、この出力がL側レベル変換回路LLSに入力される。L側レベル変換回路LLSの出力は遅延時間生成回路DGAに入力され、この出力がL側ゲート駆動回路LGDに入力される。また、L側レベル変換回路LLSの出力はH側レベル変換回路HLSの出力と共に遅延時間生成回路DGBに入力され、この出力はL側ゲート駆動回路LGDに入力される。また、L側ゲート駆動回路LGDには、L側電源電圧低下保護回路LUVDFの出力も入力される。L側ゲート駆動回路LGDの出力は下側アームのスイッチ素子（後述する図4のスイッチ素子LSW）のゲートに入力される。このL側ゲート駆動回路LGDのL側出力信号LO1、LO2により、下側アームのスイッチ素子のオンオフが制御される。

20

【0036】

図1に示すH側ゲート駆動回路HGDおよびL側ゲート駆動回路LGDとゲートドライバ制御回路GDCTLの動作概略を記すと次の通りである。H側入力信号HIN、もしくはL側入力信号LINがアサートされると、ゲートドライバ制御回路GDCTL内のH側レベル変換回路HLSおよびL側レベル変換回路LLSによって、ゲートドライバ制御回路GDCTLの外部から給電される電源電圧VDDとH側入力信号HINもしくはL側入力信号LINのハイレベル電位VDDがL側ゲート駆動回路LGDのハイレベル出力である電源レベルVCCに変換される。その後、遅延時間生成回路DGAおよび遅延時間生成回路DGBを介してL側ゲート駆動回路LGDにその制御信号である入力信号IN1、IN2とトライステートイネーブル信号ENTを入力し、下側アームのゲート信号であるL側出力信号LO1、LO2をスイッチ素子のゲートに入力する。

30

40

【0037】

また、上側アームに関しても同様に、パルス発生回路と遅延時間生成回路PG&DGを用いて、所望のタイミング信号を生成する。パルス発生回路PGはH側出力信号HO1、HO2の立ち上がり立ち下がり規定するタイミング信号を出力する。このタイミング信号は、NMOSトランジスタNM1、NM2と抵抗R1、R2から構成されるレベル変換回路を経由して、インターロック回路と遅延時間生成回路IL&DG、さらにラッチ回路RSLに入力される。なお、インターロック回路ILは、規定の制御信号以外の不定な信号が入力された場合は、後段のラッチ回路RSLに信号を転送せず、H側出力信号HO1、HO2をアサートしないように制御するものである。ゲートドライバ制御回路GDCTLは、上述のようにH側ゲート駆動回路HGDを制御して、H側出力信号HO1、HO

50

2を上側アームのスイッチ素子のゲートに入力する。

【0038】

なお、L側電源電圧低下保護回路LUVDFは、電源電圧VCCが低下した際に、L側ゲート駆動回路LGDを非活性化する機能を有し、下側アームのスイッチ素子が破壊されることを防ぐためにある。同様に、H側電源電圧低下保護回路HUVDFは、電源電圧VBが低下した際に、ラッチ回路RSLを非活性化する機能を有し、上側アームのスイッチ素子が破壊されることを防ぐためにある。

【0039】

以上のように構成され、動作するそれぞれの回路ブロックの具体的な回路構成は、一般的な論理回路を用いて実現できるので、ここでは説明を省略する。このように、本実施の形態1の半導体装置を構成する駆動回路(L側ゲート駆動回路LGDおよびH側ゲート駆動回路HGD)と制御回路(ゲートドライバ制御回路GDCTL)は汎用的な駆動・制御IC回路の構成に、必要な遅延時間生成回路DG等、最小限の追加回路で実現できるため、本実施の形態1の半導体装置を構成する駆動回路と制御回路を実現のための追加コストを低く抑えることが可能である。

10

【0040】

<ゲート駆動回路>

図2～図4により、図1に示したL側ゲート駆動回路LGDについて説明する。ここでは、L側ゲート駆動回路LGDを例に説明するが、H側ゲート駆動回路HGDもL側ゲート駆動回路LGDと同様の回路構成となっている。

20

【0041】

図2は、図1に示したL側ゲート駆動回路LGDの一部の構成の一例を示す回路図である。図2中の記号は、ゲート駆動回路入力信号IN1、トライステートイネーブル信号ENT、L側出力信号LO1、ゲート駆動回路のスイッチ素子SW1、SW2、ゲート駆動回路の高しきい値スイッチ素子SWH1、SWH2、SWH3、ダイオードDi1、Di2、Di3、Di4、Di5である。また、VCCは低電圧側電源レベル、COMは低電圧側ソースレベルである。

【0042】

このL側ゲート駆動回路LGDの一部は、スイッチ素子SW1、SW2(ダイオードDi1、Di2を内蔵)、3つの高しきい値スイッチ素子SWH1、SWH2、SWH3(ダイオードDi3、Di4、Di5を内蔵)から構成される。このL側ゲート駆動回路LGDの一部は、下側アームのスイッチ素子のゲート電極をL側ゲート駆動回路LGDのソースレベルCOMに駆動する回路として機能する。各スイッチ素子において、スイッチ素子SW1は出力ノードを電源レベルVCCに駆動するプルアップ回路として機能し、スイッチ素子SW2、SWH1、SWH2、SWH3は出力ノードをソースレベルCOMに駆動するプルダウン回路として機能する。さらに、各スイッチ素子はMOSFETからなり、スイッチ素子SW1はPMOSTランジスタであり、スイッチ素子SW2、SWH1、SWH2、SWH3はNMOSTランジスタである。

30

【0043】

また、スイッチ素子SW1、SW2のしきい値は、スイッチ素子SWH1、SWH2、SWH3のしきい値よりも低く設定される。さらに、スイッチ素子SW1、SW2のゲート電位は入力信号IN1で制御され、スイッチ素子SWH1、SWH2、SWH3のゲート電位はトライステートイネーブル信号ENTで制御され、それぞれ独立に制御される。

40

【0044】

また、スイッチ素子SW2、SWH1、SWH2、SWH3の内蔵ダイオードの内蔵電位であるオン電圧の総和は、後述する図3に示すL側ゲート駆動回路LGDの他の一部の構成が、下側アームのスイッチ素子のゲート電極に与える負電位の絶対値よりも大きく設定される。

【0045】

このL側ゲート駆動回路LGDの一部の構成において、ゲート駆動回路入力信号IN1

50

はスイッチ素子 $SW1$, $SW2$ の共通に接続されたゲートに入力され、スイッチ素子 $SW1$, $SW2$ のオンオフが制御される。このスイッチ素子 $SW1$, $SW2$ の共通に接続されたドレインから L 側出力信号 $LO1$ が出力される。スイッチ素子 $SW1$ のソースは低電圧側電源レベル VCC に接続される。一方、スイッチ素子 $SW2$ のソースはスイッチ素子 $SWH1$ のドレインに接続され、以降、スイッチ素子 $SWH2$ 、スイッチ素子 $SWH3$ に順に接続され、スイッチ素子 $SWH3$ のソースは低電圧側ソースレベル COM に接続される。スイッチ素子 $SWH1$, $SWH2$, $SWH3$ のゲートにはトライステートイネーブル信号 ENT が入力され、スイッチ素子 $SWH1$, $SWH2$, $SWH3$ のオンオフが制御される。

【0046】

図2に示す L 側ゲート駆動回路 LGD の一部の構成の機能は次の通りである。ゲート駆動回路入力信号 $IN1$ がロウにアサートされると、スイッチ素子 $SW1$ がオンして、電源レベル VCC が出力信号 $LO1$ として出力される。一方、ゲート駆動回路入力信号 $IN1$ がハイにアサートされると、スイッチ素子 $SW2$ がオンする。このとき、トライステートイネーブル信号 ENT がハイの場合、高しきい値スイッチ素子 $SWH1$, $SWH2$, $SWH3$ がオンした状態になるので、低電圧側ソースレベル COM (例えば $0V$) が出力信号 $LO1$ として出力される。なお、トライステートイネーブル信号 ENT がロウの場合は、しきい値の高いスイッチ素子 $SWH1 \sim SWH3$ の3つがオフ状態になるため、出力信号 $LO1$ のレベルはソースレベル COM よりも低い電位、すなわち、内蔵ダイオード $Di3$, $Di4$, $Di5$ のそれぞれの内蔵電位 Vf の和 (例えば $6V$) の電圧分だけ低いレベルでクランプされる。後述するが、本発明の駆動方法を用いた場合、出力信号 $LO1$ の電位は動的に負電位、例えば $-5V$ になる。この場合においても、前述のダイオード $Di3$, $Di4$, $Di5$ が接続されているため、ソースレベル COM と動的負電位 ($-5V$) が電氣的に接続されることはない。このため、本発明の駆動方法において、動的に負電位をスイッチ素子に与えたとき、その負電位を打ち消すようなリーク電流パスがなく、その負電位を所望の時間維持することができる。すなわち、所謂誤点弧を防止できる。

【0047】

図3は、図1に示した L 側ゲート駆動回路 LGD の他の一部の構成の一例を示す回路図である。図3に示す回路構成は、図2に示した回路構成と組み合わせて利用する。図3中の記号は、ゲート駆動回路入力信号 $IN2$ 、スイッチ素子 $SW3$, $SW4$ 、ダイオード $Di6$, $Di7$ 、コンデンサ Cn 、ゲート駆動回路出力ノード OUT 、 L 側出力信号 $LO2$ である。なお、その他の記号で前述の図面に記載されたものと同じものは説明を省略する。

【0048】

この L 側ゲート駆動回路 LGD の他の一部は、スイッチ素子 $SW3$, $SW4$ (ダイオード $Di6$, $Di7$ を内蔵)、コンデンサ Cn から構成される。この L 側ゲート駆動回路 LGD の他の一部は、下側アームのスイッチ素子のゲート電極を負電位に駆動する回路として機能する。各スイッチ素子において、スイッチ素子 $SW3$ は出力ノードを電源レベル VCC に駆動するプルアップ回路として機能し、スイッチ素子 $SW4$ は出力ノードをソースレベル COM に駆動するプルダウン回路として機能する。また、各スイッチ素子は $MOSFET$ からなり、スイッチ素子 $SW3$ は $PMOS$ トランジスタであり、スイッチ素子 $SW4$ は $NMOS$ トランジスタである。

【0049】

この L 側ゲート駆動回路 LGD の他の一部の構成において、ゲート駆動回路入力信号 $IN2$ はスイッチ素子 $SW3$, $SW4$ の共通に接続されたゲートに入力され、スイッチ素子 $SW3$, $SW4$ のオンオフが制御される。このスイッチ素子 $SW3$, $SW4$ の共通に接続されたドレインからコンデンサ Cn を介して L 側出力信号 $LO2$ が出力される。スイッチ素子 $SW3$ のソースは低電圧側電源レベル VCC に接続される。一方、スイッチ素子 $SW4$ のソースは低電圧側ソースレベル COM に接続される。

【0050】

10

20

30

40

50

図3に示すL側ゲート駆動回路LGDの他の一部の構成の機能は次の通りである。入力信号IN2のレベルによって、電源レベルVCCもしくはソースレベルCOMがゲート駆動回路出力ノードOUTに出力される。このとき、図2に示したL側ゲート駆動回路LGDの一部の構成によって出力信号LO2のレベルがソースレベルCOMに駆動されているときに、ゲート駆動回路入力信号IN2をロウからハイにアサートすると、コンデンサCnの容量カップリングによって出力信号LO2のソースレベルCOMが負電位側（例えば-5V）に駆動できる。このように、図3に示すL側ゲート駆動回路LGDを所望のタイミングで制御すれば、インバータ回路におけるオフ状態のスイッチ素子のゲートに、動的に負電位レベルを入力できる。またこのときに、図2に示したL側ゲート駆動回路LGDの一部において、トライステートイネーブル信号ENTをロウにアサートする。このように制御することで、図3で示すL側ゲート駆動回路LGDの他の一部の構成で生成した、動的な負電位を所望の時間維持できる。すなわち、誤点弧を防止できる。なお、インバータ回路のスイッチ素子の過渡的なスイッチング動作が完了した後は、図2に示したトライステートイネーブル信号ENTをハイにアサートするとよい。こうすることで、インバータ回路におけるオフ状態のスイッチ素子のゲート電位がソースレベルCOMに接続される。つまり、本実施の形態1を用いれば、インバータ回路のスイッチ素子のオフ状態を保証できる。

10

【0051】

図4は、図2に示したL側ゲート駆動回路LGDの一部の構成と図3に示したL側ゲート駆動回路LGDの他の一部の構成の接続関係、さらにインバータ回路の下側アームのスイッチ素子への接続関係の一例を示す回路図である。図4中のLSWは下側アームのスイッチ素子（MOSFETのNMOSTランジスタNM）、Gswはスイッチ素子LSWであるNMOSTランジスタNMのゲート電極、Dはドレイン、Sはソースをそれぞれ示し、Diはダイオードを示している。図4の例では、出力信号LO1のノードが抵抗Rを介してNMOSTランジスタNMのゲート電極Gswと出力信号LO2のノードと接続されている。このような接続構成をとることで、所望のタイミングでスイッチ素子LSWであるNMOSTランジスタNMのゲート電極Gswに負電位を与えることができ、誤点弧動作を防止できる。

20

【0052】

なお、図2～図4によりL側ゲート駆動回路LGDを例にした説明は、H側ゲート駆動回路HGDにおいても同様である。すなわち、H側ゲート駆動回路HGDの一部の構成は図2と同様であり、他の一部の構成は図3と同様であり、そして、これらの一部の構成と他の一部の構成の接続関係、さらにインバータ回路の上側アームのスイッチ素子（ここではHSWと記す）への接続関係も図4と同様である。例えば、図4に対応するH側ゲート駆動回路HGDにおいては、このH側ゲート駆動回路HGDの出力信号HO1のノードが抵抗Rを介して上側アームのスイッチ素子（HSW）であるNMOSTランジスタNMのゲート電極Gswと出力信号HO2のノードと接続されている。このような接続構成をとることで、H側ゲート駆動回路HGDにおいても同様の効果を得ることができる。

30

【0053】

<ゲート駆動回路とインバータ回路との接続形態>

40

図5により、図4に示したL側ゲート駆動回路LGDの出力信号LO1と、インバータ回路の下側アームのスイッチ素子LSWとの接続形態の変形例について説明する。図5は、この接続形態の変形例を示す回路図である。図5では、スイッチ素子LSWであるNMOSTランジスタNMまたは接合FET（JFET）と、L側ゲート駆動回路LGDの出力信号LO1との間に接続する受動素子もしくは能動素子の組み合わせの例を示している。ここでは、L側ゲート駆動回路LGDを例に説明するが、H側ゲート駆動回路HGDの出力信号HO1と、インバータ回路の上側アームのスイッチ素子（HSW）との接続形態もL側ゲート駆動回路LGDと同様である。

【0054】

図5(a)の例では、図4に示した接続形態と同じで、L側ゲート駆動回路LGDの出

50

力信号 $L O 1$ と、インバータ回路の下側アームのスイッチ素子 $L S W$ である $N M O S$ トランジスタ $N M$ のゲート電極 $G s w$ との間に抵抗 R を接続している。この抵抗 R によって、スイッチング時のリングングを抑制することができる。スイッチング時のリングングは、放射ノイズとなり、システム障害の要因となる場合がある。このため、前述の構成を、本発明のゲート駆動回路と組み合わせて利用することで、放射ノイズが少なく、かつ誤点弧が防止できるがゆえに、損失が少ない電力変換回路を提供できる。

【 0 0 5 5 】

次に、図 5 (b) では、抵抗 R と並列にスピードアップコンデンサ $C s p$ を接続している例を示している。スピードアップコンデンサ $C s p$ を追加することで、スイッチ素子 $L S W$ のターンオン、ターンオフ時間を短くできる。すなわち、高速スイッチング動作が可能となり、インバータ回路の高周波化ができる。高周波化ができると、インダクタやコンデンサを小型化できるので、電力変換回路の低コスト化が可能となる。なお、図 2 および図 3 に示したゲート駆動回路と組み合わせて利用することで、低損失かつ低コストな電力変換回路が実現できることは言うまでもない。

【 0 0 5 6 】

また、図 5 (c) は、抵抗 R と並列にダイオード $D i$ を接続した例を示している。この構成にすることで、スイッチ素子 $L S W$ のターンオフ時間を短くできる。したがって、図 5 (c) と本発明のゲート駆動回路を組み合わせて利用することで、前述の図 5 (b) の構成とを組み合わせて利用した場合とほぼ同様な効果が得られる。

【 0 0 5 7 】

また、図 5 (d)、図 5 (e)、図 5 (f) は、それぞれ、図 5 (a)、図 5 (b)、図 5 (c) に示した $N M O S$ トランジスタ $N M$ の $M O S F E T$ に代えて、接合 $F E T$ ($J F E T$) をスイッチ素子 $L S W$ に利用する例を示している。接合 $F E T$ は、絶縁膜を用いない素子であるため、 $M O S F E T$ と比較すると製造コストが低い。このため、図 5 (d) ~ 図 5 (f) のような受動素子による構成と接合 $F E T$ を組み合わせて使うことで、電力変換回路の低コスト化が可能となる。

【 0 0 5 8 】

< 遅延時間生成回路 >

図 6 により、図 1 に示した遅延時間生成回路 $D G$ について説明する。図 6 は、この遅延時間生成回路 $D G$ の構成の一例を示す回路図である。

【 0 0 5 9 】

図 6 に示す遅延時間生成回路 $D G$ は、4 つの反転素子による遅延回路 $I V D$ 、論理積回路 $N A N D$ から構成される。この構成において、入力ノード $I P$ がロウにアサートされると、反転素子による遅延回路 $I V D$ の分の遅延時間後に、2 入力の論理積回路 $N A N D$ とともにロウレベルが入力され、出力ノード $O P$ にハイ信号が出力される。このような遅延時間生成回路 $D G$ を用いて、図 1 に示したゲートドライバ制御回路 $G D C T L$ を構成すれば、図 2 ~ 図 4 に示した L 側ゲート駆動回路 $L G D$ (H 側ゲート駆動回路 $H G D$ も同様) を所望のタイミングで制御できる。すなわち、誤点弧を防止でき、インバータ回路の短絡電流を低減し、損失を低減できる。

【 0 0 6 0 】

< 制御回路と駆動回路の動作 >

図 7 により、図 1 に示した制御回路 (ゲートドライバ制御回路 $G D C T L$) と駆動回路 (L 側ゲート駆動回路 $L G D$ および H 側ゲート駆動回路 $H G D$) の動作について説明する。図 7 は、この制御回路と駆動回路の動作の一例を示す波形図である。図 7 の例では、インバータ回路のスイッチ素子 $L S W$ 、 $H S W$ は $N M O S$ トランジスタ $N M$ 、そのゲート電極 $G s w$ には抵抗 R が直列に接続されている場合を想定した波形を示している。

【 0 0 6 1 】

まず、 L 側入力信号 $L I N$ がロウにアサートされ、下側アームのスイッチ素子 $L S W$ をオフ状態にする場合を説明する。 L 側入力信号 $L I N$ がロウにアサートされると、 L 側ゲート駆動回路 $L G D$ は L 側出力信号 $L O 1$ をロウにアサートする。このため、下側アーム

10

20

30

40

50

のスイッチ素子LSWのゲート電極GswLはロウレベルに駆動される。次に、H側入力信号HINがハイにアサートされると、H側ゲート駆動回路HGDはH側出力信号HO1をハイにアサートする。その結果、上側アームのスイッチ素子HSWのゲート電極GswHもハイにアサートされる。

【0062】

このとき、ゲートドライバ制御回路GDCTLを構成する遅延時間生成回路DGによって、L側ゲート駆動回路LGDの入力信号IN2を、上側アームのスイッチ素子HSWのゲート電極GswHがハイに駆動される前に、ハイにアサートする。この結果、L側ゲート駆動回路LGDはL側出力信号LO2のレベルを負電位に駆動する。したがって、下側アームのスイッチ素子LSWのゲート電位が負電位に駆動されるため、その後、上側アームのスイッチ素子HSWがターンオンした場合においても、下側アームのスイッチ素子LSWのゲート電極GswLの電位がそのしきい値を超えることがない。言い換えれば、誤点弧を防ぐことができ、損失の少ないインバータ回路を実現できる。

10

【0063】

図8は、図7と同様に、図1に示した制御回路と駆動回路の動作の別の一例を示す波形図である。図7との違いは、インバータ回路のスイッチ素子LSW, HSWはNMOSTランジスタNM、そのゲート電極Gswには抵抗RとスピードアップコンデンサCspが並列に接続されている場合を想定した点である。スピードアップコンデンサCspを接続すると、図8に示したように、下側アームのスイッチ素子LSWを図2で示したL側ゲート駆動回路LGDを用いてオフしたときにおいても、その電位が過渡的に負電位に駆動される。その後、図3で示した負電位を生成するL側ゲート駆動回路LGDを活性化すると、下側アームのスイッチ素子LSWのゲート電極GswLの電位はさらに深い負電位まで駆動される。このため、しきい値が低いスイッチ素子を用いた場合でも、誤点弧を容易に防止できる。

20

【0064】

<実施の形態1の効果>

以上説明した本実施の形態1によれば、インバータ回路とそれを構成するスイッチ素子(L側スイッチ素子LSW、H側スイッチ素子HSW)を駆動する駆動回路(L側ゲート駆動回路LGD、H側ゲート駆動回路HGD)およびこの駆動回路を制御する制御回路(ゲートドライバ制御回路GDCTL)において、駆動回路は、スイッチ素子のゲート電極をソース電位に駆動する回路と、スイッチ素子のゲート電極を負電位に駆動する回路とを有し、負電位に駆動する回路の出力ノードとスイッチ素子との間に直列にコンデンサCnが接続され、制御回路により、スイッチ素子がオフ状態からオン状態になる直前のスイッチ素子のゲート電極の電圧をソース電位と同じであるように制御することで、追加回路規模が少なく、所望の負電位を動的に印加できる駆動回路および制御回路を提供することができる。またこれにより、インバータ回路における短絡電流を削減し、損失の少ない電力変換回路を提供することができる。さらには、安価で高性能かつ信頼性の高いパワーデバイスの実現が可能となる。

30

【0065】

[実施の形態2]

本発明の実施の形態2である半導体装置を、図9～図10を用いて説明する。前記実施の形態1で示したゲート駆動回路においては、内蔵ダイオードを有するスイッチ素子を用いた例を示したが、本発明はこれに限定されない。本実施の形態2では、内蔵ダイオードを有さないスイッチ素子を用いた例を説明する。ここでは、L側ゲート駆動回路LGDを例に説明するが、H側ゲート駆動回路HGDについても同様である。

40

【0066】

<ゲート駆動回路>

例えば、前記実施の形態1の図2に対応するL側ゲート駆動回路LGDの一部の構成においては、図9に示すような、内蔵ダイオードを含まないスイッチ素子を用いて本発明のゲート駆動回路を構成することも可能である。

50

【 0 0 6 7 】

図9は、図1に示したL側ゲート駆動回路LGDの一部の構成の別の一例を示す回路図である。図9に示すL側ゲート駆動回路LGDの一部の構成において、図2に示したL側ゲート駆動回路LGDの一部の構成との違いは、スイッチ素子SW5、SW6および高しきい値スイッチ素子SWH4が内蔵ダイオードを有さない点と、高しきい値スイッチ素子SWH4を1つにした点である。例えば、内蔵ダイオードを有さないスイッチ素子には、表面デバイス（ゲート電極、ドレイン電極、ソース電極が基板表面にある素子）を用いるとよい。なお、スイッチ素子SW5の基板電位は電源レベルのVDD、スイッチ素子SW6、SWH4の基板電位はソースレベルCOMが印加されている。

【 0 0 6 8 】

図9に示す実施の形態2では、前記実施の形態1と同様に、出力信号LO1の電位が負電位になった場合には、トライステートイネーブル信号ENTをロウにアサートする。このとき、スイッチ素子SWH4のしきい値が高いため、出力信号LO1が負電位になった場合でも、スイッチ素子SWH4はオフの状態にできる。内蔵ダイオードがないので、スイッチ素子SWH4のチャンネルがオフしていれば、負電位の出力信号LO1とソースレベルCOMが電気的に接続されない。つまり、本実施の形態2のL側ゲート駆動回路LGDによって生成した動的な負電位レベルを打ち消すようなリークパスがないため、誤点弧を防止するために必要な負電位をインバータ回路のスイッチ素子のゲート電極に供給できる。すなわち、損失の少ない電力変換回路が実現できる。また、スイッチ素子SWH4は内蔵ダイオードを素子内部に有さないため、高しきい値のスイッチ素子数を少なくできる。言い換えれば、集積度の高いL側ゲート駆動回路LGD（H側ゲート駆動回路HGDも同様）が実現でき、低コスト化が可能となる。

【 0 0 6 9 】

< ゲート駆動回路の要素断面 >

図10は、図9に示したL側ゲート駆動回路LGDの要素断面の一例を示す断面図（見易くするために断面表記を省略）である。図10中の記号は、P基板Psub、素子分離のための埋め込み酸化膜STI、P型半導体からなるPウェルPW、N型半導体からなるNウェルNW、高濃度N型半導体からなるディープNウェルDeepNW、高濃度P型領域P+、高濃度N型領域N+、ゲート絶縁膜Tox、寄生バイポーラ動作を防止するガードリングGR、ゲート電極Gn、Gp、ドレイン電極Dn、Dp、ソース電極Sn、Spである。

【 0 0 7 0 】

図10において、スイッチ素子SW5のPMOSTランジスタは、P基板Psub上のNウェルNWに形成された、ゲート電極Gp、ドレイン電極Dp、ソース電極Spを有する。このPMOSTランジスタと埋め込み酸化膜STIを挟んで形成されたスイッチ素子SW6、SWH4のNMOSTランジスタは、P基板Psub上のPウェルPWに形成された、ゲート電極Gn、ドレイン電極Dn、ソース電極Snを有する。

【 0 0 7 1 】

図10のような表面デバイスを用いると、シリコンなどの一つの半導体基板であるP基板Psub上にL側ゲート駆動回路LGD（H側ゲート駆動回路HGDも同様）を集積できる。このように集積化できると、L側ゲート駆動回路LGD（H側ゲート駆動回路HGDも同様）の面積が小さくなり、電力変換回路の小型化に寄与できる。すなわち、小型化することで部材費等が低く抑えられ、電力変換回路を安価に提供できる。

【 0 0 7 2 】

なお、図10(a)と図10(b)の違いは、ディープNウェルDeepNWがあるかないかである。図10(b)のようにPウェルPWとP基板Psubとの間に高濃度N型半導体からなるディープNウェルDeepNWがあると、PウェルPWの基板電位をP基板Psubとは独立に制御できる。つまり、スイッチ素子SW6やSWH4の基板電位を制御して、所望のしきい値になるように容易に制御できる利点がある。

【 0 0 7 3 】

< 実施の形態 2 の効果 >

以上説明した本実施の形態 2 によれば、インバータ回路とそれを構成するスイッチ素子（L 側スイッチ素子 L S W、H 側スイッチ素子 H S W）を駆動する駆動回路（L 側ゲート駆動回路 L G D、H 側ゲート駆動回路 H G D）およびこの駆動回路を制御する制御回路（ゲートドライバ制御回路 G D C T L）において、前記実施の形態 1 と同様の効果を得ることができ、さらに前記実施の形態 1 に比べて低コスト化および小型化が可能となる。

【 0 0 7 4 】

< 実施の形態 1 および実施の形態 2 の変形例 >

以上、本発明者によってなされた発明を実施の形態 1 および実施の形態 2 に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、誤点弧を防止し、低損失な電力変換回路を実現する目的を実現するために、以下のようなさまざまな変更が可能である。

【 0 0 7 5 】

（ 1 ）図 1 では、上下アームのゲート駆動回路（H 側ゲート駆動回路 H G D、L 側ゲート駆動回路 L G D）に図 2 および図 3 で示される構成の回路を適用した例を示したが、下アームだけに本発明のゲート駆動回路を適用してもよいし、各種回路ブロックを必要に応じて増減させて利用してもよい。もちろん、遅延時間生成回路 D G も適宜論理回路を変更して組み合わせ回路を構成してもよい。

【 0 0 7 6 】

（ 2 ）図 2 に記載のゲート駆動回路の一部の高しきい値スイッチ素子 S W H は 3 つで構成されているが、必要に応じてスイッチ素子の数を増減してもよい。また、図 2 に示したトリステートイネーブル信号 E N T のハイレベル電位をゲート駆動回路の一部のゲート駆動回路入力信号 I N 1 のハイレベル電位よりも高く設定してもよい。このようにすることで、高しきい値スイッチ素子の駆動電流を大きくすることができ、その駆動時間を短くできる。

【 0 0 7 7 】

（ 3 ）図 3 で示したコンデンサ C n は M O S キャパシタ等を用いてゲート駆動回路に集積してもよいし、汎用のセラミックコンデンサ、電解コンデンサ等を用いて、ゲート駆動回路に直列接続してもよい。このように、必要に応じて集積化する、安価な汎用部品を適宜利用する等してゲート駆動回路を構成すれば、電力変換回路全体の低コスト化が実現できる。

【 0 0 7 8 】

（ 4 ）インバータ回路のスイッチ素子 L S W、H S W である N M O S トランジスタや接合 F E T の材料はシリコンでもよいし、シリコンカーバイド（ S i C ）やガリウムナイトライド（ G a N ）等の化合物デバイスを用いてもよい。化合物材料をインバータ回路のスイッチ素子として用いた場合、本発明のゲート駆動回路と組み合わせて利用することでインバータ回路の損失をさらに低減できることは言うまでもない。

【 産業上の利用可能性 】

【 0 0 7 9 】

本発明の半導体装置の技術は、特に、シリコンの他、シリコンカーバイド（ S i C ）やガリウムナイトライド（ G a N ）等の化合物半導体材料を用いたパワーデバイスと、それを用いたエアコンのインバータ、パソコン等の民生機器の電源やサーバー電源の D C / D C コンバータ、鉄道車両やハイブリッド・電気自動車等のインバータモジュールなどの電力変換回路に利用可能である。

【 符号の説明 】

【 0 0 8 0 】

G D C T L ... ゲートドライバ制御回路

H I N ... H 側入力信号

L I N ... L 側入力信号

10

20

30

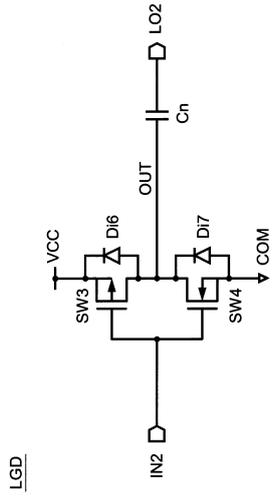
40

50

H R ... H 側抵抗	
L R ... L 側抵抗	
H I V ... H 側インバータ	
L I V ... L 側インバータ	
H L S ... H 側レベル変換回路	
L L S ... L 側レベル変換回路	
P G & D G ... パルス発生回路と遅延時間生成回路	
H U V D F ... H 側電源電圧低下保護回路	
L U V D F ... L 側電源電圧低下保護回路	
I L & D G ... インターロック回路と遅延時間生成回路	10
R S L ... ラッチ回路	
D G A , D G B ... 遅延時間生成回路	
H G D ... H 側ゲート駆動回路	
L G D ... L 側ゲート駆動回路	
R 1 , R 2 ... 抵抗	
N M 1 , N M 2 ... N M O S トランジスタ	
V D D , V C C ... 電源電圧	
V B ... 高電圧側電源レベル	
V S ... 高電圧側ソースレベル	
V C C ... 低電圧側電源レベル	20
C O M ... 低電圧側ソースレベル	
H O 1 , H O 2 ... H 側出力信号	
L O 1 , L O 2 ... L 側出力信号	
I N 1 , I N 2 ... ゲート駆動回路入力信号	
E N T ... トライステートイネーブル信号	
S W 1 , S W 2 , S W 3 , S W 4 ... ゲート駆動回路のスイッチ素子	
S W H 1 , S W H 2 , S W H 3 ... ゲート駆動回路の高しきい値スイッチ素子	
D i 1 , D i 2 , D i 3 , D i 4 , D i 5 , D i 6 , D i 7 ... ダイオード	
C n ... コンデンサ	
O U T ... ゲート駆動回路出力ノード	30
L S W ... 下側アームのスイッチ素子	
H S W ... 上側アームのスイッチ素子	
N M ... N M O S トランジスタ	
G s w ... ゲート電極	
D ... ドレイン	
S ... ソース	
D i ... ダイオード	
R ... 抵抗	
C s p ... スピードアップコンデンサ	
J F E T ... 接合 F E T	40
D G ... 遅延時間生成回路	
I P ... 入力ノード	
I V D ... 反転素子による遅延回路	
N A N D ... 論理積回路	
O P ... 出力ノード	
G s w H , G s w L ... ゲート電極	
S W 5 , S W 6 ... ゲート駆動回路のスイッチ素子	
S W H 4 ... ゲート駆動回路の高しきい値スイッチ素子	
P s u b ... P 基板	
S T I ... 埋め込み酸化膜	50

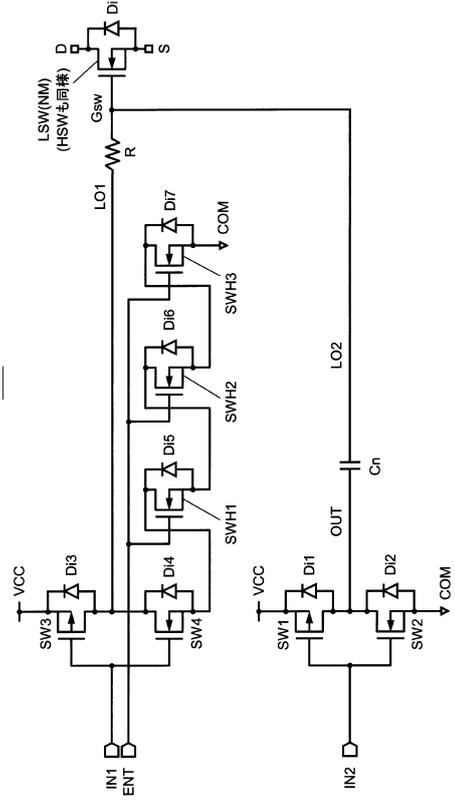
【 図 3 】

図 3



【 図 4 】

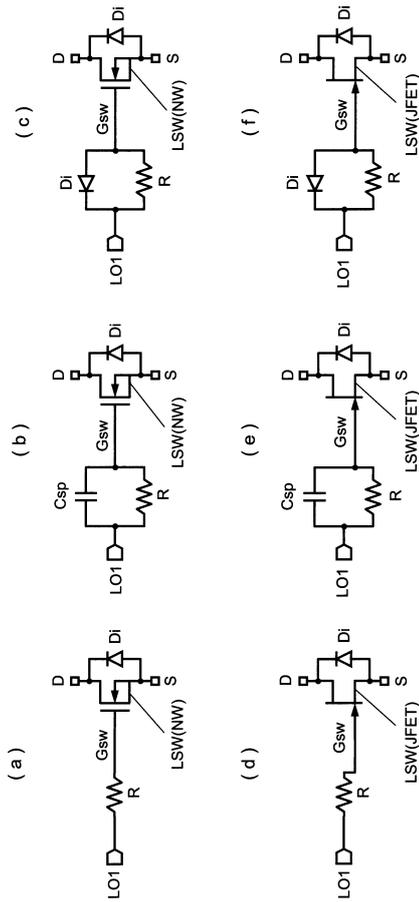
図 4



LGD : 上側ゲート駆動回路
 LSW : 下側アームのスイッチ素子

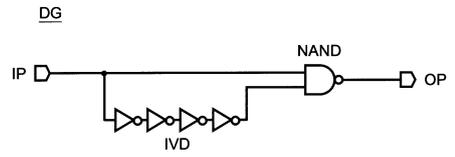
【 図 5 】

図 5

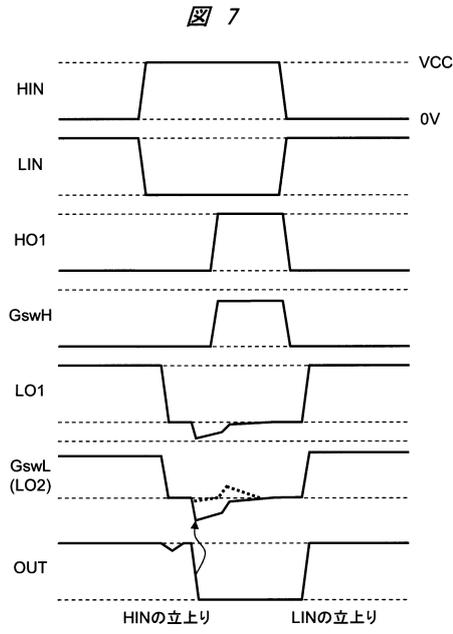


【 図 6 】

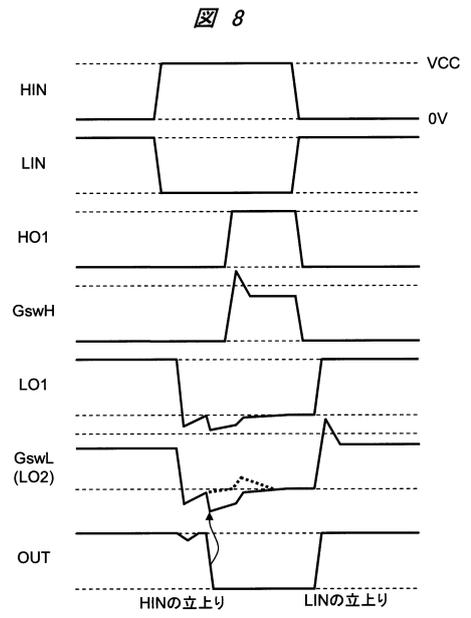
図 6



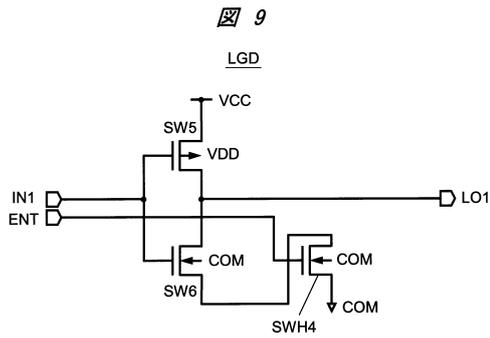
【図7】



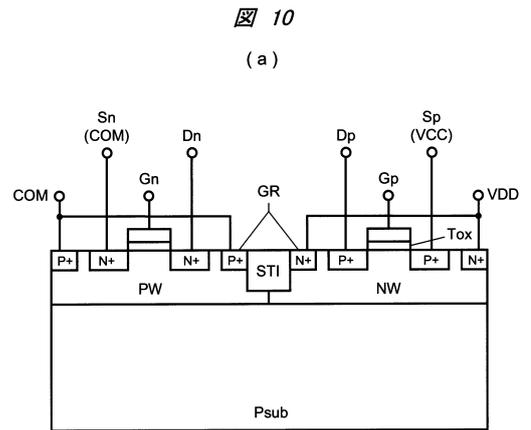
【図8】



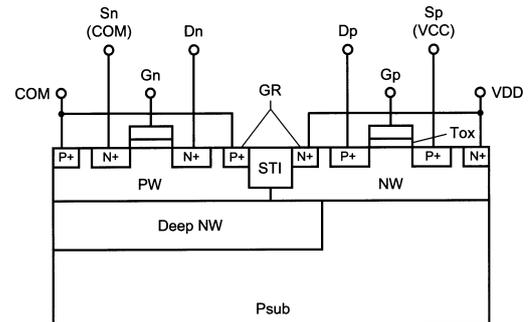
【図9】



【図10】



(b)



フロントページの続き

合議体

審判長 小曳 満昭

審判官 千葉 輝久

審判官 稲葉 和生

(56)参考文献 特開2004-159424(JP,A)

特開2009-219269(JP,A)

特開2010-50256(JP,A)

特開2009-55696(JP,A)

特開平8-162930(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M1/00-1/44