



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월05일  
(11) 등록번호 10-0835825  
(24) 등록일자 2008년05월30일

(51) Int. Cl.

H01L 27/108 (2006.01) H01L 27/04 (2006.01)

(21) 출원번호 10-2006-0131436  
(22) 출원일자 2006년12월20일  
심사청구일자 2006년12월20일

(56) 선행기술조사문헌  
KR19970003914 A\*  
KR20000013978 A\*  
KR20010097542 A  
KR20050009899 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
동부일렉트로닉스 주식회사  
서울 강남구 대치동 891-10

(72) 발명자  
김미영  
서울 마포구 대흥동 22-88번지

(74) 대리인  
허용록

전체 청구항 수 : 총 2 항

심사관 : 이우식

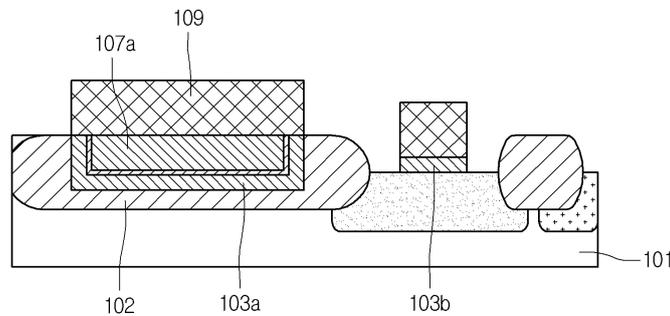
(54) 반도체 소자 및 그 제조 방법

(57) 요약

본 발명에서는 반도체 소자 및 그 제조방법에 관해 개시된다.

본 발명에 따른 반도체 소자의 제조방법은 실리콘 기판의 소정영역에 소자 격리막을 형성하는 단계; 상기 소자 격리막을 선택적으로 제거하여 트렌치를 형성하는 단계; 상기 트렌치를 포함한 실리콘 기판의 전면에 제 1 폴리 실리콘막, 유전체막, 제 2 폴리 실리콘막을 차례로 형성하는 단계; 상기 소자 격리막의 상부 표면을 타겟으로 상기 제 2 폴리 실리콘막, 유전체막, 제 1 폴리 실리콘막을 연마하여 상기 트렌치 내부에 상부전극, 유전체막, 하부전극을 형성하는 단계를 포함하여 형성함을 특징으로 한다.

대표도 - 도3e



**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

커패시터 영역과 트랜지스터 영역이 정의된 실리콘 기판에 소자 격리막을 형성하는 단계;

상기 소자 격리막을 포함하는 상기 실리콘 기판 상에 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 사용하여 상기 소자 격리막에 트렌치를 형성하는 단계;

상기 트렌치를 포함한 실리콘 기판 전면에 제 1 폴리 실리콘막, 유전체막, 제 2 폴리실리콘막을 차례로 형성하는 단계;

상기 소자 격리막의 상부 표면을 타겟으로 CMP 공정을 수행하여 상기 트렌치 내부에 커패시터를 형성하는 단계;

상기 트랜지스터 영역이 노출되도록 포토 레지스트 패턴을 형성하고 상기 제 2 폴리 실리콘막 및 유전체막을 제거하는 단계;

상기 제 1 폴리 실리콘막을 선택적으로 제거하여 게이트 전극을 형성하는 단계; 및

상기 트랜지스터 영역에 소스 및 드레인 불순물 영역을 형성하여 트랜지스터를 형성하는 단계를 포함하는 반도체 소자의 제조방법.

**청구항 7**

커패시터 영역과 트랜지스터 영역이 정의된 실리콘 기판에 소자 격리막을 형성하는 단계;

상기 소자 격리막을 포함하는 상기 실리콘 기판 상에 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 사용하여 상기 소자 격리막에 트렌치를 형성하는 단계;

상기 트렌치를 포함한 실리콘 기판 전면에 제 1 폴리 실리콘막, 유전체막, 제 2 폴리실리콘막을 차례로 형성하는 단계;

상기 소자 격리막의 상부 표면을 타겟으로 CMP 공정을 수행하여 상기 트렌치 내부에 커패시터를 형성하는 단계;

상기 트랜지스터 영역이 노출되도록 포토 레지스트 패턴을 형성하고 상기 제 2 폴리 실리콘막 및 유전체막을 제거하는 단계; 및

상기 제 1 폴리 실리콘막을 선택적으로 제거하여 게이트 전극을 형성하는 단계를 포함하며,

상기 게이트 전극은 상기 소자 격리막보다 높이가 낮은 것을 포함하는 반도체 소자의 제조방법.

**청구항 8**

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <4> 본 발명에서는 반도체 소자 및 그 제조방법에 관해 개시된다.
- <5> 현재 실리콘 반도체 기술은 정보 처리를 주 기능으로 하는 CPU(Central Processing Unit)로 대표되는 로직 기술과 정보 저장을 목적으로 하는 메모리(memory) 기술을 동시에 구현하는 방법이 다양하게 개발되고 있다. 더 나아가 로직 기술과 메모리 기술의 통합 뿐만 아니라, 아날로그, RF 기술 등이 통합되고 있다.
- <6> 이러한 반도체 집적회로(IC)에서는 트랜지스터, 캐패시터, 저항 등의 다양한 소자가 단일 칩 상에 집적되어 있으며, 이들 소자들을 효과적으로 구현하는 방법이 다양하게 개발되어 왔다. 로직 회로(예컨대 CMOS 로직)에서 사용되는 아날로그 캐패시터는 PIP(Polysilicon/Insulator/Polysilicon)와 MIM(Metal/Insulator/Metal) 형태가 주로 사용된다.
- <7> 이 중에서도 PIP 캐패시터는 아날로그 소자의 노이즈 방지, 주파수 변조 등에 널리 이용되는 소자이며 하부 전극(bottom electrode)과 상부 전극(top electrode)이 로직 트랜지스터의 게이트 전극 물질과 동일한 폴리실리콘으로 제조되기 때문에 별도의 공정없이 게이트 전극 제조 공정시 PIP 캐패시터의 전극을 함께 제조하는 특징을 갖는다.
- <8> 도 1은 종래 기술에 따른 PIP 캐패시터 및 로직 회로를 갖는 반도체 소자를 나타내는 단면도이다. 도면에서 'A' 영역은 저항 영역을 나타내며, 'B' 영역은 캐패시터 영역을 나타내며, 'C' 영역은 로직 트랜지스터 영역을 나타낸다.
- <9> 도 1에 도시한 바와 같이, 실리콘 기판(1)에는 활성영역을 정의하는 소자 격리막(3)이 형성되어 있다.
- <10> 그리고 상기 실리콘 기판(1) 상의 'A' 영역에는 저항(7)이 형성되어 있으며, 'B' 영역에는 하부전극(9), 유전체막(13), 상부전극(15)으로 구성된 PIP 캐패시터가 형성되어 있으며, 'C' 영역에는 게이트 절연막(5)을 개재한 게이트 전극(11)과 게이트 전극(11)에 인접한 활성영역에 형성된 소오스 및 드레인 영역(10)으로 구성된 MOS 트랜지스터가 형성되어 있다.
- <11> 그리고 상기 실리콘 기판(1)에 형성된 저항, PIP 캐패시터 및 트랜지스터의 상부에는 제 1 층간 절연막(17) 및 제 2 층간 절연막(19)이 덮여지며 이들 층간 절연막(17, 19)을 관통하여 실리콘 기판(1)에 형성된 소자와 연결되는 콘택 플러그(21, 23, 25)들과, 상기 콘택 플러그(21, 23, 25)들을 연결하는 금속배선(27)들이 형성되어 있다.
- <12> 상술한 구조의 반도체 소자에서 PIP 캐패시터는 하부전극과 상부전극 사이에 개재된 유전체막의 면적에 의하여 캐패시터의 용량이 결정된다.
- <13> 도 2a 내지 도 2e는 종래기술에 따른 반도체 소자의 PIP 캐패시터 형성방법을 나타낸 공정 단면도이다.
- <14> 도 2a에 도시한 바와 같이, 실리콘 기판(31)의 소정영역에 활성영역의 정의하는 소자 격리막(32)을 형성한다.
- <15> 여기서, 상기 소자 격리막(32)은 상부에 PIP 캐패시터가 형성되어야 하므로 충분히 너비가 넓어야 한다.
- <16> 이어서, 상기 소자 격리막(32)을 포함한 실리콘 기판(31)의 전면에 하부전극용 제 1 폴리 실리콘막(33)을 형성한다.
- <17> 도 2b에 도시한 바와 같이, 상기 제 1 폴리 실리콘막(33)상에 캐패시터의 유전체로서 보통 산화막/질화막/산화막의 구조를 갖는 ONO막(34)을 형성한다.
- <18> 도 2c에 도시한 바와 같이, 상기 ONN막(34)을 포함한 실리콘 기판(31)의 전면에 상부전극용 제 2 폴리 실리콘막(35)을 형성한다.
- <19> 도 2d에 도시한 바와 같이, 포토 및 식각 공정을 통해 상기 제 2 폴리 실리콘막(35)과 ONO막(34)을 선택적으로 제거하여 상부전극(35a)을 형성한다.
- <20> 도 2e에 도시한 바와 같이, 포토 및 식각 공정을 통해 상기 상부전극(35a)과 대응되고 상기 상부전극(35a)보다

넓은 폭을 갖도록 상기 제 1 폴리 실리콘막(33)을 선택적으로 제거하여 하부전극(33a)을 형성한다.

- <21> 이때 상기 제 1 폴리 실리콘막(33)을 선택적으로 식각할 때 상기 실리콘 기판(31)의 활성영역에는 게이트 전극(33b)이 형성된다.
- <22> 그러나 상기와 같은 종래 기술에 의한 반도체 소자의 PIP 캐패시터 형성방법은 다음과 같은 문제점이 있었다.
- <23> 즉, 제 1, 제 2 폴리 실리콘막 및 ONO막의 증착과, 상부전극 및 하부전극을 각각 형성하기 위한 포토 및 식각 공정 등을 실시하고 있다.
- <24> 상기 증착 공정은 특성상 모든 영역의 두께가 균일하지 않다. 또한, 상부전극을 형성하기 위해 식각할 때 증착된 층의 불균일한 두께로 인해서 트랜지스터(transistor)형성 부분에서는 정 타겟(target)으로 식각이 되지만 PIP 캐패시터 영역에서는 잔류 폴리 실리콘이 남게 되어 소자의 신뢰성에 영향을 미친다.
- <25> 상기 잔류물을 제거하기 위해서는 오버 식각(over-etching)을 하게 되는데, 이때에 오버 식각 전에는 정 타겟팅되었던 트랜지스터 형성 영역은 오버 식각으로 인해 타겟으로 했던 폴리 실리콘 두께보다 더 작아지게 된다.
- <26> 이와 같은 상부전극을 형성하기 위한 제 2 폴리 실리콘막과 ONO막의 식각으로 인한 영역별 폴리 실리콘 두께 차이는 후속 공정인 제 1 폴리 실리콘막의 식각 공정에도 영향을 준다.
- <27> 상기 제 1 폴리 실리콘막도 부분별로 식각비(etch rate)의 차이를 보이기 때문에 제 2 폴리 실리콘막을 식각할 때에 발생되었던 문제가 반복해서 나타난다.
- <28> 따라서 2번의 식각 공정으로 인해서 일부 영역에서는 제 1 폴리 실리콘막의 두께는 타겟보다 훨씬 작게 된다.
- <29> 한편, 상기 제 1 폴리 실리콘막은 PIP 캐패시터에도 사용되지만 다른 영역에서는 CMOS 트랜지스터의 게이트 전극으로 사용된다. 즉, PIP 캐패시터 형성을 위해 2번의 식각을 행함으로 인해서 게이트 전극의 두께가 손실되기 때문에 소자의 특성을 변형시켜 소자의 신뢰성을 떨어뜨린다.

**발명이 이루고자 하는 기술적 과제**

- <30> 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로서 폴리 실리콘의 두께 차이를 감소시켜 소자의 신뢰성을 향상시키도록 한 반도체 소자의 캐패시터 형성방법을 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

- <31> 본 발명에 따른 반도체 소자의 제조방법은 실리콘 기판의 소정영역에 소자 격리막을 형성하는 단계; 상기 소자 격리막을 선택적으로 제거하여 트렌치를 형성하는 단계; 상기 트렌치를 포함한 실리콘 기판의 전면에 제 1 폴리 실리콘막, 유전체막, 제 2 폴리 실리콘막을 차례로 형성하는 단계; 상기 소자 격리막의 상부 표면을 타겟으로 상기 제 2 폴리 실리콘막, 유전체막, 제 1 폴리 실리콘막을 연마하여 상기 트렌치 내부에 상부전극, 유전체막, 하부전극을 형성하는 단계를 포함하여 형성함을 특징으로 한다.
- <32> 본 발명에 따른 반도체 소자는 실리콘 기판의 소정영역에 형성된 소자 격리막; 상기 소자 격리막에 형성된 트렌치; 및 상기 트렌치에 차례로 형성된 제 1 폴리 실리콘막, 유전체막, 제 2 폴리 실리콘막이 포함되어 구성되는 것을 특징으로 한다.
- <33> 본 발명에 따른 반도체 소자의 제조방법은 캐패시터 영역과 트랜지스터 영역이 정의된 실리콘 기판에 소자 격리막을 형성하는 단계; 상기 소자 격리막에 트렌치를 형성하는 단계; 상기 트렌치를 포함한 실리콘 기판 전면에 제 1 폴리 실리콘막, 유전체막, 제 2 폴리 실리콘막을 차례로 형성하는 단계; 상기 소자 격리막의 상부 표면을 타겟으로 CMP 공정을 수행하여 상기 트렌치 내부에 캐패시터를 형성하는 단계; 상기 트랜지스터 영역이 노출되도록 포토 레지스트 패턴을 형성하고 상기 제 2 폴리 실리콘막 및 유전체막을 제거하는 단계; 및 상기 제 1 폴리 실리콘막을 선택적으로 제거하여 게이트 전극을 형성하는 단계가 포함되어 구성되는 것을 특징으로 한다.
- <34> 이하, 첨부된 도면을 참고하여 본 발명에 의한 반도체 소자의 캐패시터 형성방법을 보다 상세히 설명하면 다음과 같다.
- <35> 도 3a 내지 도 3e는 발명에 의한 반도체 소자의 PIP 캐패시터 형성방법을 나타낸 공정 단면도이다.
- <36> 먼저, 도 3a에 도시한 바와 같이, 트랜지스터 영역과 캐패시터 영역으로 구분된 실리콘 기판(101)상의 소정영역에 소자간의 절연을 위한 소자 격리막(102)을 형성한다.

- <37> 여기서, 상기 소자 격리막(102)은 상부에 PIP 캐패시터가 형성되어야 하므로 충분히 너비가 넓어야 하고, 깊이 또한 다음 공정에 의해 식각되므로 소자간의 절연을 위해 식각되어질 깊이를 감안하여 깊게 형성하는 것이 바람직하다.
- <38> 이어, 상기 소자 격리막(102)을 포함한 실리콘 기판(101)의 전면에 제 1 포토레지스트(103)를 도포한 후, 노광 및 현상 공정을 통해 상기 제 1 포토레지스트(103)를 선택적으로 패터닝하여 캐패시터 형성 영역을 정의한다.
- <39> 그리고 상기 패터닝된 제 1 포토레지스트(103)를 마스크로 이용하여 상기 소자 격리막(102)의 일부를 선택적으로 제거하여 표면으로부터 소정깊이를 갖는 트렌치(104)를 형성한다.
- <40> 여기서, 상기 트렌치(104)의 깊이는 이후에 형성되는 캐패시터의 상부 전극 및 하부 전극의 높이를 결정하는 가장 큰 인자이다. 즉, 캐패시터의 상부 전극의 높이가 같도록 트렌치(104)의 식각 깊이를 결정한다.
- <41> 도 3b에 도시한 바와 같이, 상기 제 1 포토레지스트(103)를 제거하고, 상기 트렌치(104)를 포함한 실리콘 기판(101)의 전면에 하부전극용 제 1 폴리 실리콘막(105)을 형성한다.
- <42> 여기서, 상기 실리콘 기판(101)의 트랜지스터 영역에는 게이트 절연막(도시되지 않음)이 형성되어 있고 그 위에 제 1 폴리 실리콘막(105)이 형성된다.
- <43> 이어서, 상기 제 1 폴리 실리콘막(105)상에 캐패시터 유전체막으로 산화막/질화막/산화막으로 적층된 ONO막(106)을 형성한다.
- <44> 여기서, 상기 유전체막으로 ONO막(106)을 설명하고 있지만, 필요에 따라서는 전이원소와 희토류원소의 산화물 및 BaTiO<sub>3</sub>, PbTiO<sub>3</sub> 및 SrTiO<sub>3</sub> 등과 같은 강유전체 그룹을 사용할 수도 있다.
- <45> 그리고 상기 ONO막(106)상에 상부전극용 제 2 폴리 실리콘막(107)을 형성한다.
- <46> 도 3c에 도시한 바와 같이, 상기 소자 격리막(102)의 상부 표면을 타겟으로 전면에 CMP 공정으로 상기 제 2 폴리 실리콘막(107), ONO막(106), 제 1 폴리 실리콘막(105)을 선택적으로 연마하여 상기 트렌치(104)의 내부에 상부전극(107a), ONO막(106), 하부전극(105a)으로 이루어진 PIP 캐패시터를 형성한다.
- <47> 도 3d에 도시한 바와 같이, 상기 실리콘 기판(101)의 전면에 제 2 포토레지스트(108)를 도포한 후, 노광 및 현상 공정을 통해 패터닝하여 트랜지스터 영역을 개구한다.
- <48> 이어서, 상기 패터닝된 제 2 포토레지스트(108)를 마스크로 이용하여 상기 노출된 제 2 폴리 실리콘막(107) 및 ONO막(106)을 제거한다.
- <49> 도 3e에 도시한 바와 같이, 상기 제 2 포토레지스트(108)를 제거하고, 상기 실리콘 기판(101)의 전면에 제 3 포토레지스트(109)를 도포한 후 노광 및 현상 공정으로 상기 제 3 포토레지스트(109)를 패터닝하여 게이트 영역을 정의한다.
- <50> 이어서, 상기 패터닝된 제 3 포토레지스트(109)를 마스크로 이용하여 상기 제 1 폴리 실리콘막(105)을 선택적으로 제거하여 게이트 전극(103b)을 형성한다.
- <51> 이후 공정은 도면에 도시하지 않았지만, 상기 트랜지스터 영역에 소오스/드레인 불순물 영역을 형성하고, 각종 배선 공정을 실시하여 트랜지스터를 형성한다.
- <52> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
- <53> 따라서 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정하는 것이 아니라 특허 청구 범위에 의해서 정해져야 한다.

**발명의 효과**

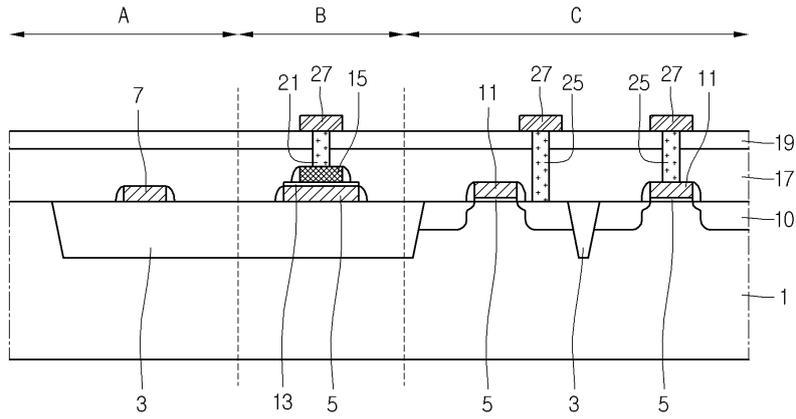
- <54> 이상의 설명에서와 같이 본 발명에 따른 반도체 소자의 캐패시터 형성방법은 다음과 같은 효과가 있다.
- <55> 즉, 소자 격리막에 소정깊이를 갖는 트렌치를 형성한 후 제 1 폴리 실리콘막, 유전체막, 제 2 폴리 실리콘막을 차례로 증착하고 전면에 CMP 공정을 실시하여 상기 트렌치 내부에 PIP 캐패시터를 형성함으로써 국부적인 폴리 실리콘의 두께 차이를 줄여 소자의 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

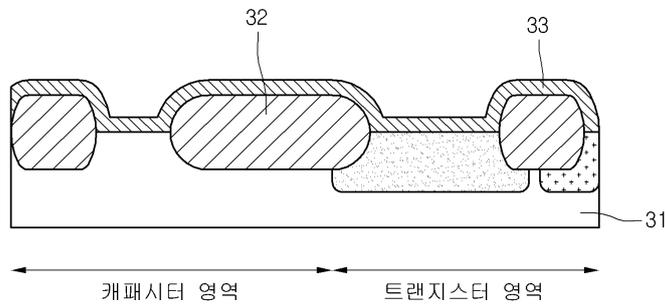
- <1> 도 1은 종래 기술에 따른 PIP 캐패시터 및 로직 회로를 갖는 반도체 소자를 나타내는 단면도
- <2> 도 2a 내지 도 2e는 종래 기술에 의한 반도체 소자의 캐패시터 형성방법을 나타낸 공정 단면도
- <3> 도 3a 내지 도 3e는 본 발명에 의한 반도체 소자의 캐패시터 형성방법을 나타낸 공정 단면도

**도면**

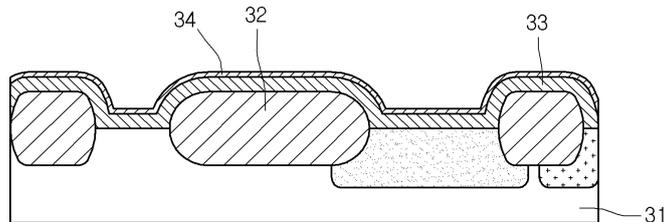
**도면1**



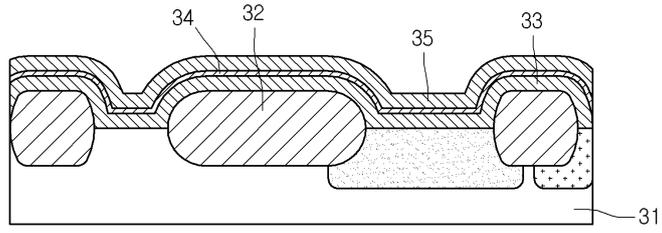
**도면2a**



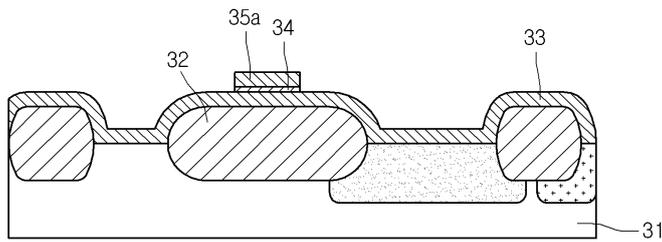
**도면2b**



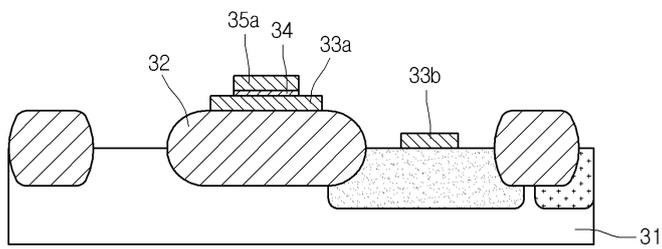
도면2c



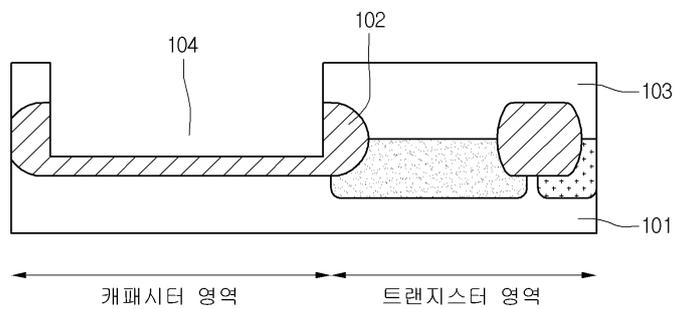
도면2d



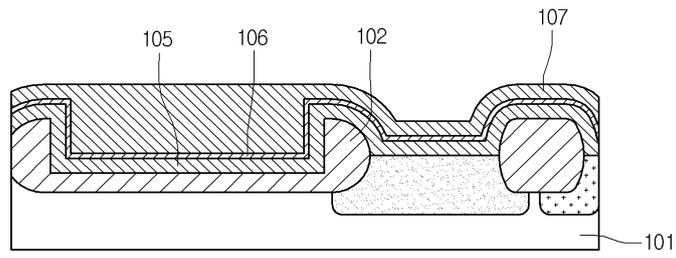
도면2e



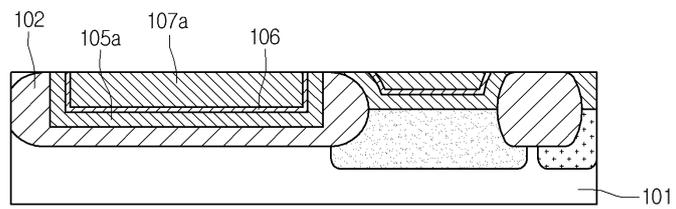
도면3a



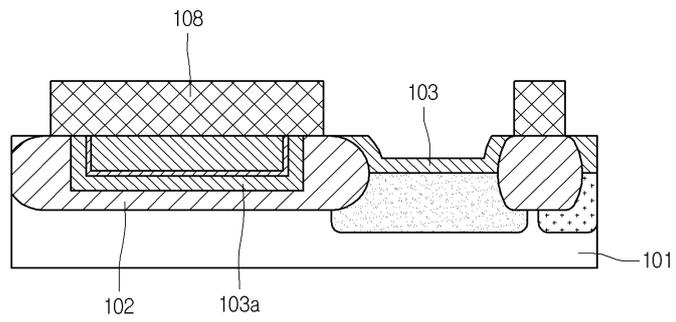
도면3b



도면3c



도면3d



도면3e

