

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年10月3日(03.10.2024)

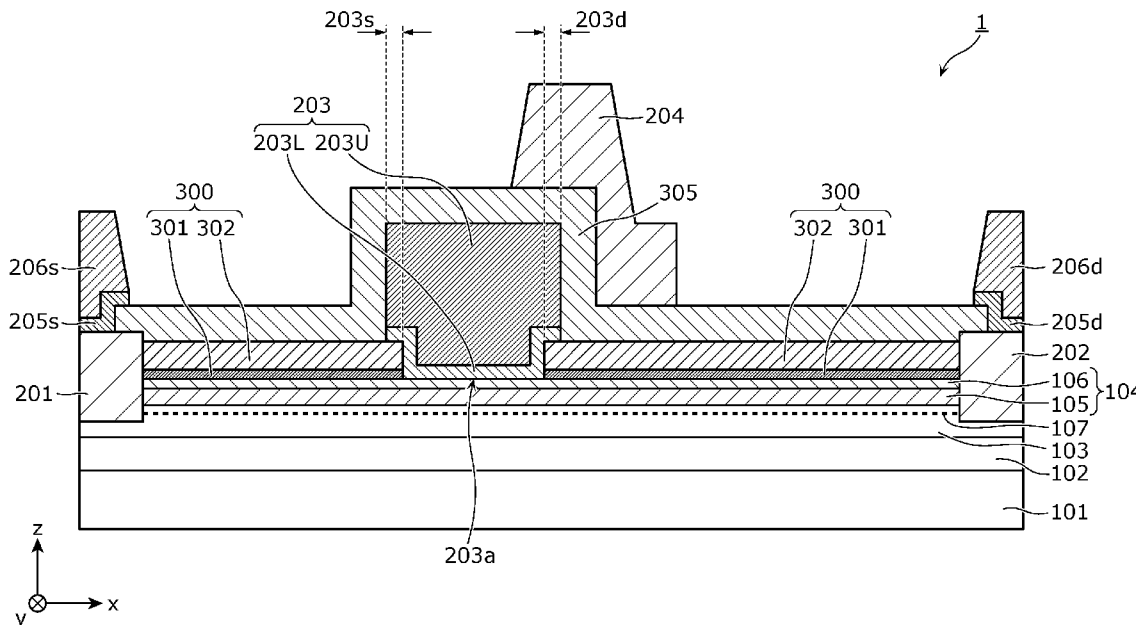


(10) 国際公開番号  
**WO 2024/204055 A1**

- (51) 国際特許分類:  
*H01L 29/778* (2006.01) *H01L 21/318* (2006.01)
- (21) 国際出願番号: PCT/JP2024/011682
- (22) 国際出願日: 2024年3月25日(25.03.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
63/493,199 2023年3月30日(30.03.2023) US
- (71) 出願人: ヌヴォトンテクノロジー  
ジャパン株式会社 (NUVOTON TECHNOLOGY  
CORPORATION JAPAN) [JP/JP]; 〒6178520 京  
都府長岡京市神足焼町1番地 Kyoto (JP).
- (72) 発明者: 川島 克彦 (KAWASHIMA, Katsuhiko).  
神田 裕介 (KANDA, Yusuke). 古林 達  
也 (KOBAYASHI, Tatsuya). 八木 達也  
(YAGI, Tatsuya).
- (74) 代理人: 新居 広守, 外 (NII, Hiromori et al.);  
〒5320011 大阪府大阪市淀川区西中島5丁  
目3番10号イトーピア新大阪ビル6階新  
居国際特許事務所内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,  
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,  
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,  
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: This semiconductor device (1) is provided with a substrate (101), a channel layer (103), a nitride semiconductor layer (104) that includes a barrier layer (105), a source electrode (201), a drain electrode (202), a gate electrode (203), and an insulating layer (300). The gate electrode (203) comprises a junction part (203a) and a drain-side overhang part (203d). The insulating layer (300) comprises an In-situ Si<sub>3</sub>N<sub>4</sub> film (301) and an Ex-situ Si<sub>3</sub>N<sub>4</sub> film (302). This semiconductor device satisfies at least one of (a) the halogen concentration of the In-situ Si<sub>3</sub>N<sub>4</sub> film (301) is lower than the halogen concentration of the Ex-situ Si<sub>3</sub>N<sub>4</sub> film (302), and (b)

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,  
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,  
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

the interfacial oxygen concentration between the In-situ  $\text{Si}_3\text{N}_4$  film (301) and the nitride semiconductor layer (104) is lower than the interfacial oxygen concentration between the Ex-situ  $\text{Si}_3\text{N}_4$  film (302) and the In-situ  $\text{Si}_3\text{N}_4$  film (301).

(57) 要約：半導体装置 (1) は、基板 (101) と、チャネル層 (103) と、バリア層 (105) を含む窒化物半導体層 (104) と、ソース電極 (201)、ドレイン電極 (202) 及びゲート電極 (203) と、絶縁層 (300) と、を備える。ゲート電極 (203) は、接合部 (203a) と、ドレイン側張り出し部 (203d) と、を含む。絶縁層 (300) は、In-situ  $\text{Si}_3\text{N}_4$  膜 (301) と、Ex-situ  $\text{Si}_3\text{N}_4$  膜 (302) と、を含む。(a) In-situ  $\text{Si}_3\text{N}_4$  膜 (301) のハロゲン濃度が Ex-situ  $\text{Si}_3\text{N}_4$  膜 (302) のハロゲン濃度より低いこと、及び、(b) In-situ  $\text{Si}_3\text{N}_4$  膜 (301) と窒化物半導体層 (104) との界面酸素濃度が Ex-situ  $\text{Si}_3\text{N}_4$  膜 (302) と In-situ  $\text{Si}_3\text{N}_4$  膜 (301) との界面酸素濃度より低いこと、の少なくとも一方を満たす。

## 明 細 書

発明の名称：半導体装置及びその製造方法

### 技術分野

[0001] 本開示は、半導体装置及びその製造方法に関する。

### 背景技術

[0002] 近年、高周波無線通信用の電力増幅器に用いられる GaN HEMT (High Electron Mobility Transistor) の開発が進められている。GaN HEMTは、次の主な3つの物性面での特徴をもつ。

[0003] 具体的には、二次元電子ガス（以下、2DEG (Two Dimensional Electron Gas) と記載する) の高い移動度を利用した電子キャリア輸送機構、半導体の広いバンドギャップ物性による高耐圧性、及び、高い piezo 効果による高い電流駆動性である。これらの特徴により、GaN HEMTは、高速性と高出力特性との両方を満足する応用にとって最適なデバイスであり、高周波無線基地局、高速充電などへの応用が進められている。

[0004] GaN HEMTは、上記のように、piezo 効果により、高い飽和電流を得られるのが特徴である。その性能を最大限に発揮するためには、GaN エピタキシャル基板上に、piezo 応力の強いシリコン窒化膜 ( $\text{Si}_3\text{N}_4$  膜) を保護膜として形成することが効果的となる。一般に、膜質が緻密な  $\text{Si}_3\text{N}_4$  膜は、piezo 応力が強いという傾向をもっている。ただし、エピタキシャル基板の保護膜となる  $\text{Si}_3\text{N}_4$  膜においては、GaN HEMT で特徴的な不純物準位による電流コラプス現象が発生するため、 $\text{Si}_3\text{N}_4$  膜はエピタキシャル面との界面の不純物準位の少ない  $\text{Si}_3\text{N}_4$  膜であることも求められる。

[0005] ここで、電流コラプス現象について簡単に説明する。まず、エピタキシャル成長された半導体表面と  $\text{Si}_3\text{N}_4$  膜との界面にできる不純物準位に、高電圧動作で発生するホットな電子キャリアが捕獲され、負帯電するのが、現象

の始まりである。次に、2DEGを走行する電子にとっては、走行するチャンネルに近接した場所に、この負の固定電荷が見えるため、この固定電荷が走行電子にとっての散乱要因となる。そのため、飽和速度が劣化し、オン抵抗特性が劣化するという現象が電流コラプス現象である。

[0006] 緻密で界面準位の少ない条件を満たす $\text{Si}_3\text{N}_4$ 膜として、エピタキシャル基板の成長炉の中で連続して成長した $\text{Si}_3\text{N}_4$ 膜を用いる方法がある。一般的に、この $\text{Si}_3\text{N}_4$ 膜は、*In-situ*  $\text{Si}_3\text{N}_4$ 膜と呼ばれる。 $\text{GaN}$ エピ層上には、プロセス工程で表面のN欠損を補うために $\text{Si}_3\text{N}_4$ 膜が積層される。*In-situ*  $\text{Si}_3\text{N}_4$ 膜の場合は、エピ成長中に $\text{Si}_3\text{N}_4$ がエピ成長されることによって、空気中にエピ表面が暴露されないため、N欠損が少ない。そのため、*In-situ*  $\text{Si}_3\text{N}_4$ 膜は、通常の $\text{Si}_3\text{N}_4$ 膜に比べて、N欠損起因の不純物準位が少ない特徴があるため、表面トラップが低減できる。*In-situ*  $\text{Si}_3\text{N}_4$ 膜を $\text{GaN}$  HEMTに応用する技術は、非特許文献1及び2に開示されている。

## 先行技術文献

### 非特許文献

[0007] 非特許文献1: J. Derluyn et al., “Low Leakage High Breakdown E-Mode DHFET on Si by Selective Removal of In-Situ Grown  $\text{Si}_3\text{N}_4$ ”, IEEE, 2009, IEDM09, pp. 157-160

非特許文献2: F. Medjdoub et al., “Low On-Resistance High-Breakdown Normally Off AlN/GaN/AlGaN DHFET on Si Substrate”, IEEE Electron Device Letters, Feb. 2010, Vol. 31, No. 2, pp. 111-113

## 発明の概要

### 発明が解決しようとする課題

[0008] しかしながら、*In-situ*  $\text{Si}_3\text{N}_4$ 膜を設けた場合、高い飽和電流、良好なコラプス特性が得られるというメリットもある一方で、相反効果として、以下のデメリットがある。具体的には、*In-situ*  $\text{Si}_3\text{N}_4$ 膜

の強いピエゾ応力によりウェハが反るという機械的な課題がある。

[0009] そこで、本開示は、高い駆動電流特性と低ウェハ反り特性とを有する半導体装置及びその製造方法を提供することを目的とする。

### 課題を解決するための手段

[0010] 本開示の一態様に係る半導体装置は、基板と、前記基板の上方に設けられた、Ga元素を含む窒化物半導体からなるチャンネル層と、前記チャンネル層よりもバンドギャップが大きいバリア層であって、Ga元素を含むバリア層を含む、前記チャンネル層の上方に設けられた窒化物半導体層と、前記基板の上方で、互いに間隔を空けて設けられたソース電極及びドレイン電極と、前記バリア層の上方で、前記ソース電極と前記ドレイン電極との間に各々に対して間隔を空けて設けられたゲート電極と、前記ゲート電極と前記ドレイン電極との間で、前記窒化物半導体層の上方に設けられた絶縁層と、を備え、前記ゲート電極は、前記窒化物半導体層とショットキー接合した接合部と、前記接合部よりも前記ドレイン電極側に張り出した第1張り出し部と、を含み、前記絶縁層は、前記第1張り出し部と前記窒化物半導体層との間に位置し、前記窒化物半導体層を接触して覆うシリコン窒化物からなる第1絶縁膜と、前記第1張り出し部と前記第1絶縁膜との間に位置するシリコン窒化物からなる第2絶縁膜と、を含み、(a)前記第1絶縁膜のハロゲン濃度が前記第2絶縁膜のハロゲン濃度より低いこと、及び、(b)前記第1絶縁膜と前記窒化物半導体層との界面酸素濃度が前記第2絶縁膜と前記第1絶縁膜との界面酸素濃度より低いこと、の少なくとも一方を満たす。

[0011] 本開示の一態様に係る半導体装置の製造方法は、エピタキシャル成長法によって、基板の上方に、Ga元素を含む窒化物半導体からなるチャンネル層と、前記チャンネル層よりもバンドギャップが大きいバリア層であって、Ga元素を含むバリア層を含む窒化物半導体層と、を順に形成する第1工程と、前記窒化物半導体層を覆うように絶縁層を形成する第2工程と、前記絶縁層の一部を除去することにより、前記窒化物半導体層の一部を露出させる第3工程と、前記基板の上方で、互いに間隔を空けてソース電極及びドレイン電極

を形成する第4工程と、前記窒化物半導体層の露出した部分に接触し、かつ、前記絶縁層のうち、前記露出した部分よりも前記ドレイン電極側に位置する部分を覆うように、前記ソース電極と前記ドレイン電極との間に各々に対して間隔を空けてゲート電極を形成する第5工程と、を含み、前記第2工程は、前記第1工程の後、大気暴露することなく、前記窒化物半導体層を接触して覆うシリコン窒化物からなる第1絶縁膜を形成する工程と、前記第1絶縁膜を形成した後、大気暴露を経て、前記第1絶縁膜の上方にシリコン窒化物からなる第2絶縁膜を形成する工程と、を含む。

### 発明の効果

[0012] 本開示によれば、高い駆動電流特性と低ウェハ反り特性とを有する半導体装置及びその製造方法を提供することができる。

### 図面の簡単な説明

[0013] [図1]図1は、実施の形態1に係る半導体装置の断面図である。

[図2]図2は、 $\text{Si}_3\text{N}_4$ 膜の膜厚と2DEGのキャリア濃度との関係を示す図である。

[図3]図3は、 $\text{Si}_3\text{N}_4$ 膜の膜厚とウェハの反りとの関係を示す図である。

[図4]図4は、実施の形態2に係る半導体装置の断面図である。

[図5]図5は、実施の形態3に係る半導体装置の断面図である。

[図6]図6は、実施の形態4に係る半導体装置の断面図である。

[図7]図7は、*In-situ*  $\text{Si}_3\text{N}_4$ 膜の膜厚及びバリア層の膜厚の組み合わせに対する半導体装置の電流特性を示す図である。

[図8]図8は、図7に示す電流特性の補足説明のための半導体装置の断面図である。

[図9A]図9Aは、実施の形態3に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図9B]図9Bは、実施の形態3に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図9C]図9Cは、実施の形態3に係る半導体装置の製造方法の一工程を説明

するための断面図である。

[図9D]図9Dは、実施の形態3に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図9E]図9Eは、実施の形態3に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図9F]図9Fは、実施の形態3に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図9G]図9Gは、実施の形態3に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図9H]図9Hは、実施の形態3に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図9I]図9Iは、実施の形態3に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図9J]図9Jは、実施の形態3に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図9K]図9Kは、実施の形態3に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図10A]図10Aは、実施の形態4に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図10B]図10Bは、実施の形態4に係る半導体装置の製造方法の一工程を説明するための断面図である。

[図10C]図10Cは、実施の形態4に係る半導体装置の製造方法の一工程を説明するための断面図である。

### 発明を実施するための形態

[0014] (本開示の概要)

以下では、実施の形態について、図面を参照しながら具体的に説明する。

[0015] なお、以下で説明する実施の形態は、いずれも包括的又は具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、

構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

- [0016] また、各図は、模式図であり、必ずしも厳密に図示されたものではない。したがって、例えば、各図において縮尺などは必ずしも一致しない。また、各図において、実質的に同一の構成については同一の符号を付しており、重複する説明は省略又は簡略化する。
- [0017] また、本明細書において、平行又は垂直などの要素間の関係性を示す用語、矩形などの要素の形状を示す用語、及び、数値範囲は、厳格な意味のみを表す表現ではなく、実質的に同等な範囲、例えば数%程度の差異をも含むことを意味する表現である。
- [0018] また、本明細書において、「上方」及び「下方」という用語は、絶対的な空間認識における上方向（鉛直上方）及び下方向（鉛直下方）を指すものではなく、積層構成における積層順を基に相対的な位置関係により規定される用語として用いる。また、「上方」及び「下方」という用語は、2つの構成要素が互いに間隔を空けて配置されて2つの構成要素の間に別の構成要素が存在する場合のみならず、2つの構成要素が互いに密着して配置されて2つの構成要素が接する場合にも適用される。
- [0019] また、本明細書及び図面において、x軸、y軸及びz軸は、三次元直交座標系の三軸を示している。具体的には、半導体装置が有する基板が含む主面（上面）に平行な二軸をx軸及びy軸とし、この主面に直交する方向をz軸方向としている。具体的には、ソース電極、ゲート電極及びドレイン電極がこの順で並ぶ方向、すなわち、いわゆるゲート長方向をx軸方向としている。以下で説明する実施の形態において、z軸正方向を「上方」と記載し、z軸負方向を「下方」と記載する場合がある。また、本明細書において、特に断りの無い限り、ソース電極側又はソース側とはいずれも、x軸の負側（負方向）を意味し、ドレイン電極側又はドレイン側とはいずれも、x軸の正側



(正方向)を意味する。また、本明細書において「平面視」とは、特に断りのない限り、半導体装置が有する基板の主面(上面)をz軸正方向から見たときのことをいう。

[0020] また、本明細書において、III族窒化物半導体とは、1種類以上のIII族元素と窒素とを含む半導体である。III族元素は、例えば、アルミニウム(AI)、ガリウム(Ga)、インジウム(In)などである。III族窒化物半導体の例としては、GaN、AlN、InN、AlGa<sub>n</sub>N、InGa<sub>n</sub>N、AlInGa<sub>n</sub>Nなどである。III族窒化物半導体には、シリコン(Si)、リン(P)などのIII族以外の元素が1種類以上含まれていてもよい。なお、以下の説明において、特に断り無くAlInGa<sub>n</sub>Nと表記した場合には、III族窒化物半導体は、AI、In、Ga及びNのいずれも含んでいることを意味する。AlGa<sub>n</sub>N、GaN等の他の表記についても同様である。

[0021] また、GaN若しくはAlGa<sub>n</sub>N等のIII族窒化物半導体、シリコン窒化物又はシリコン酸化物などの材料Aからなる層、及び、材料Aによって構成される層とは、当該層が実質的に材料Aのみを含んでいることを意味する。ただし、当該層には、例えば製造上混入を避けられない元素など他の元素が不純物として、1at%以下の割合で含まれていてもよい。

[0022] また、本明細書において、窒化物半導体(層)のIII族元素の組成比(組成率)とは、窒化物半導体に含まれる複数のIII族元素のうちの、対象となるIII族元素の原子数の比を表している。例えば、窒化物半導体層がAl<sub>a</sub>In<sub>b</sub>Ga<sub>c</sub>N(a+b+c=1、a≥0、b≥0、c≥0)からなる場合、当該窒化物半導体層のAI組成比は、a/(a+b+c)で表すことができる。同様に、In組成比、Ga組成比はそれぞれ、b/(a+b+c)、c/(a+b+c)で表される。

[0023] また、本明細書において、「第1」、「第2」などの序数詞は、特に断りの無い限り、構成要素の数又は順序を意味するものではなく、同種の構成要素の混同を避け、区別する目的で用いられている。

[0024] (実施の形態1)

まず、実施の形態1に係る半導体装置について、図1を用いて説明する。

図1は、本実施の形態に係る半導体装置1の断面図である。

[0025] 図1に示すように、半導体装置1は、基板101と、バッファ層102と、チャンネル層103と、窒化物半導体層104と、を備える。窒化物半導体層104は、バリア層105と、キャップ層106と、を含む。チャンネル層103とバリア層105との界面近傍には、2DEG107が形成される。バッファ層102、チャンネル層103、バリア層105及びキャップ層106は、エピタキシャル成長によって形成されたエピタキシャル層（エピ層とも呼ばれる）である。また、半導体装置1は、ソース電極201と、ドレイン電極202と、ゲート電極203と、ソースフィールドプレート204と、バリアメタル205s及び205dと、配線メタル206s及び206dと、を備える。また、半導体装置1は、絶縁層300及び305を備える。絶縁層300は、In-situ Si<sub>3</sub>N<sub>4</sub>膜301と、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302と、を含む。

[0026] 基板101は、Siからなる基板である。あるいは、基板101は、SOI (Silicon on Insulator) 基板であってもよい。また、基板101は、SiC、サファイア (Sapphire)、ダイヤモンド、GaN又はAlN等からなる基板であってもよい。

[0027] バッファ層102は、基板101の上方に設けられている。例えば、バッファ層102は、基板101の上面に接触して設けられている。バッファ層102は、例えば、III族窒化物半導体からなる層である。一例として、バッファ層102は、膜厚2μmのAlN及びAlGaNの複数の積層構造からなる。バッファ層102は、その他に、GaN、AlGaN、AlN、InGaN、AlInGaN等のIII族窒化物半導体の単層又は複数層によって構成されていてもよい。

[0028] バッファ層102が設けられていることで、基板101とチャンネル層103との格子間隔の差からくる結晶の転位及び格子欠陥などの悪影響を低減す

ることができる。また、仮に基板101に欠陥があったとしてもバッファ層102が設けられることで、欠陥の影響をチャンネル層103に与えること抑制することができる。これにより、チャンネル層103の欠陥を低減し、結晶性を高めることができ、チャンネル層103内の電子移動度を高めることができる。なお、バッファ層102は設けられていなくてもよい。

[0029] チャンネル層103は、基板101の上方に設けられている。具体的には、チャンネル層103は、バッファ層102の上面に接触して設けられている。チャンネル層103は、Ga元素を含む窒化物半導体からなる層である。例えば、チャンネル層103は、GaNによって構成される。チャンネル層103の膜厚は、例えば50nm以上300nm以下であり、一例として200nmである。なお、チャンネル層103は、GaNに限らず、InGaN、AlGaN、AlInGaN等のIII族窒化物半導体によって構成されていてもよい。また、チャンネル層103には、n型の不純物が含まれていてもよい。チャンネル層103の膜厚は、上述した例には限定されない。

[0030] バリア層105は、チャンネル層103の上方に設けられている。具体的には、バリア層105は、チャンネル層103の上面に接触して設けられている。なお、バリア層105とチャンネル層103との間には、例えば、膜厚が約1nmのAlNからなるスペーサ層が設けられてもよい。このように、チャンネル層103とバリア層105とは接触していなくてもよい。

[0031] バリア層105は、チャンネル層103よりもバンドギャップが大きく、Ga元素を含む窒化物半導体からなる層である。バリア層105は、例えば、AlGaNによって構成される。バリア層105のAl組成比は、例えば10%以上30%以下であるが、20%以上30%以下であってもよい。バリア層105のAl組成比は、一例として25%以下である。また、バリア層105の膜厚は、7nm以上10nm以下であり、一例として9nmである。なお、バリア層105の膜厚は、15nm以下であってもよく、20nm以下であってもよく、30nm以下であってもよい。また、バリア層105は、AlGaNに限らず、AlInGaN等のIII族窒化物半導体によっ

て構成されていてもよい。また、バリア層105には、n型の不純物が含まれていてもよい。

[0032] バリア層105がGa元素を含むことによって、Ga元素を含まないAlNで構成されている場合に比べて、バリア層105の格子間隔が緩和しやすくなる。このため、バリア層105にクラックなどが生じるのを抑制することができる。また、ウェハの反りを抑制することができる。このため、半導体装置1の品質を高めることができる。

[0033] バリア層105とチャンネル層103とのヘテロ界面のチャンネル層103側には、バリア層105のチャンネル層103に対するピエゾ応力などによって、高濃度の2DEG107が発生する。2DEG107は、トランジスタのチャンネルとして利用される。

[0034] キャップ層106は、バリア層105の上面を接触して覆っている。キャップ層106は、III族窒化物半導体からなる層である。キャップ層106は、例えばGaNによって構成される。キャップ層106の膜厚は、例えば約1nm以上約2nm以下である。キャップ層106が設けられることで、バリア層105のAlの酸化を抑制することができる。なお、キャップ層106は設けられていなくてもよい。

[0035] ソース電極201とドレイン電極202とは、基板101の上方に互いに間隔を空けて設けられている。具体的には、ソース電極201とドレイン電極202とは、間にゲート電極203を挟んで対向するように設けられている。

[0036] ソース電極201とドレイン電極202とは、導電性材料を用いて形成される。例えば、ソース電極201とドレイン電極202とは、Ti膜とAl膜とを順に積層した積層構造からなる多層電極膜であるが、これに限らない。ソース電極201とドレイン電極202とは、Ti膜とAl膜との積層構造に対して500℃以上の温度でアニールすることで形成された合金層であってもよい。また、ソース電極201とドレイン電極202とは、遷移金属、遷移金属の窒化物又は炭化物であってもよい。具体的には、ソース電極2

01とドレイン電極202は、Ta、Hf、W、Ni、TiN、Ta<sub>2</sub>N<sub>5</sub>、HfN、WN、TiC、TaC、HfC、Au、Cu等でもよく、これらの元素を含んだ化合物でもよいし、複数の積層構造からなる多層電極膜であってもよい。

[0037] ソース電極201とドレイン電極202とはそれぞれ、オーミック電極とも呼ばれ、2DEG107に電氣的にオーミック接続されている。本実施の形態では、ソース電極201及びドレイン電極202はそれぞれ、2DEG107に接触するように設けられている。

[0038] 具体的には、半導体装置1では、キャップ層106及びバリア層105を貫通してチャンネル層103に達する2つの凹部が設けられている。2つの凹部はそれぞれ、ソース開口部及びドレイン開口部とも呼ばれる。ソース電極201は、ソース開口部の内面を接触して覆うように設けられており、ドレイン電極202は、ドレイン開口部の内面を接触して覆うように設けられている。2つの凹部の各々の底面は、チャンネル層103とバリア層105との界面よりも下方に位置している。このため、2つの凹部の各々の側面には、2DEG107が露出している。ソース電極201及びドレイン電極202はそれぞれ、凹部の側面で2DEG107に接触している。これにより、チャンネルコンタクト抵抗を低減することができる。なお、凹部の代わりに、キャップ層106、バリア層105及びチャンネル層103の一部にn型不純物を添加することで低抵抗化したソースコンタクト領域及びドレインコンタクト領域が設けられてもよい。ソースコンタクト領域及びドレインコンタクト領域は、例えばプラズマ処理、イオン注入及び結晶再成長などにより形成される。

[0039] ソース電極201及びドレイン電極202はそれぞれ、半導体装置1の製造途中において、絶縁膜（具体的には、開口が形成される前の絶縁層305）で覆われる。ソース電極201及びドレイン電極202に対するコンタクトを確保するために、絶縁層305には開口が設けられ、当該開口を介して配線メタル206s及び206dがソース電極201及びドレイン電極20

2にそれぞれ接続される。配線メタル206s及び206dは、例えば、低抵抗のAuなどを用いて形成される。

[0040] また、Auを含む配線メタル206sとAlを含むソース電極201とが接触した場合、高温環境下で材料同士の反応が起こる場合がある。この反応を避けるために、バリアメタル205sがソース電極201と配線メタル206sとの間に設けられている。同様に、バリアメタル205dがドレイン電極202と配線メタル206dとの間に設けられている。バリアメタル205d及び205sは、高温でも反応が起こりにくい高融点金属を含む材料を用いて形成される。例えば、バリアメタル205d及び205sは、TiN膜である。なお、バリアメタル205d及び205s、並びに、配線メタル206d及び206sは設けられていなくてもよい。例えば、ソース電極201及びドレイン電極202が配線としても機能してもよい。

[0041] ゲート電極203は、バリア層105の上方で、ソース電極201とドレイン電極202との間に各々に対して間隔を空けて設けられている。本実施の形態では、ゲート電極203は、ゲート電極下部203Lと、ゲート電極上部203Uとの多層構造を有する。

[0042] ゲート電極下部203Lは、Ga元素を含む窒化物半導体に対してショットキー接合できる導電性材料を用いて形成されている。例えば、ゲート電極下部203Lは、Ni、Ti、TiN、Ta<sub>2</sub>N<sub>5</sub>、W、Pdなどを用いて形成されている。ゲート電極下部203Lは、多層構造のゲート電極203の最下層に位置しており、キャップ層106及び絶縁層300に接触している。ゲート電極下部203Lの厚さは、例えば10nm以上50nm以下であり、一例として50nmであるが、これに限定されない。

[0043] ゲート電極上部203Uは、ゲート電極下部203Lよりも抵抗率が低い材料を用いて形成されている。例えば、ゲート電極上部203Uは、Au又はAlなどを用いて形成されている。ゲート電極上部203Uは、ゲート電極下部203Lの上面を接触して覆うように設けられている。ゲート電極上部203Uの厚さは、例えば450nm以上650nm以下であり、一例と

して500nmであるが、これに限定されない。平面視において、ゲート電極上部203Uの形状及び大きさは、ゲート電極下部203Lの形状及び大きさと実質的に同じである。

[0044] このように、ゲート電極203が多層構造を有することにより、ショットキー接合を確保しながらy軸方向のゲート抵抗 $R_g$ を低減することができる。ゲート抵抗 $R_g$ が小さくなることにより、高周波利得を改善させることができる。なお、ゲート電極203は、多層構造を有しなくてもよく、Ga元素を含む窒化物半導体に対してショットキー接合できる導電性材料を用いて形成された単層構造を有してもよい。

[0045] ゲート電極203は、いわゆるT型ゲート構造を有する。具体的には、ゲート電極203は、接合部203aと、ドレイン側張り出し部203dと、ソース側張り出し部203sと、を含む。ドレイン側張り出し部203d及びソース側張り出し部203sは、ゲートフィールドプレートとも呼ばれる。

[0046] 接合部203aは、窒化物半導体層104とショットキー接合している。具体的には、接合部203aは、ゲート電極下部203Lの下面のうち、キャップ層106に接触している部分である。なお、キャップ層106が設けられていない場合には、接合部203aは、ゲート電極下部203Lの下面のうち、バリア層105に接触している部分になる。

[0047] ドレイン側張り出し部203dは、第1張り出し部の一例であり、接合部203aよりもドレイン電極202側に張り出した部分である。ドレイン側張り出し部203dは、T型ゲート構造のT字の片腕部分に相当する。

[0048] ソース側張り出し部203sは、第2張り出し部の一例であり、接合部203aよりもソース電極201側に張り出した部分である。ソース側張り出し部203sは、T型ゲート構造のT字の片腕部分に相当する。

[0049] 本実施の形態では、ドレイン側張り出し部203dの張り出し長さとソース側張り出し部203sの張り出し長さとが同じである。具体的には、ゲート電極203のxz断面における断面形状は、接合部203aの中心を通る

z軸に平行な線を対象の軸として線対称な形状を有する。

[0050] なお、張り出し部の張り出し長さとは、張り出し部の起点から先端までのx軸方向に沿った距離である。張り出し部の起点は、平面視における接合部203aの輪郭とみなすことができる。張り出し部の先端は、張り出し部の張り出し方向において、起点から最も離れた位置である。張り出し方向は、ドレイン側張り出し部203dの場合、x軸の正方向であり、ソース側張り出し部203sの場合、x軸の負方向になる。

[0051] ドレイン側張り出し部203d及びソース側張り出し部203sはそれぞれ、ゲート電極上部203U及びゲート電極下部203Lの多層構造を有するが、これに限定されない。例えば、ドレイン側張り出し部203d及びソース側張り出し部203sはそれぞれ、低抵抗のゲート電極上部203Uのみを有してもよい。すなわち、ゲート電極下部203Lは、ゲート電極203とキャップ層106（又はバリア層105）とが接触する部分（接合部203aに相当する部分）のみに設けられていてもよい。

[0052] 接合部203aのドレイン側端部からドレイン電極202までのx軸に沿った距離を、ゲートドレイン間距離 $L_{gd}$ と呼ぶ。接合部203aのソース側端部からソース電極201までのx軸に沿った距離を、ゲートソース間距離 $L_{gs}$ と呼ぶ。本実施の形態では、 $L_{gs} < L_{gd}$ である。例えば、 $L_{gd}$ が $3.2 \mu\text{m}$ であり、 $L_{gs}$ が $1.3 \mu\text{m}$ である。ゲートドレイン間距離 $L_{gd}$ をゲートソース間距離 $L_{gs}$ より長くすることにより、ゲートドレイン間にかかる電界集中を緩和することができる。なお、 $L_{gs} < L_{gd}$ を満たすことは必須ではなく、 $L_{gs} = L_{gd}$ であってもよく、 $L_{gs} > L_{gd}$ であってもよい。

[0053] ソースフィールドプレート204は、ゲート電極203の上方に設けられ、ソース電極201と同電位に設定されている。具体的には、ソースフィールドプレート204は、絶縁層305の上方に設けられている。ソースフィールドプレート204は、平面視において、その少なくとも一部がゲート電極203とドレイン電極202との間に位置するように設けられる。図1に



示す例では、ソースフィールドプレート204は、平面視で一部がゲート電極203に重なるように配置される。ソースフィールドプレート204は、ゲート電極203及びドレイン電極202とは電氣的に絶縁されており、ソース電極201に印加される電位（ソース電位）に設定される。

[0054] 半導体装置1の動作中には、ドレイン電極202には最大100Vから150V程度の高電圧が印加される。そのとき、ドレイン電極202とゲート電極203との間には高電界がかかることになる。具体的には、ドレイン電極202からの電気力線がゲート電極203のドレイン側張り出し部203dの端部に集中し、電界のピーク値が高くなって信頼性が低下する。ソースフィールドプレート204が設けられることにより、この電界のピーク値を低減することができる。ソースフィールドプレート204は、高い電界ピークを、x軸方向に分散することによって緩和することができる。これにより、ゲートドレイン間の耐圧、及び、ゲートリーク電流の抑制による信頼性を向上させることができる。

[0055] ソースフィールドプレート204は、導電性材料を用いて形成される。ソースフィールドプレート204は、例えば、TiN膜とAl膜とを順に積層した積層構造からなる多層電極膜構成である。ソースフィールドプレート204の厚さは、例えば500nmであるが、これに限定されない。なお、ソースフィールドプレート204は、TiN膜とAl膜との積層構造に限らず、スパッタリングにより成膜された遷移金属の窒化物又は炭化物であってもよい。具体的には、ソースフィールドプレート204は、Ti、Ta、W、Ni、TiN、Ta<sub>2</sub>N<sub>5</sub>、WN、W、Au、Cu等でもよく、これらの元素を含んだ化合物でもよいし、複数の積層構造からなる多層電極膜であってもよい。一例として、ソースフィールドプレート204は、下層からTi、TiN、Alの順で積層された多層構造を有する。あるいは、ソースフィールドプレート204は、最上層にAuを含んでもよい。

[0056] 絶縁層305は、ゲート電極203とソースフィールドプレート204との間に設けられている。具体的には、絶縁層305は、半導体装置1の全域

を覆うように設けられている。絶縁層305には、ソース電極201及びドレイン電極202の各々へのコンタクトを確保するための開口が設けられている。

[0057] 絶縁層305は、例えば、厚さが110nmの $\text{Si}_3\text{N}_4$ によって構成される。なお、絶縁層305は、 $\text{Si}_3\text{N}_4$ に限らず、 $\text{SiO}_2$ 、 $\text{SiON}$ でもよい。また、絶縁層305を構成する $\text{Si}_3\text{N}_4$ は、 $\text{Si}$ 組成率又は $\text{N}$ 組成率を変えてストレスを制御してもよい。なお、絶縁層305及びソースフィールドプレート204は設けられていなくてもよい。

[0058] 絶縁層300は、ゲート電極203とドレイン電極202との間で、窒化物半導体層104の上方に設けられている。具体的には、絶縁層300は、ゲート電極203とドレイン電極202との間で、キャップ層106の上面を接触して覆っている。絶縁層300は、接合部203aのドレイン側端部からドレイン電極202までの範囲の全域に設けられている。

[0059] また、本実施の形態では、絶縁層300は、ゲート電極203とソース電極201との間にも設けられている。具体的には、絶縁層300は、ゲート電極203とソース電極201との間で、キャップ層106の上面を接触して覆っている。絶縁層300は、接合部203aのソース側端部からソース電極201までの範囲の全域に設けられている。

[0060] 絶縁層300は、複数の絶縁層の積層構造を有する。具体的には、絶縁層300は、*In-situ*  $\text{Si}_3\text{N}_4$ 膜301と、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302と、を含んでいる。

[0061] *In-situ*  $\text{Si}_3\text{N}_4$ 膜301は、シリコン窒化物からなる第1絶縁膜の一例であり、ドレイン側張り出し部203dと窒化物半導体層104との間に位置し、窒化物半導体層104を接触して覆っている。*In-situ*  $\text{Si}_3\text{N}_4$ 膜301は、平面視において、ドレイン側張り出し部203dに重なっている。*In-situ*  $\text{Si}_3\text{N}_4$ 膜301は、積層構造を有する絶縁層300の最下層である。本実施の形態では、*In-situ*  $\text{Si}_3\text{N}_4$ 膜301は、ゲート電極203とドレイン電極202との間で、接合部20

3aのドレイン側端部からドレイン電極202までの範囲の全域において、キャップ層106を接触して覆っている。

[0062] また、本実施の形態では、In-situ Si<sub>3</sub>N<sub>4</sub>膜301は、ゲート電極203とソース電極201との間にも設けられている。In-situ

Si<sub>3</sub>N<sub>4</sub>膜301は、平面視において、ソース側張り出し部203sに重なっている。具体的には、In-situ Si<sub>3</sub>N<sub>4</sub>膜301は、接合部203aのソース側端部からソース電極201までの範囲の全域において、キャップ層106を接触して覆っている。

[0063] Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302は、シリコン窒化物からなる第2絶縁膜の一例であり、ドレイン側張り出し部203dとIn-situ Si<sub>3</sub>N<sub>4</sub>膜301との間に位置している。具体的には、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302は、平面視において、ドレイン側張り出し部203dに重なっており、ドレイン側張り出し部203dの下面に接触している。また、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302は、接合部203aのドレイン側端部からドレイン電極202までの範囲の全域において、In-situ Si<sub>3</sub>N<sub>4</sub>膜301を接触して覆っている。

[0064] また、本実施の形態では、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302は、ゲート電極203とソース電極201との間にも設けられている。具体的には、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302は、平面視において、ソース側張り出し部203sに重なっており、ソース側張り出し部203sの下面に接触している。また、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302は、接合部203aのソース側端部からソース電極201までの範囲の全域において、In-situ Si<sub>3</sub>N<sub>4</sub>膜301を接触して覆っている。

[0065] In-situ Si<sub>3</sub>N<sub>4</sub>膜301の膜厚は、例えば15nm以上であるが、20nm以上であってもよい。また、In-situ Si<sub>3</sub>N<sub>4</sub>膜301の膜厚は、30nm以下であるが、25nm以下であってもよい。本実施の形態では、In-situ Si<sub>3</sub>N<sub>4</sub>膜301の膜厚は実質的に均一である。

- [0066] Ex-situ  $\text{Si}_3\text{N}_4$ 膜302の膜厚は、例えば30nm以上60nm以下である。また、例えば、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302の膜厚は、In-situ  $\text{Si}_3\text{N}_4$ 膜301の膜厚以上の厚さである。本実施の形態では、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302の膜厚は実質的に均一である。
- [0067] In-situ  $\text{Si}_3\text{N}_4$ 膜301とEx-situ  $\text{Si}_3\text{N}_4$ 膜302とでは、各々の製造方法が異なる。具体的には、In-situ  $\text{Si}_3\text{N}_4$ 膜301は、窒化物半導体のエピタキシャル成長の後、大気暴露することなく、連続的に形成される。すなわち、In-situ  $\text{Si}_3\text{N}_4$ 膜301は、エピタキシャル成長炉内で、成長された窒化物半導体層上に連続的に積層された膜である。成長炉は、例えばMOCVD炉 (MOCVD: Metal Organic Chemical Vapor Deposition) である。
- [0068] これに対して、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302は、In-situ  $\text{Si}_3\text{N}_4$ 膜301の形成後に、エピタキシャル成長炉から出されて大気暴露した後に形成される。Ex-situ  $\text{Si}_3\text{N}_4$ 膜302は、例えば、LPCVD (Low-Pressure Chemical Vapor Deposition) 法によって形成される。
- [0069] 製造方法の違いに起因して、In-situ  $\text{Si}_3\text{N}_4$ 膜301とEx-situ  $\text{Si}_3\text{N}_4$ 膜302とでは、互いの膜質が異なる。具体的には、In-situ  $\text{Si}_3\text{N}_4$ 膜301は、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302よりも緻密な膜である。例えば、In-situ  $\text{Si}_3\text{N}_4$ 膜301の膜密度は、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302の膜密度よりも大きい。
- [0070] また、In-situ  $\text{Si}_3\text{N}_4$ 膜301とEx-situ  $\text{Si}_3\text{N}_4$ 膜302とでは、ハロゲン濃度又は界面酸素濃度の少なくとも一方に差が生じる。例えば、本実施の形態では、(a) In-situ  $\text{Si}_3\text{N}_4$ 膜301のハロゲン濃度がEx-situ  $\text{Si}_3\text{N}_4$ 膜302のハロゲン濃度より低いこと、及び、(b) In-situ  $\text{Si}_3\text{N}_4$ 膜301と窒化物半導体層104との界面酸素濃度がIn-situ  $\text{Si}_3\text{N}_4$ 膜301とEx-si

tu Si<sub>3</sub>N<sub>4</sub>膜302との界面酸素濃度より低いこと、の少なくとも一方を満たしている。具体的には、(c) In-situ Si<sub>3</sub>N<sub>4</sub>膜301のハロゲン濃度が1×10<sup>18</sup> atom/cm<sup>3</sup>未満であり、かつ、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302のハロゲン濃度が1×10<sup>18</sup> atom/cm<sup>3</sup>より大きいこと、及び、(d) In-situ Si<sub>3</sub>N<sub>4</sub>膜301と窒化物半導体層104との界面酸素濃度が1×10<sup>20</sup> atom/cm<sup>3</sup>未満であり、かつ、In-situ Si<sub>3</sub>N<sub>4</sub>膜301とEx-situ Si<sub>3</sub>N<sub>4</sub>膜302との界面酸素濃度が1×10<sup>20</sup> atom/cm<sup>3</sup>より大きいこと、の少なくとも一方を満たしている。

[0071] 表1には、In-situ Si<sub>3</sub>N<sub>4</sub>とEx-situ Si<sub>3</sub>N<sub>4</sub>との各々のハロゲン濃度及び界面酸素濃度を表している。具体的には、In-situ Si<sub>3</sub>N<sub>4</sub>及びEx-situ Si<sub>3</sub>N<sub>4</sub>の積層構造に対して、二次イオン質量分析(SIMS: Secondary Ion Mass Spectroscopy)法で組成解析した結果を表している。ハロゲン濃度は、具体的には塩素(Cl)濃度である。

[0072] [表1]

	In-situ Si <sub>3</sub> N <sub>4</sub>	Ex-situ Si <sub>3</sub> N <sub>4</sub>
ハロゲン濃度	1×10 <sup>18</sup> atom/cm <sup>3</sup> 未満	1×10 <sup>18</sup> atom/cm <sup>3</sup> より大きい
界面酸素濃度	1×10 <sup>20</sup> atom/cm <sup>3</sup> 未満	1×10 <sup>20</sup> atom/cm <sup>3</sup> より大きい

[0073] 表1から分かるように、In-situ Si<sub>3</sub>N<sub>4</sub>膜301の特徴は、ハロゲン濃度が低く、また、エピタキシャル成長された半導体(本実施の形態ではキャップ層106)との界面酸素濃度が低いことにある。これは、エピタキシャル成長炉内での積層膜であり、空気中への暴露がないため、エピタキシャル成長後、クリーンルーム内プロセス現場の外気に含まれるCl<sub>2</sub>などのハロゲン及び酸素が取り込まれにくいことが理由である。Cl<sub>2</sub>は、プロセス工程のドライエッチングガスとして利用されるもので、意図せず微量雰囲気に入ってしまうものである。

[0074] このように、ハロゲン又は酸素などの不純物が少ないIn-situ S

$\text{Si}_3\text{N}_4$ 膜301から得られる効果として、半導体との界面準位が少なくなり、2DEG107への影響が少なくなる。また、これらの効果から、コラプス耐性が大きいという効果も得られる。本実施の形態では、In-situ  $\text{Si}_3\text{N}_4$ 膜301が窒化物半導体層104上に設けられていることにより、良好なコラプス特性を実現し、高い駆動電流特性を得ることができる。

[0075] 図2は、 $\text{Si}_3\text{N}_4$ 膜の膜厚と2DEG107のキャリア濃度との関係を示す図である。図2には、窒化物半導体層104上にIn-situ  $\text{Si}_3\text{N}_4$ 膜を形成した場合（実施例）と、窒化物半導体層104上にEx-situ  $\text{Si}_3\text{N}_4$ 膜とを形成した場合（比較例）とを表している。図2において、横軸は、 $\text{Si}_3\text{N}_4$ 膜の膜厚を表し、縦軸は、ホール測定によって得られた2DEG107のキャリア濃度を表している。

[0076] 図2に示すように、In-situ  $\text{Si}_3\text{N}_4$ 膜は、Ex-situ  $\text{Si}_3\text{N}_4$ 膜よりも顕著に高いキャリア濃度が得られているので、トランジスタの飽和電流が高くなる。飽和電流が高い程、トランジスタの高出力特性及び利得特性が高くなる。In-situ  $\text{Si}_3\text{N}_4$ 膜の膜厚が大きい程、キャリア濃度が増大し、飽和電流が高くなって、トランジスタの高出力特性及び利得特性を高めることができる。

[0077] 一方で、In-situ  $\text{Si}_3\text{N}_4$ 膜の膜厚が大きいと、ウェハの反りが問題となる。図3は、 $\text{Si}_3\text{N}_4$ 膜の膜厚とウェハの反りとの関係を示す図である。図3において、横軸は、 $\text{Si}_3\text{N}_4$ 膜の膜厚を表し、縦軸は、ウェハの反り量を表している。なお、図3は、6インチウェハの測定結果を表している。

[0078] 図3に示すように、In-situ  $\text{Si}_3\text{N}_4$ 膜及びEx-situ  $\text{Si}_3\text{N}_4$ 膜のいずれも、膜厚が大きくなる程、ウェハの反り量が増加する傾向にある。ウェハの反り量が大きくなると、ウェハの外周部にクラックが発生するなど、半導体装置1の品質が劣化するという問題がある。このため、窒化物半導体層104上に設ける $\text{Si}_3\text{N}_4$ 膜の膜厚には上限値（臨界膜厚）を設ける必要がある。例えば、6インチのウェハの場合は、図3に示すように

、ウェハの反り量が $15\ \mu\text{m}$ になるときの膜厚を臨界膜厚とみなす。この場合、*In-situ*  $\text{Si}_3\text{N}_4$ 膜の臨界膜厚は $25\ \text{nm}$ となる。

[0079] 同じ膜厚で比較すると、*In-situ*  $\text{Si}_3\text{N}_4$ 膜を設けた場合の反り量は、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜を設けた場合の反り量よりも大きい。すなわち、ウェハの反りを抑制するという観点では、*In-situ*  $\text{Si}_3\text{N}_4$ 膜よりも*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜の方が有利であることが分かる。

[0080] そこで、本実施の形態では、窒化物半導体層104上に設けられる絶縁層300は、*In-situ*  $\text{Si}_3\text{N}_4$ 膜301と*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302との積層構造を有する。これにより、*In-situ*  $\text{Si}_3\text{N}_4$ 膜301を単独で設ける場合に比べて、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302が設けられていることによって、ピエゾ応力が増大し、2DEG107の電子キャリア濃度を高めることができる。その結果、トランジスタの飽和電流を高めることができる。なお、飽和電流は、電子の飽和速度で決まるので、低電圧では影響の大きい移動度よりも、電子キャリア濃度に依存するためである。このように、本実施の形態によれば、高い駆動電流特性と低ウェハ反り特性とを実現することができる。

[0081] なお、図3に示すように、ウェハの反り量を抑制するという観点から、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜の膜厚にも上限値（臨界膜厚）がある。具体的には、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜の臨界膜厚は $60\ \text{nm}$ である。本実施の形態では、*In-situ*  $\text{Si}_3\text{N}_4$ 膜301と*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302との積層構造を有するので、*In-situ*  $\text{Si}_3\text{N}_4$ 膜301の膜厚を $T_{in}$ とし、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302の膜厚を $T_{ex}$ とした場合、以下の式（1）を満たすようにする。

[0082] (1)  $f(T_{in}) + g(T_{ex}) \leq 15\ \mu\text{m}$

[0083] なお、 $f(T_{in})$ は、*In-situ*  $\text{Si}_3\text{N}_4$ 膜301の膜厚 $T_{in}$ とウェハ反り量との関係を表す関数である。 $g(T_{ex})$ は、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302の膜厚 $T_{ex}$ とウェハ反り量との関係を表す関数である。 $T_{in}$ は、 $25\ \text{nm}$ 以下であり、 $T_{ex}$ は、 $60\ \text{nm}$ 以下である。式（1）を満たす

範囲内で、 $T_{in}$ 及び $T_{ex}$ を大きくしてピエゾ応力を高めることにより、高い駆動電流特性と低ウェハ反り特性とを実現することができる。

[0084] 上述したように、*In-situ*  $Si_3N_4$ 膜301は、コラプス現象に有効である。追加的に積層された*Ex-situ*  $Si_3N_4$ 膜302の、コラプス現象に対する影響について以下で説明する。

[0085] *In-situ*  $Si_3N_4$ 膜301を、エピ表面の影響が見えなくなるまで積層したのち、不純物準位の多い*Ex-situ*  $Si_3N_4$ 膜302を積層してもコラプス劣化は少ない。なぜなら、*Ex-situ*  $Si_3N_4$ 膜302は、不純物準位が多いが、膜質的にリーク電流も多いという特性を有する。このため、不純物準位に捕獲された電子は、*Ex-situ*  $Si_3N_4$ 膜302を流れるリーク電流に乗って、不純物準位をホッピングしながら伝導するメカニズムが働く。結果として、実質的に不純物準位に捕獲されて固定電荷として留まる電子が少なくなる。よって、コラプス現象を抑制することができる。

[0086] また、*In-situ*  $Si_3N_4$ 膜301は、*Ex-situ*  $Si_3N_4$ 膜302よりは少ないが、一定量の不純物準位を持つ。このため、*In-situ*  $Si_3N_4$ 膜301の不純物準位に電子が捕獲されるおそれがある。これに対して、本実施の形態では、*In-situ*  $Si_3N_4$ 膜301上に積層された*Ex-situ*  $Si_3N_4$ 膜302のリーク経路を介して、*In-situ*  $Si_3N_4$ 膜301の不純物準位に捕獲された電子を伝導することができる。この点においても、*In-situ*  $Si_3N_4$ 膜301を単独で設けるよりも、積層構造とすることでコラプス現象の抑制に効果的であり、駆動電流特性を高めることができる。

[0087] なお、*Ex-situ*  $Si_3N_4$ 膜302をエピ表面に直接設けた場合は、リーク電流が無視できない大きな量になる。よって、エピ表面を覆うように*In-situ*  $Si_3N_4$ 膜301を設け、*In-situ*  $Si_3N_4$ 膜301上に*Ex-situ*  $Si_3N_4$ 膜302を設けることにより、高い駆動電流特性と低ウェハ反り特性とを実現することができる。



[0088] また、In-situ  $\text{Si}_3\text{N}_4$ 膜301とEx-situ  $\text{Si}_3\text{N}_4$ 膜302との積層構造を有することにより、ゲート電極203のドレイン側張り出し部203dと2DEG107との距離を長くすることができる。これにより、ゲートドレイン間容量 $C_{gd}$ を低減することができるので、利得を向上させることができる。

[0089] (実施の形態2)

続いて、実施の形態2について説明する。実施の形態2では、Ex-situ  $\text{Si}_3\text{N}_4$ 膜上に $\text{SiO}_2$ 膜が設けられている点が、実施の形態1に対する主な相違点である。以下では、実施の形態1との相違点を中心に説明を行い、共通点の説明を省略又は簡略化する。

[0090] 図4は、本実施の形態に係る半導体装置2の断面図である。図4に示すように、半導体装置2は、図1に示す半導体装置1と比較して、絶縁層300が、 $\text{SiO}_2$ 膜303をさらに含む点が相違する。

[0091]  $\text{SiO}_2$ 膜303は、シリコン酸化物からなる第3絶縁膜の一例であり、ドレイン側張り出し部203dとEx-situ  $\text{Si}_3\text{N}_4$ 膜302との間に位置している。 $\text{SiO}_2$ 膜303は、積層構造を有する絶縁層300の最上層である。 $\text{SiO}_2$ 膜303は、ドレイン側張り出し部203dに接触している。具体的には、 $\text{SiO}_2$ 膜303は、平面視でドレイン側張り出し部203dに重なっており、ドレイン側張り出し部203dの下面に接触している。本実施の形態では、 $\text{SiO}_2$ 膜303は、ゲート電極203とドレイン電極202との間で、接合部203aのドレイン側端部からドレイン電極202までの範囲の全域において、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302を接触して覆っている。

[0092] 本実施の形態では、 $\text{SiO}_2$ 膜303は、ゲート電極203とソース電極201との間にも設けられている。具体的には、 $\text{SiO}_2$ 膜303は、平面視でソース側張り出し部203sに重なっており、ソース側張り出し部203sの下面に接触している。 $\text{SiO}_2$ 膜303は、接合部203aのソース側端部からソース電極201までの範囲の全域において、Ex-situ  $\text{Si}_3\text{N}_4$

膜302を接触して覆っている。

[0093] SiO<sub>2</sub>膜303の膜厚は、例えば10nm以上100nm以下であり、一例として50nmである。本実施の形態では、SiO<sub>2</sub>膜303の膜厚は実質的に均一である。

[0094] Si<sub>3</sub>N<sub>4</sub>の比誘電率が約7であるのに対して、SiO<sub>2</sub>の比誘電率は、約4である。すなわち、SiO<sub>2</sub>膜303は、In-situ Si<sub>3</sub>N<sub>4</sub>膜301及びEx-situ Si<sub>3</sub>N<sub>4</sub>膜302のいずれよりも誘電率が低い。このため、ドレイン側張り出し部203dと2DEG107との間にSiO<sub>2</sub>膜303が設けられることにより、ゲートドレイン間容量C<sub>gd</sub>を低減することができる。ゲートドレイン間容量C<sub>gd</sub>が低減することで、トランジスタの高周波利得特性及び効率性能を高めることができる。

[0095] (実施の形態3)

続いて、実施の形態3について説明する。実施の形態2では、ゲート部分にサイドウォール構造が設けられている点が、実施の形態1に対する主な相違点である。以下では、実施の形態1との相違点を中心に説明を行い、共通点の説明を省略又は簡略化する。

[0096] 図5は、本実施の形態に係る半導体装置3の断面図である。図5に示すように、半導体装置3は、図1に示す半導体装置1と比較して、絶縁層300がサイドウォール304d及び304sと、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜306と、をさらに含む点が相違する。

[0097] サイドウォール304dは、ゲート電極203の接合部203aとIn-situ Si<sub>3</sub>N<sub>4</sub>膜301との間に設けられている。具体的には、サイドウォール304dは、ドレイン側のサイドウォールであり、接合部203aと、In-situ Si<sub>3</sub>N<sub>4</sub>膜301のうちのドレイン電極202側の部分との間に設けられている。

[0098] サイドウォール304sは、ゲート電極203の接合部203aとIn-situ Si<sub>3</sub>N<sub>4</sub>膜301との間に設けられている。具体的には、サイドウォール304sは、ソース側のサイドウォールであり、接合部203aと

、*In-situ*  $\text{Si}_3\text{N}_4$ 膜301のうちのソース電極201側の部分との間に設けられている。

[0099] サイドウォール304d及び304sはいずれも、シリコン窒化物からなる。具体的には、サイドウォール304d及び304sは、*Ex-situ*  $\text{Si}_3\text{N}_4$ からなり、同一の工程で形成される。

[0100] サイドウォール304d及び304sの各々の膜質は、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302の膜質とは異なっている。具体的には、サイドウォール304d及び304sは、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302よりも疎な膜である。例えば、サイドウォール304d及び304sの各々の膜密度は、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302の膜密度よりも小さい。サイドウォール304d及び304sは、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302とは異なる工程で形成される。具体的な形成方法については後で説明する。

[0101] *Ex-situ*  $\text{Si}_3\text{N}_4$ 膜306は、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302の上方に設けられている。具体的には、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜306は、平面視において、ゲート電極203のドレイン側張り出し部203dには重ならない位置に設けられる。より具体的には、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜306は、ドレイン電極202に接触するように設けられている。

[0102] また、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜306は、ソース電極201側にも設けられている。具体的には、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜306は、ゲート電極203のソース側張り出し部203sには重ならない位置に設けられている。より具体的には、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜306は、ソース電極201に接触するように設けられている。

[0103] *Ex-situ*  $\text{Si}_3\text{N}_4$ 膜306の膜質は、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302の膜質とは異なっている。具体的には、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜306は、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302よりも疎な膜である。例えば、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜306の膜密度は、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302の膜密度より小さい。*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜306は、サイドウォール304d及び304sと同じ工程で形成することができる。

[0104] Ex-situ  $\text{Si}_3\text{N}_4$ 膜306が設けられることにより、絶縁層300は、ゲート電極203の近傍よりもドレイン電極202の近傍部分の膜厚が大きくなる。膜厚が大きくなった部分の直下方向、すなわち、Ex-situ  $\text{Si}_3\text{N}_4$ 膜306の直下方向では、ピエゾ分極による電荷がより多く発生する。このため、Ex-situ  $\text{Si}_3\text{N}_4$ 膜306の直下方向では、2DEG107のキャリア濃度が上昇する。Ex-situ  $\text{Si}_3\text{N}_4$ 膜306は、ドレイン電極202に接触するように設けられるので、2DEG107のうち、ドレイン電極202に接触する部分のキャリア濃度が高くなる。このため、ドレイン電極202と2DEG107とのコンタクト抵抗を低減することができる。よって、オン抵抗が低減するので、高い駆動電流特性を得ることができる。

[0105] また、Ex-situ  $\text{Si}_3\text{N}_4$ 膜306は、ソース電極201にも接触するように設けられているので、ソース電極201と2DEG107とのコンタクト抵抗を低減することができる。よって、オン抵抗が低減するので、高い駆動電流特性を得ることができる。

[0106] なお、Ex-situ  $\text{Si}_3\text{N}_4$ 膜306は、サイドウォール304d及び304sとは異なる工程で形成されてもよい。Ex-situ  $\text{Si}_3\text{N}_4$ 膜306の膜質は、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302の膜質と同じであってもよい。あるいは、Ex-situ  $\text{Si}_3\text{N}_4$ 膜306は、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302よりも緻密な膜であってもよい。また、Ex-situ  $\text{Si}_3\text{N}_4$ 膜306は設けられていなくてもよい。

[0107] 本実施の形態では、サイドウォール304d及び304sがEx-situ  $\text{Si}_3\text{N}_4$ を用いて形成されるので、In-situ  $\text{Si}_3\text{N}_4$ 膜301とサイドウォール304d及び304sとでは、ハロゲン濃度又は界面酸素濃度の少なくとも一方に差が生じる。例えば、本実施の形態では、(a) In-situ  $\text{Si}_3\text{N}_4$ 膜301のハロゲン濃度がサイドウォール304d及び304sのハロゲン濃度より低いこと、及び、(b) In-situ  $\text{Si}_3\text{N}_4$ 膜301と窒化物半導体層104との界面酸素濃度がサイドウォール

ル304d及び304sと窒化物半導体層104との界面酸素濃度より低いこと、の少なくとも一方を満たしている。具体的には、(c) In-situ Si<sub>3</sub>N<sub>4</sub>膜301のハロゲン濃度が $1 \times 10^{18} \text{ atom/cm}^3$ 未満であり、かつ、サイドウォール304d及び304sのハロゲン濃度が $1 \times 10^{18} \text{ atom/cm}^3$ より大きいこと、及び、(d) In-situ Si<sub>3</sub>N<sub>4</sub>膜301と窒化物半導体層104との界面酸素濃度が $1 \times 10^{20} \text{ atom/cm}^3$ 未満であり、かつ、サイドウォール304d及び304sと窒化物半導体層104との界面酸素濃度が $1 \times 10^{20} \text{ atom/cm}^3$ より大きいこと、の少なくとも一方を満たしている。また、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜306とIn-situ Si<sub>3</sub>N<sub>4</sub>膜301についても同様の関係が満たされる。

[0108] サイドウォール304d及び304sを設けない場合には、In-situ Si<sub>3</sub>N<sub>4</sub>膜301及びEx-situ Si<sub>3</sub>N<sub>4</sub>膜302の一部を除去してゲート開口部の幅がゲート長L<sub>g</sub>に相当する。このため、ゲート開口部の加工限界の最小値よりも小さいゲート長L<sub>g</sub>を実現することができない。

[0109] これに対して、本実施の形態に係る半導体装置3では、サイドウォール304d及び304sが設けられていることにより、ゲート長L<sub>g</sub>を短くすることができる。例えば、ゲート長L<sub>g</sub>を0.25 μm以下にすることができる。なお、ゲート長L<sub>g</sub>とは、ソース電極201、ゲート電極203（具体的には接合部203a）及びドレイン電極202の並び方向（x軸方向）に沿った、接合部203aの長さである。例えば、サイドウォール304d及び304sの各々のx軸方向の長さは、0.10 μmとすることができ、L<sub>g</sub>を0.19 μmとすることができる。すなわち、ゲート開口部の幅が0.39 μmであるのに対して、ゲート長L<sub>g</sub>を約半分に短くすることができる。

[0110] ゲート長L<sub>g</sub>を短くすることにより、ゲート電極203の直下方向では、オフ時に駆動電流を遮断（ピンチオフ）しにくくなる短チャネル効果という現象が問題となりうる。本実施の形態では、サイドウォール304d及び3

04 sがいずれも、Ex-situ  $\text{Si}_3\text{N}_4$ であるから、In-situ  $\text{Si}_3\text{N}_4$ に比べてピエゾ応力が弱い。このため、2DEG107では、サイドウォール304 d及び304 sの直下方向でのピエゾ電荷が少なくなる。その結果、2DEG107のz軸方向の幅が狭くなるので、ゲート電極203の変調時の電流遮断（ピンチオフ）特性が良好になる。

[0111] （実施の形態4）

続いて、実施の形態4について説明する。実施の形態4では、Ex-situ  $\text{Si}_3\text{N}_4$ 膜上に $\text{SiO}_2$ 膜が設けられている点が、実施の形態3に対する主な相違点である。あまた、実施の形態4では、ゲート部分にサイドウォール構造が設けられている点が、実施の形態2に対する主な相違点である。以下では、実施の形態2又は3との相違点を中心に説明を行い、共通点の説明を省略又は簡略化する。

[0112] 図6は、本実施の形態に係る半導体装置4の断面図である。図6に示すように、半導体装置4は、図5に示す半導体装置3と比較して、絶縁層300が、 $\text{SiO}_2$ 膜303をさらに含む点が相違する。

[0113]  $\text{SiO}_2$ 膜303は、実施の形態2に係る半導体装置2の絶縁層300が含む $\text{SiO}_2$ 膜303と同じである。したがって、本実施の形態に係る半導体装置4によれば、実施の形態2と同様に、ゲートドレイン間容量 $C_{gd}$ を低減することができ、高周波利得特性及び効率性能を高めることができる。具体的には、5GHz以上の周波数帯域の信号を扱う場合に有用である。

[0114] また、本実施の形態に係る半導体装置4によれば、実施の形態3と同様に、Ex-situ  $\text{Si}_3\text{N}_4$ からなるサイドウォール304 d及び304 sを有する。このため、ゲート電極203の変調時の電流遮断（ピンチオフ）特性が良好になる。

[0115] 続いて、本実施の形態に係る半導体装置4の試作品に対して、実測したデータについて図7及び図8を用いて説明する。図7は、In-situ  $\text{Si}_3\text{N}_4$ 膜301の膜厚 $T_{in}$ 及びバリア層105の膜厚 $T_{ba}$ の組み合わせに対する半導体装置4の電流特性を示す図である。図8は、図7に示す電流特性

の補足説明のための半導体装置4の断面図である。

[0116] 図7において、各図のプロットの横に併記された数値は、上段が飽和電流の値、下段がゲートドレイン間のリーク電流の値を表している。また、以下の表2は、図7に示したデータを表している。

[0117] [表2]

	In-situ Si <sub>3</sub> N <sub>4</sub> 膜厚 T <sub>in</sub> [nm]	バリア層 膜厚 T <sub>ba</sub> [nm]	飽和電流 [mA/mm]	リーク電流 [μA/mm]
サンプル1	2	13	900	11
サンプル2	10	11	980	15
サンプル3	15	9	970	7
サンプル4	20	9	980	5
サンプル5	20	7	920	2

[0118] 各試作品（サンプル）のゲート長L<sub>g</sub>は、0.25 μmとした。また、バリア層105は、Al<sub>x</sub>Ga<sub>1-x</sub>N膜であり、Alの組成比xは0.28とした。飽和電流は、ドレイン電極202とソース電極201との間に印加するドレイン電圧が5Vの場合に、ドレイン電極202からソース電極201に流れる電流を計測した値である。リーク電流は、ドレイン電極202とゲート電極203との間の電位差が150Vの場合に、ドレイン電極202からゲート電極203に流れるリーク電流を計測した値である。また、ゲートドレイン間の距離L<sub>gd</sub>は3 μmとした。L<sub>gd</sub>が長い程、電界集中が緩和されるのでリーク電流は減る一方で、オン抵抗が増加するという問題がある。

[0119] 半導体装置4をパワーアンプに応用する場合、飽和電流が高く、かつ、リーク電流が低いことが望まれる。一般的には、飽和電流が920 mA/mm以上で、かつ、リーク電流が10 μA/mm以下であれば、パワーアンプに適している。

[0120] In-situ Si<sub>3</sub>N<sub>4</sub>膜301の膜厚T<sub>in</sub>とバリア層105の膜厚T<sub>ba</sub>との条件によっては、従来、相反関係にあった高い飽和電流と低いリーク電流とを両立することができた。以下では、図8を参照しながら表3を用いて、このメカニズムについて説明する。なお、表3は、図8に示した領域60

1～603の特徴を示している。

[0121] [表3]

	領域601 ゲート接触面	領域602 サイドウォール	領域603 走行領域
$\text{Si}_3\text{N}_4$	ショットキー接合	Ex-situ $\text{Si}_3\text{N}_4$	In-situ $\text{Si}_3\text{N}_4$ / Ex-situ $\text{Si}_3\text{N}_4$
バリア層	薄層	薄層	薄層
リーク電流	抑制	—	—
ドレイン電流	制御領域	高電流 制御可能抑制領域	高電流

[0122] まず、領域601に着目する。領域601は、ゲート電極203と窒化物半導体層104との接触面である接合部203aの直下方向の領域である。領域601では、バリア層105が薄層化されている方が、バリア層105のチャンネル層103に対するピエゾ応力が弱くなる。この結果、リーク電流も抑制することができる。つまり、ゲート電極203の接合部203aの直下方向においては、バリア層105の薄層化が望ましい。

[0123] しかし、電子キャリアが走行する主たる領域であるゲートドレイン間の領域603においても、バリア層105が薄層化されているので、このままでは高い飽和電流が期待できない。そこで、本開示においては、領域603では、薄層化したバリア層105に対して、In-situ  $\text{Si}_3\text{N}_4$ 膜301を積層する。In-situ  $\text{Si}_3\text{N}_4$ 膜301の高いピエゾ応力を利用することで、2DEG107のキャリア濃度を高めることができ、ドレイン電流を高めることができる。

[0124] なお、図2及び図3を用いて説明したように、In-situ  $\text{Si}_3\text{N}_4$ 膜301のみでは膜厚限界があるため、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302を追加積層する。これによって、ウェハの反りを抑制しながら、高い飽和電流を実現することができる。

[0125] 本実施の形態のように、サイドウォール304s及び304dが設けられてゲート長 $L_g$ が短い場合には、短チャンネル効果が生じる。具体的には、ドレイン電極202側から、高いドレイン電流が領域601に流れるので、ゲ



ート電極203で遮断することが難しい。これは、短ゲート化によるパンチスルーと呼ばれる現象である。

[0126] そこで、本実施の形態に係る半導体装置4では、領域602のサイドウォール304s及び304dとして、弱いストレスのEx-situ Si<sub>3</sub>N<sub>4</sub>を設けている。この結果、領域602では、ピエゾ影響を弱めることができるので、高いドレイン電流の遮断が可能になる。

[0127] このように、本実施の形態に係る半導体装置4によれば、バリア層105、In-situ Si<sub>3</sub>N<sub>4</sub>膜301、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302、並びに、サイドウォール304s及び304dによって、各膜の長所と短所とを補完しあう構造を実現している。これにより、従来、相反していた高い飽和電流と低いリーク電流とを両立するとともに、低ウェハ反り性を実現することができる。つまり、本実施の形態に係る半導体装置4によれば、高性能とリーク電流の少ない高信頼性とを有するGaN HEMTを提供することができる。なお、半導体装置4を例に挙げたが、実施の形態1～3に係る半導体装置1～3においても同様である。

[0128] 図7及び表2を参照すると、920mA/mm以上の飽和電流という観点からは、In-situ Si<sub>3</sub>N<sub>4</sub>膜301の膜厚T<sub>in</sub>は、7nm以上であることが必要である。また、ウェハの反りという観点から、膜厚T<sub>in</sub>は、25nm以下であることが必要である。また、10μA/mm以下のリーク電流という観点からは、バリア層105の膜厚T<sub>ba</sub>は、10nm以下である必要がある。

[0129] 以上のことから、In-situ Si<sub>3</sub>N<sub>4</sub>膜301の膜厚T<sub>in</sub>は、10nm以上25nm以下の範囲であり、かつ、バリア層105の膜厚T<sub>ba</sub>は、10nm以下であることによって、高飽和電流と低リーク電流とを両立し、低ウェハ反り性を実現することができる。なお、半導体装置に要求される駆動電流の下限値及び低リーク電流の上限値によっては、In-situ Si<sub>3</sub>N<sub>4</sub>膜301の膜厚T<sub>in</sub>は、10nmより小さくてもよく、あるいは、25nmより大きくてもよい。また、バリア層105の膜厚T<sub>ba</sub>は、10nm

より大きくてもよく、7 nm未満であってもよい。

[0130] (製造方法)

続いて、上述した実施の形態1～4に係る半導体装置1～4の製造方法について説明する。

[0131] 半導体装置1～4の製造方法は、エピタキシャル成長法によって、基板101の上方に、チャンネル層103と、バリア層105を含む窒化物半導体層104と、を順に形成する第1工程と、窒化物半導体層104を覆うように絶縁層300を形成する第2工程と、絶縁層300の一部を除去することにより、窒化物半導体層104の一部を露出させる第3工程と、基板101の上方で、互いに間隔を空けてソース電極201及びドレイン電極202を形成する第4工程と、窒化物半導体層104の露出した部分に接触し、かつ、絶縁層300のうち、露出した部分よりもドレイン電極202側に位置する部分を覆うように、ソース電極201とドレイン電極202との間に各々に対して間隔を空けてゲート電極203を形成する第5工程と、を含む。

[0132] 第2工程は、第1工程の後、大気暴露することなく、窒化物半導体層104を接触して覆うIn-situ  $\text{Si}_3\text{N}_4$ 膜301を形成する工程と、In-situ  $\text{Si}_3\text{N}_4$ 膜301を形成した後、大気暴露を経て、In-situ  $\text{Si}_3\text{N}_4$ 膜301の上方にEx-situ  $\text{Si}_3\text{N}_4$ 膜302を形成する工程と、を含む。

[0133] 以下では代表して、実施の形態3に係る半導体装置3の製造方法を、図9A～図9Kを参照しながら説明する。図9A～図9Kはそれぞれ、実施の形態3に係る半導体装置3の製造方法の一工程を説明するための断面図である。

[0134] 以下に説明する半導体装置3の製造方法は、他の実施の形態に係る半導体装置1、2及び4の各々の製造方法の核となる。半導体装置1、2及び4の各々の製造方法は、これから述べる半導体装置3の製造方法の一部を省略又は一部を変更するのみで容易に製造することができる。

[0135] まず、図9Aに示すように、窒化物半導体をエピタキシャル成長させたG

a N ウェハを準備する。より具体的には、基板 101 上に、バッファ層 102、チャンネル層 103、バリア層 105 及びキャップ層 106 を順に形成する。例えば、Ga N、Al Ga N などの窒化物半導体を順にエピタキシャル成長させる。エピタキシャル成長は、例えば、MOCVD 法に基づいて成長炉内で行われる。導入ガスの種類及び流量等を調整することにより、バッファ層 102、チャンネル層 103、バリア層 105 及びキャップ層 106 を形成することができる。

[0136] さらに、キャップ層 106 の形成に続いて、In-situ Si<sub>3</sub>N<sub>4</sub> 膜 301 を形成する。具体的には、窒化物半導体のエピタキシャル成長の後、大気暴露することなく、同じ成長炉内でシリコン窒化物をエピタキシャル成長させる。これにより、キャップ層 106 の上面を覆う In-situ Si<sub>3</sub>N<sub>4</sub> 膜 301 を形成することができる。キャップ層 106 (窒化物半導体層 104) の上面が大気暴露されないため、In-situ Si<sub>3</sub>N<sub>4</sub> 膜 301 とキャップ層 106 との界面酸素濃度が低くなる。また、In-situ Si<sub>3</sub>N<sub>4</sub> 膜 301 内のハロゲン濃度が低くなる。

[0137] 次に、図 9B に示すように、In-situ Si<sub>3</sub>N<sub>4</sub> 膜 301 上に Ex-situ Si<sub>3</sub>N<sub>4</sub> 膜 302 を形成する。具体的には、In-situ Si<sub>3</sub>N<sub>4</sub> 膜 301 が形成された Ga N ウェハを成長炉から取り出すことにより、Ga N ウェハを大気暴露する。大気暴露後の Ga N ウェハの表面、すなわち、In-situ Si<sub>3</sub>N<sub>4</sub> 膜 301 の上面をフッ酸などの酸で洗浄した後、Ex-situ Si<sub>3</sub>N<sub>4</sub> 膜 302 を形成する。Ex-situ Si<sub>3</sub>N<sub>4</sub> 膜 302 の形成は、例えば、減圧 CVD (LPCVD: Low Pressure Chemical Vapor Deposition) 法によって行われる。

[0138] LPCVD 法での成膜温度は、800℃程度である。このため、LPCVD 法によって形成された Ex-situ Si<sub>3</sub>N<sub>4</sub> 膜 302 の膜密度は、In-situ Si<sub>3</sub>N<sub>4</sub> 膜 301 の膜密度よりも低いが、300℃~500℃程度の温度で堆積するプラズマ CVD 法で形成される Si<sub>3</sub>N<sub>4</sub> 膜と比較す

ると高密度である。このため、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302は、ストレスも中間的である。よって、In-situ  $\text{Si}_3\text{N}_4$ 膜301にはウェハ反りによる臨界膜厚があるため、ピエゾ応力を補償する膜としてより有用である。なお、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302は、通常のプラズマCVDによって形成される $\text{Si}_3\text{N}_4$ 膜であってもよいことは言うまでもない。

[0139] 次に、図には示していないが、ボロンイオン ( $\text{B}^+$ ) などの窒化物半導体を不活化するイオンを注入することにより、トランジスタ形成領域（活性領域とも呼ばれる）以外を不活化する。これにより、GaNウェハ内で素子間の絶縁分離が可能になる。

[0140] 次に、図9Cに示すように、ソース電極201及びドレイン電極202を形成する。なお、以降の図9C～図9Kは、GaNウェハ内の1つのトランジスタ形成領域のみを図示している。各図において、ソース電極201よりも左方（x軸の負側）及びドレイン電極202の右方（x軸の正側）の図示されていない部分が絶縁分離領域となる。後述する図10B及び図10Cについても同様である。

[0141] ソース電極201及びドレイン電極202の形成工程では、まず、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302及びIn-situ  $\text{Si}_3\text{N}_4$ 膜301の各々の一部をエッチングすることで除去して開口部（コンタクトホール）を形成する。さらに、コンタクトホールの形成から連続的に、キャップ層106、バリア層105及びチャネル層103を、2DEG107が露出するまでエッチングで除去することで凹部を形成する。エッチングは、例えばドライエッチングで行われる。形成した凹部の内面を覆うように、金属膜をスパッタリング法又は蒸着法によって堆積した後、金属膜をパターニングすることで、ソース電極201及びドレイン電極202を形成する。なお、パターニングは、例えばエッチング又はリフトオフなどで行われる。その後、500℃から600℃程度の温度で半導体と金属とを合金化することで、ソース電極201及びドレイン電極202の各々をチャネル層103に対してオーミック接触させる。

[0142] 次に、図9Dに示すように、ゲートを形成するためのゲート領域401にゲート開口部を形成する。ゲート領域401のx軸方向における長さは、例えば $0.39\mu\text{m}$ である。具体的には、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302上にポジ型フォトレジストを塗布し、塗布したフォトレジストのゲート領域401を開口する。 $\text{CF}_4$ を含むプラズマイオンでドライエッチングすることにより、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302及びIn-situ  $\text{Si}_3\text{N}_4$ 膜301の各々の、ゲート領域401に露出した部分を除去する。

[0143] 次に、図9Eに示すように、ゲート領域401の開口部分を含む全面にEx-situ  $\text{Si}_3\text{N}_4$ 膜307を形成する。Ex-situ  $\text{Si}_3\text{N}_4$ 膜307は、例えばプラズマCVD法で形成されるが、LPCVD法で形成されてもよい。Ex-situ  $\text{Si}_3\text{N}_4$ 膜307は、サイドウォール304s及び304d、並びに、Ex-situ  $\text{Si}_3\text{N}_4$ 膜306の基になるシリコン窒化膜である。具体的には、Ex-situ  $\text{Si}_3\text{N}_4$ 膜307を、In-situ  $\text{Si}_3\text{N}_4$ 膜301及びEx-situ  $\text{Si}_3\text{N}_4$ 膜302の合計膜厚と同じ厚さで成膜する。例えば、In-situ  $\text{Si}_3\text{N}_4$ 膜301の膜厚が $20\text{nm}$ で、かつ、Ex-situ  $\text{Si}_3\text{N}_4$ 膜302の膜厚が $30\text{nm}$ である場合、Ex-situ  $\text{Si}_3\text{N}_4$ 膜307の膜厚を $50\text{nm}$ とする。膜厚を揃えておくことにより、サイドウォール304s及び304dの高さとIn-situ  $\text{Si}_3\text{N}_4$ 膜301及びEx-situ  $\text{Si}_3\text{N}_4$ 膜302の高さ（合計膜厚）とを揃えることができる。

[0144] 次に、図9Fに示すように、所定形状の開口部を有するフォトレジスト501を形成した後、主に $\text{CF}_4$ を含むプラズマイオンで異方性ドライエッチングを行うことで、フォトレジスト501の開口部に露出したEx-situ  $\text{Si}_3\text{N}_4$ 膜307を除去する。フォトレジスト501は、ソース電極201及びドレイン電極202を被覆し、かつ、少なくともゲート領域401を被覆しないような形状を有する。エッチング量は、堆積したEx-situ  $\text{Si}_3\text{N}_4$ 膜307の厚さであり、例えば $50\text{nm}$ である。フォトレジスト501は、ポジ型であるが、ネガ型であってもよい。

- [0145] 異方性エッチングの結果、図9Gに示すように、サイドウォール304s及び304dが形成される。サイドウォール304s及び304dは、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜307のうち、ゲート領域401内で開口壁に沿って除去されずに残った部分である。
- [0146] Ex-situ Si<sub>3</sub>N<sub>4</sub>膜307のエッチング工程が、異方性エッチングであるため、サイドウォール304s及び304dの上面の形状は、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜307の上面の形状を転写した形状になる。この形状が一般的にサイドウォール形状と呼ばれる。ゲート領域401内にサイドウォール304s及び304dが形成されることにより、ゲート領域401内で窒化物半導体層104が露出した部分の長さ（いわゆるゲート長L<sub>g</sub>）が短くなる。具体的には、ゲート長L<sub>g</sub>は、0.39 μmから0.19 μmに短くなる。
- [0147] ゲート領域401の長さが0.4 μmである場合、一般的な光学露光であるi線のフォトリソグラフィでゲート開口部を形成することが可能である。一方で、0.25 μm以下の長さではゲート開口部の形成が困難である。これに対して、サイドウォール304s及び304dを形成することにより、簡単にゲート長L<sub>g</sub>の短縮化が可能になる。
- [0148] さらに、図9Hに示すように、フォトリソグロフ501をアセトンなどの有機溶剤で除去する。これにより、ソース電極201及びドレイン電極202を覆う部分には、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜307の一部が残る。
- [0149] 次に、図9Iに示すように、ゲート電極203を形成する。具体的には、窒化物半導体に対してショットキー接合される材料からなる第1導電膜をゲート電極下部203Lとして形成し、第1導電膜よりも抵抗率が低い材料からなる第2導電膜をゲート電極上部203Uとして形成する。例えば、第1導電膜及び第2導電膜を連続してスパッタリングなどで全面に形成した後、レジストマスクを形成してドライエッチングにより不要な部分を除去してもよい。あるいは、リフトオフ法によってゲート電極203を形成してもよい。具体的には、ゲート電極203に相当する部分が開口されたレジスト膜を

形成した後、第1導電膜及び第2導電膜を連続して蒸着し、レジスト膜を、レジスト膜上に設けられた第1導電膜及び第2導電膜ごと除去してもよい。

[0150] なお、ゲート電極上部203Uの厚さが厚い程、ゲート抵抗 $R_g$ の低減が期待できる。ただし、金属の表皮効果のため、高周波の場合には表面（表皮部分）しか電流が流れない。このため、必ずしもゲート電極上部203Uの厚さが厚い程良い訳ではない。Alからなるゲート電極上部203Uの場合には、450nm程度あれば現在応用される周波数帯域には対応可能である。また、ゲート電極上部203Uの厚膜化は、成膜時間及びエッチング時間、並びに、フォトリソマスクの膜厚などの制約を受けうる。例えば、スパッタリングでAlを成膜する場合には、膜厚が大きい程、成膜時間及びエッチング時間が長くなるので、加工用のレジソマスクの焼付きが生じてレジソマスクを除去しにくくなるおそれがある。また、蒸着リフトオフ法で成膜する場合には、リフトオフ性が悪くなって形状の異常が発生しやすい。このため、ゲート電極上部203Uの膜厚は、最大でも650nm程度とする。

[0151] 次に、図9Jに示すように、ゲート電極203の保護を目的として、絶縁層305を形成する。絶縁層305として、例えば、プラズマCVD法又はLPCVD法によってEx-situ  $Si_3N_4$ 膜を形成する。

[0152] 次に、図9Kに示すように、ソースフィールドプレート204を形成する。ソースフィールドプレート204は、スパッタリングによる金属膜の成膜と、ドライエッチングによる除去とによって形成される。あるいは、ソースフィールドプレート204は、蒸着リフト法で形成されてもよい。Auを用いる場合は、ドライエッチングができないため、蒸着リフト法を用いる。

[0153] 次に、ソース電極201及びドレイン電極202との電気的な接続を確保するために、まず、絶縁層305及びEx-situ  $Si_3N_4$ 膜307に開口部を形成する。開口部の形成は、ソース電極201及びドレイン電極202を露出させるように開口部が設けられたフォトリソを形成した後、 $CF_4$ を含むプラズマイオンでドライエッチングすることで行われる。ソース

電極201及びドレイン電極202の各々へのコンタクト用の開口部が設けられたEx-situ Si<sub>3</sub>N<sub>4</sub>膜307が、図5に示すEx-situ Si<sub>3</sub>N<sub>4</sub>膜306になる。その後、開口部を覆うように、所定形状のバリアメタル205s及び205dと配線メタル206s及び206dとを形成する。バリアメタル205s及び205d、並びに、配線メタル206s及び206dの形成は、スパッタリング及びドライエッチング、又は、蒸着リフト法などにより形成される。

[0154] 以上の工程を経て、図5に示した半導体装置3を製造することができる。

[0155] なお、図1に示した半導体装置1を製造する場合、サイドウォール304s及び304dを形成する工程を省略すればよい。具体的には、図9Eから図9Hを用いて説明した工程を省略すればよい。図9Dで示したように、ゲート領域401を形成した後、図9Jに示したように、ゲート電極203を形成すればよい。

[0156] また、実施の形態2又は4に係る半導体装置2又は4の場合も、半導体装置3の製造方法とほぼ同様の工程を経て製造することができる。以下では、図10A～図10Cを用いて、半導体装置3の製造方法と半導体装置4の製造方法との相違点について説明する。図10A～図10Cはそれぞれ、実施の形態4に係る半導体装置4の製造方法の一工程を説明するための断面図である。

[0157] 半導体装置4の製造方法では、In-situ Si<sub>3</sub>N<sub>4</sub>膜301を形成するまでの工程は、半導体装置3の製造方法と同じであり、図9Aを用いて説明したとおりである。図10Aに示すように、In-situ Si<sub>3</sub>N<sub>4</sub>膜301上にEx-situ Si<sub>3</sub>N<sub>4</sub>膜302とSiO<sub>2</sub>膜303とを形成する。具体的には、In-situ Si<sub>3</sub>N<sub>4</sub>膜301が形成されたGaNウェハを成長炉から取り出すことにより、GaNウェハを大気暴露する。大気暴露後のGaNウェハの表面、すなわち、In-situ Si<sub>3</sub>N<sub>4</sub>膜301の上面をフッ酸などの酸で洗浄した後、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302及びSiO<sub>2</sub>膜303を連続的に形成する。Ex-situ Si<sub>3</sub>N<sub>4</sub>膜



302及びSiO<sub>2</sub>膜303の形成は、例えば、プラズマCVD法によって行われる。あるいは、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302をLPCVD法によって形成し、SiO<sub>2</sub>膜303をプラズマCVD法によって形成してもよい。

[0158] 次に、図10Bに示すように、ソース電極201及びドレイン電極202を形成する。なお、ソース電極201及びドレイン電極202の形成の前には、トランジスタ形成領域以外の領域を不活化する処理が行われる。

[0159] ソース電極201及びドレイン電極202の形成工程では、コンタクトホールを形成するために、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302及びIn-situ Si<sub>3</sub>N<sub>4</sub>膜301だけでなく、SiO<sub>2</sub>膜303の一部も除去する点が相違する。金属膜の形成及びパターニング、並びに、合金化等の処理は、半導体装置3の製造方法と同じである。

[0160] 次に、図10Cに示すように、ゲートを形成するためのゲート領域401にゲート開口部を形成する。ゲート開口部の形成では、Ex-situ Si<sub>3</sub>N<sub>4</sub>膜302及びIn-situ Si<sub>3</sub>N<sub>4</sub>膜301だけでなく、SiO<sub>2</sub>膜303の一部も除去する点が相違する。SiO<sub>2</sub>膜303の除去は、例えば、CF<sub>4</sub>ガスを用いたドライエッチングで行われる。

[0161] 以降の工程は、半導体装置3の製造方法と同じである。具体的には、図9Eから図9Kを用いて説明した各工程が行われる。

[0162] また、図4に示した半導体装置2を製造する場合、サイドウォール304s及び304dを形成する工程を省略すればよい。具体的には、図9Eから図9Hを用いて説明した工程を省略すればよい。図10Cで示したように、ゲート領域401を形成した後、図9Jに示したように、ゲート電極203を形成すればよい。

[0163] (まとめ)

以下に、上記実施の形態に基づいて説明した半導体装置の特徴を示す。

[0164] 本開示の第1態様に係る半導体装置は、基板と、前記基板の上方に設けられた、Ga元素を含む窒化物半導体からなるチャンネル層と、前記チャンネル層よりもバンドギャップが大きいバリア層であって、Ga元素を含むバリア層

を含む、前記チャネル層の上方に設けられた窒化物半導体層と、前記基板の上方で、互いに間隔を空けて設けられたソース電極及びドレイン電極と、前記バリア層の上方で、前記ソース電極と前記ドレイン電極との間に各々に対して間隔を空けて設けられたゲート電極と、前記ゲート電極と前記ドレイン電極との間で、前記窒化物半導体層の上方に設けられた絶縁層と、を備え、前記ゲート電極は、前記窒化物半導体層とショットキー接合した接合部と、前記接合部よりも前記ドレイン電極側に張り出した第1張り出し部と、を含み、前記絶縁層は、前記第1張り出し部と前記窒化物半導体層との間に位置し、前記窒化物半導体層を接触して覆うシリコン窒化物からなる第1絶縁膜と、前記第1張り出し部と前記第1絶縁膜との間に位置するシリコン窒化物からなる第2絶縁膜と、を含み、(a)前記第1絶縁膜のハロゲン濃度が前記第2絶縁膜のハロゲン濃度より低いこと、及び、(b)前記第1絶縁膜と前記窒化物半導体層との界面酸素濃度が前記第2絶縁膜と前記第1絶縁膜との界面酸素濃度より低いこと、の少なくとも一方を満たす。

[0165] これにより、第1絶縁膜及び第2絶縁膜の積層構造が設けられているので、高い駆動電流特性と低ウェハ反り特性とを有する半導体装置を実現することができる。

[0166] 本開示の第2態様に係る半導体装置は、第1態様に係る半導体装置であって、(c)前記第1絶縁膜のハロゲン濃度が $1 \times 10^{18} \text{ atom/cm}^3$ 未満であり、かつ、前記第2絶縁膜のハロゲン濃度が $1 \times 10^{18} \text{ atom/cm}^3$ より大きいこと、及び、(d)前記第1絶縁膜と前記窒化物半導体層との界面酸素濃度が $1 \times 10^{20} \text{ atom/cm}^3$ 未満であり、かつ、前記第2絶縁膜と前記第1絶縁膜との界面酸素濃度が $1 \times 10^{20} \text{ atom/cm}^3$ より大きいこと、の少なくとも一方を満たす。

[0167] これにより、*In-situ*  $\text{Si}_3\text{N}_4$ 膜が第1絶縁膜として、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜が第2絶縁膜として設けられているので、*In-situ*  $\text{Si}_3\text{N}_4$ 膜の高いピエゾ応力を利用しながら、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜のウェハ反り抑制効果とを有効に利用することができる。また、*Ex-s*

i t u  $\text{Si}_3\text{N}_4$ 膜の横方向への電子のホッピングを利用して固定電荷が留まるのを抑制し、電流コラプスを抑制することができる。よって、本態様によれば、高い駆動電流特性と低ウェハ反り特性とを有する半導体装置を実現することができる。

[0168] 本開示の第3態様に係る半導体装置は、第1態様又は第2態様に係る半導体装置であって、前記絶縁層は、さらに、前記第1張り出し部と前記第2絶縁膜との間に位置し、前記第1張り出し部に接触する、シリコン酸化物からなる第3絶縁膜を含む。

[0169] これにより、誘電率の低いシリコン酸化物からなる第3絶縁膜によって、ゲートドレイン間容量 $C_{gd}$ を低減することができる。これにより、トランジスタの高周波利得特性及び効率性能を高めることができる。

[0170] 本開示の第4態様に係る半導体装置は、第1態様～第3態様のいずれか1つに係る半導体装置であって、前記第1絶縁膜の膜厚は、10nm以上であり、前記バリア層の膜厚は、7nm以上である。

[0171] これにより、高い駆動電流と低いリーク電流とを実現することができる。

[0172] 本開示の第5態様に係る半導体装置は、第4態様に係る半導体装置であって、前記バリア層の膜厚は、10nm以下である。

[0173] これにより、高い駆動電流と低いリーク電流とを実現することができる。

[0174] 本開示の第6態様に係る半導体装置は、第4態様又は第5態様に係る半導体装置であって、前記第1絶縁膜の膜厚は、25nm以下である。

[0175] これにより、高い駆動電流と低いリーク電流と低ウェハ反り特性とを実現することができる。

[0176] 本開示の第7態様に係る半導体装置は、第1態様～第6態様のいずれか1つに係る半導体装置であって、前記絶縁層は、さらに、前記接合部と前記第1絶縁膜との間に設けられたシリコン窒化物からなるサイドウォールを含み、(e)前記第1絶縁膜のハロゲン濃度が前記サイドウォールのハロゲン濃度より低いこと、及び、(f)前記第1絶縁膜と前記窒化物半導体層との界面酸素濃度が前記サイドウォールと前記窒化物半導体層との界面酸素濃度よ

り低いこと、の少なくとも一方を満たす。

[0177] これにより、ゲート長を短くすることができる。サイドウォールの直下方向の2DEGのキャリア濃度を低減することができ、ゲートによる遮断制御を容易にすることができる。

[0178] 本開示の第8態様に係る半導体装置は、第7態様に係る半導体装置であって、前記サイドウォールは、前記第2絶縁膜とは膜質が異なる。

[0179] これにより、サイドウォールの直下方向の2DEGのキャリア濃度を低減することができ、ゲートによる遮断制御を容易にすることができる。

[0180] 本開示の第9態様に係る半導体装置の製造方法は、エピタキシャル成長法によって、基板の上方に、Ga元素を含む窒化物半導体からなるチャンネル層と、前記チャンネル層よりもバンドギャップが大きいバリア層であって、Ga元素を含むバリア層を含む窒化物半導体層と、を順に形成する第1工程と、前記窒化物半導体層を覆うように絶縁層を形成する第2工程と、前記絶縁層の一部を除去することにより、前記窒化物半導体層の一部を露出させる第3工程と、前記基板の上方で、互いに間隔を空けてソース電極及びドレイン電極を形成する第4工程と、前記窒化物半導体層の露出した部分に接触し、かつ、前記絶縁層のうち、前記露出した部分よりも前記ドレイン電極側に位置する部分を覆うように、前記ソース電極と前記ドレイン電極との間に各々に対して間隔を空けてゲート電極を形成する第5工程と、を含み、前記第2工程は、前記第1工程の後、大気暴露することなく、前記窒化物半導体層を接触して覆うシリコン窒化物からなる第1絶縁膜を形成する工程と、前記第1絶縁膜を形成した後、大気暴露を経て、前記第1絶縁膜の上方にシリコン窒化物からなる第2絶縁膜を形成する工程と、を含む。

[0181] これにより、高い駆動電流特性と低ウェハ反り特性とを有する半導体装置を製造することができる。

[0182] 本開示の第10態様に係る半導体装置の製造方法は、第9態様に係る半導体装置の製造方法であって、前記第2工程では、前記第2絶縁膜を、LPCVD法によって形成する。

[0183] これにより、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜のピエゾ応力も高めることができるので、2DEGのキャリア濃度を高めることができ、駆動電流をより高めることができる。

[0184] (他の実施の形態)

以上、1つ又は複数の態様に係る半導体装置及びその製造方法について、実施の形態に基づいて説明したが、本開示は、これらの実施の形態に限定されるものではない。本開示の主旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものと、及び、異なる実施の形態における構成要素を組み合わせて構築される形態も、本開示の範囲内に含まれる。

[0185] 例えば、各実施の形態において、絶縁層300は、ソース電極201とゲート電極203との間には設けられていなくてもよい。あるいは、ソース電極201とゲート電極203との間には、*In-situ*  $\text{Si}_3\text{N}_4$ 膜301が設けられ、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302が設けられていなくてもよい。

[0186] また、絶縁層300は、ドレイン電極202とゲート電極203との間の一部には設けられていなくてもよい。具体的には、絶縁層300は、ドレイン側張り出し部203dと平面視で重なる範囲に少なくとも設けられていればよい。絶縁層300は、平面視において、ドレイン側張り出し部203dのドレイン側端部からドレイン電極202までの範囲には設けられていなくてもよい。あるいは、ドレイン側張り出し部203dのドレイン側端部からドレイン電極202までの範囲には、*In-situ*  $\text{Si}_3\text{N}_4$ 膜301が設けられ、*Ex-situ*  $\text{Si}_3\text{N}_4$ 膜302が設けられていなくてもよい。

[0187] また、ソース電極201及びドレイン電極202の各々を、バリア層105及びチャネル層103に埋め込むように形成したが、これに限らない。ソース電極201及びドレイン電極202は、バリア層105又はキャップ層106の上面に設けてもよい。すなわち、ソース電極201及びドレイン電極202は、2DEG107に接触させなくてもよい。

[0188] また、上記の各実施の形態は、請求の範囲又はその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

### 産業上の利用可能性

[0189] 本開示は、例えば、高出力若しくは高周波用途の電力増幅器、当該電力増幅器が用いられる無線通信基地局若しくは端末機器、又は、マイクロ波を利用した電力伝送を行うワイヤレス給電装置などに利用することができる。

### 符号の説明

[0190] 1、2、3、4 半導体装置

101 基板

102 バッファ層

103 チャンネル層

104 窒化物半導体層

105 バリア層

106 キャップ層

107 2DEG

201 ソース電極

202 ドレイン電極

203 ゲート電極

203L ゲート電極下部

203U ゲート電極上部

203a 接合部

203d ドレイン側張り出し部

203s ソース側張り出し部

204 ソースフィールドプレート

205d、205s バリアメタル

206d、206s 配線メタル

300、305 絶縁層

301 *In-situ*  $\text{Si}_3\text{N}_4$ 膜

302、306、307 Ex-situ  $\text{Si}_3\text{N}_4$ 膜

303  $\text{SiO}_2$ 膜

304s、304d サイドウォール

401 ゲート領域

501 フォトレジスト

601、602、603 領域

## 請求の範囲

[請求項1]

基板と、

前記基板の上方に設けられた、Ga元素を含む窒化物半導体からなるチャンネル層と、

前記チャンネル層よりもバンドギャップが大きいバリア層であって、Ga元素を含むバリア層を含む、前記チャンネル層の上方に設けられた窒化物半導体層と、

前記基板の上方で、互いに間隔を空けて設けられたソース電極及びドレイン電極と、

前記バリア層の上方で、前記ソース電極と前記ドレイン電極との間に各々に対して間隔を空けて設けられたゲート電極と、

前記ゲート電極と前記ドレイン電極との間で、前記窒化物半導体層の上方に設けられた絶縁層と、を備え、

前記ゲート電極は、

前記窒化物半導体層とショットキー接合した接合部と、

前記接合部よりも前記ドレイン電極側に張り出した第1張り出し部と、を含み、

前記絶縁層は、

前記第1張り出し部と前記窒化物半導体層との間に位置し、前記窒化物半導体層を接触して覆うシリコン窒化物からなる第1絶縁膜と、

、

前記第1張り出し部と前記第1絶縁膜との間に位置するシリコン窒化物からなる第2絶縁膜と、を含み、

(a) 前記第1絶縁膜のハロゲン濃度が前記第2絶縁膜のハロゲン濃度より低いこと、

及び、

(b) 前記第1絶縁膜と前記窒化物半導体層との界面酸素濃度が前記第2絶縁膜と前記第1絶縁膜との界面酸素濃度より低いこと、



の少なくとも一方を満たす、  
半導体装置。

[請求項2] (c) 前記第1絶縁膜のハロゲン濃度が $1 \times 10^{18} \text{ atom/cm}^3$ 未満であり、かつ、前記第2絶縁膜のハロゲン濃度が $1 \times 10^{18} \text{ atom/cm}^3$ より大きいこと、  
及び、

(d) 前記第1絶縁膜と前記窒化物半導体層との界面酸素濃度が $1 \times 10^{20} \text{ atom/cm}^3$ 未満であり、かつ、前記第2絶縁膜と前記第1絶縁膜との界面酸素濃度が $1 \times 10^{20} \text{ atom/cm}^3$ より大きいこと、

の少なくとも一方を満たす、  
請求項1に記載の半導体装置。

[請求項3] 前記絶縁層は、さらに、前記第1張り出し部と前記第2絶縁膜との間に位置し、前記第1張り出し部に接触する、シリコン酸化物からなる第3絶縁膜を含む、

請求項1に記載の半導体装置。

[請求項4] 前記第1絶縁膜の膜厚は、 $10 \text{ nm}$ 以上であり、  
前記バリア層の膜厚は、 $7 \text{ nm}$ 以上である、  
請求項1に記載の半導体装置。

[請求項5] 前記バリア層の膜厚は、 $10 \text{ nm}$ 以下である、  
請求項4に記載の半導体装置。

[請求項6] 前記第1絶縁膜の膜厚は、 $25 \text{ nm}$ 以下である、  
請求項4に記載の半導体装置。

[請求項7] 前記絶縁層は、さらに、前記接合部と前記第1絶縁膜との間に設けられたシリコン窒化物からなるサイドウォールを含み、

(e) 前記第1絶縁膜のハロゲン濃度が前記サイドウォールのハロゲン濃度より低いこと、

及び、

(f) 前記第1絶縁膜と前記窒化物半導体層との界面酸素濃度が前記サイドウォールと前記窒化物半導体層との界面酸素濃度より低いこと、

の少なくとも一方を満たす、

請求項1～6のいずれか1項に記載の半導体装置。

[請求項8] 前記サイドウォールは、前記第2絶縁膜とは膜質が異なる、  
請求項7に記載の半導体装置。

[請求項9] エピタキシャル成長法によって、基板の上方に、Ga元素を含む窒化物半導体からなるチャンネル層と、前記チャンネル層よりもバンドギャップが大きいバリア層であって、Ga元素を含むバリア層を含む窒化物半導体層と、を順に形成する第1工程と、

前記窒化物半導体層を覆うように絶縁層を形成する第2工程と、

前記絶縁層の一部を除去することにより、前記窒化物半導体層の一部を露出させる第3工程と、

前記基板の上方で、互いに間隔を空けてソース電極及びドレイン電極を形成する第4工程と、

前記窒化物半導体層の露出した部分に接触し、かつ、前記絶縁層のうち、前記露出した部分よりも前記ドレイン電極側に位置する部分を覆うように、前記ソース電極と前記ドレイン電極との間に各々に対して間隔を空けてゲート電極を形成する第5工程と、を含み、

前記第2工程は、

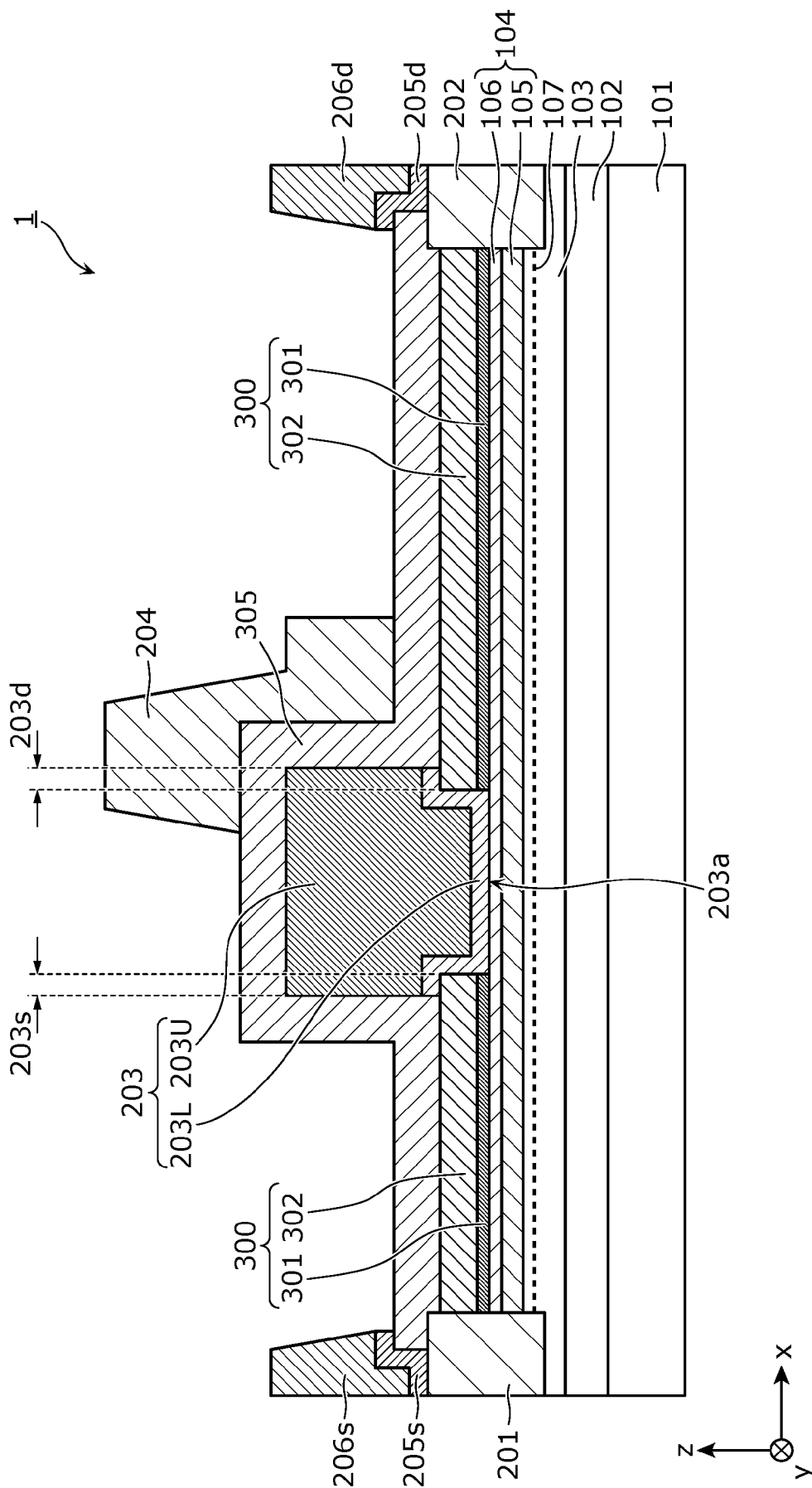
前記第1工程の後、大気暴露することなく、前記窒化物半導体層を接触して覆うシリコン窒化物からなる第1絶縁膜を形成する工程と、

前記第1絶縁膜を形成した後、大気暴露を経て、前記第1絶縁膜の上方にシリコン窒化物からなる第2絶縁膜を形成する工程と、を含む、

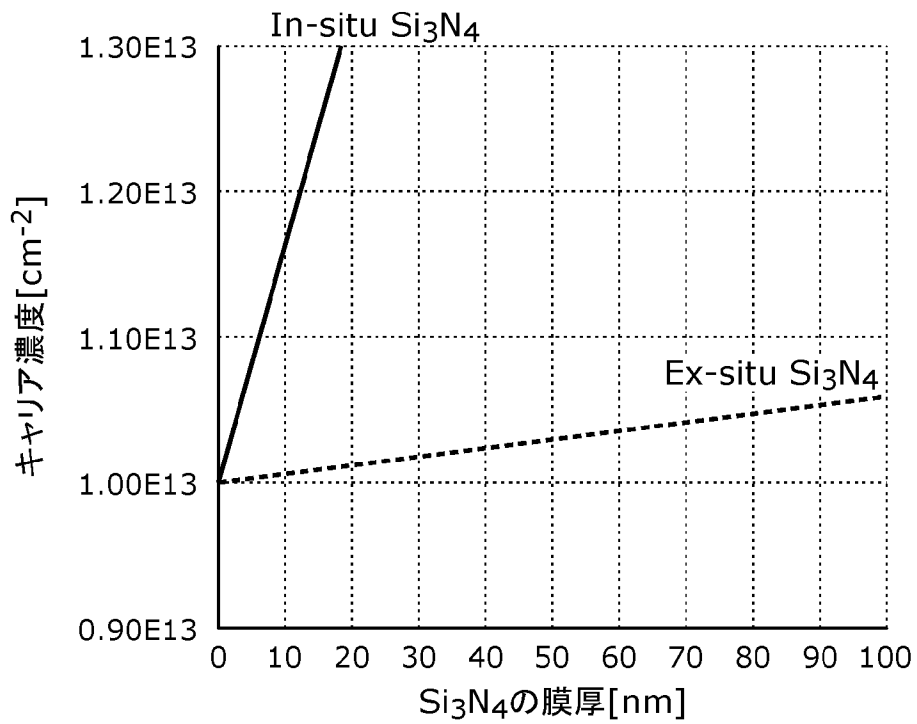
半導体装置の製造方法。

[請求項10] 前記第2工程では、前記第2絶縁膜を、LPCVD (Low Pressure Chemical Vapor Deposition) 法によって形成する、  
請求項9に記載の半導体装置の製造方法。

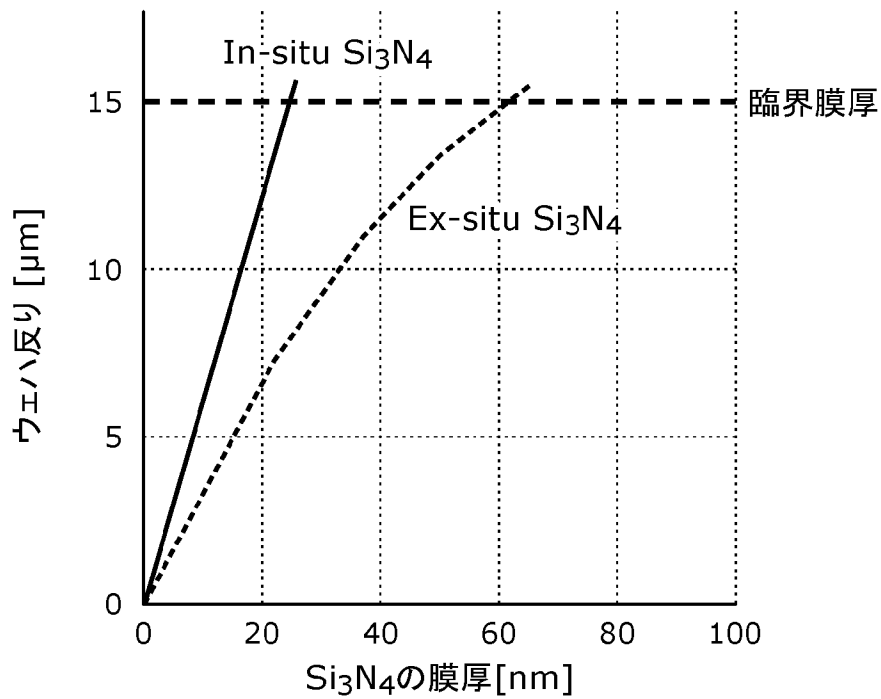
[図1]



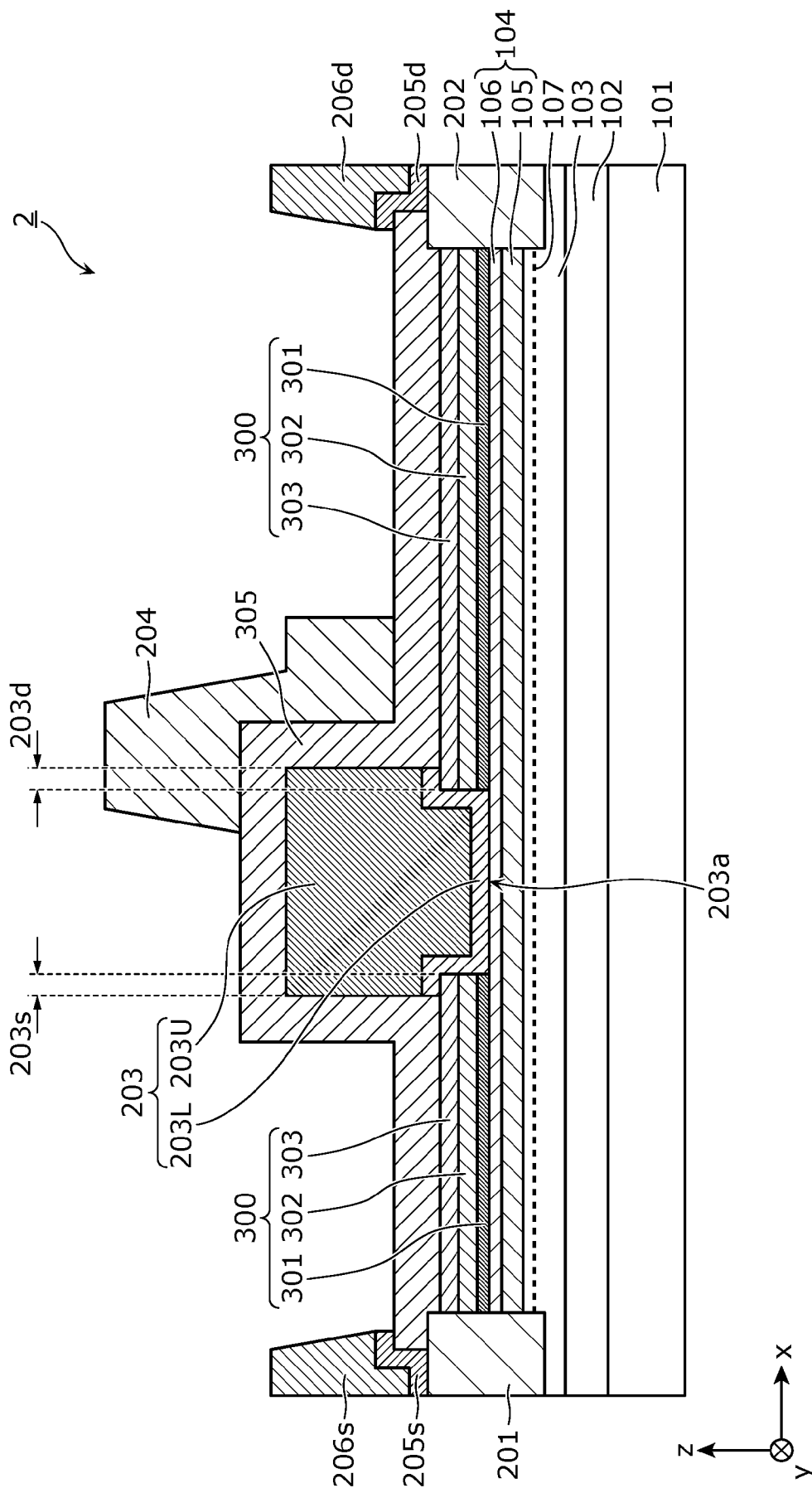
[図2]



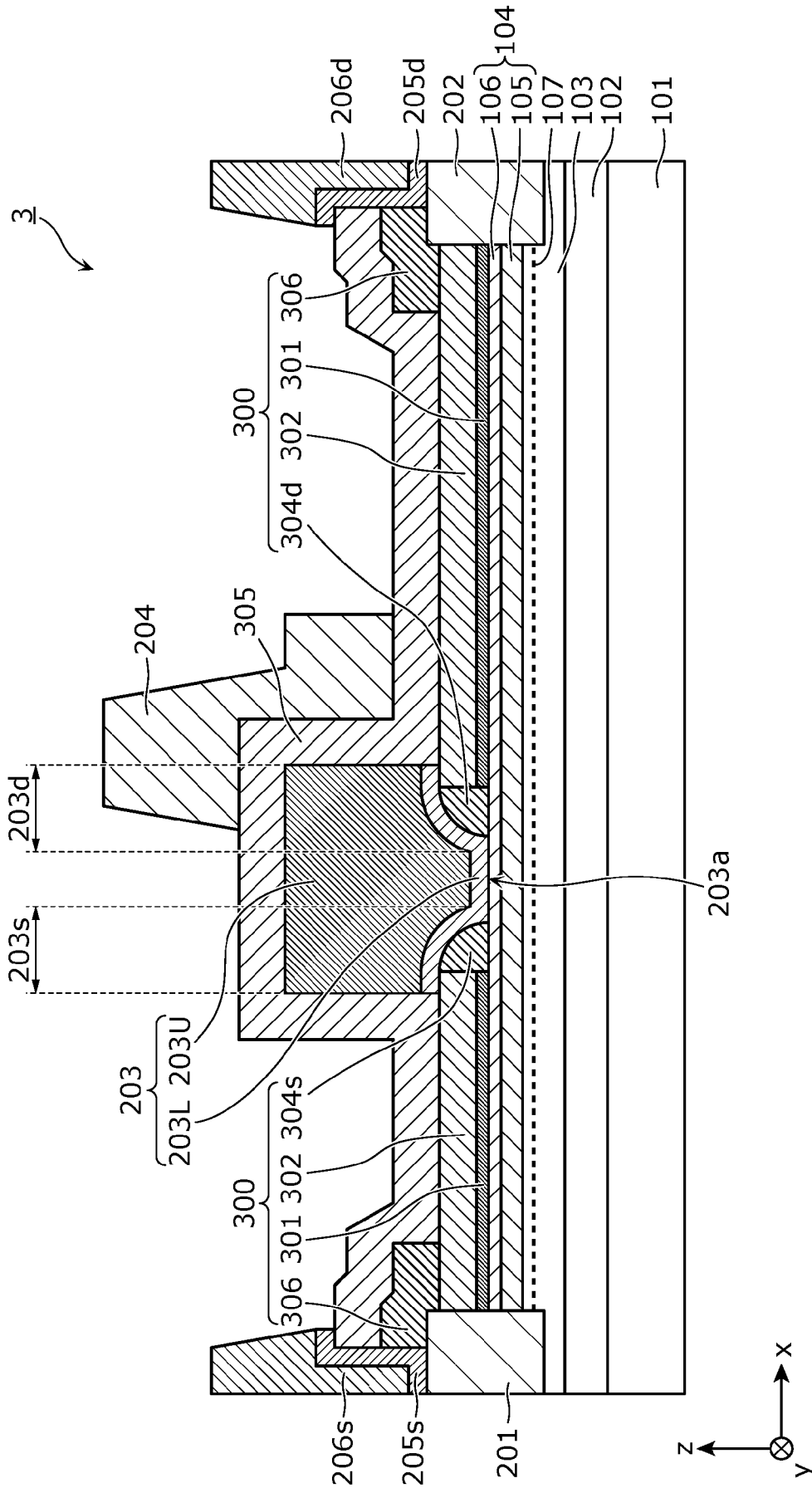
[図3]



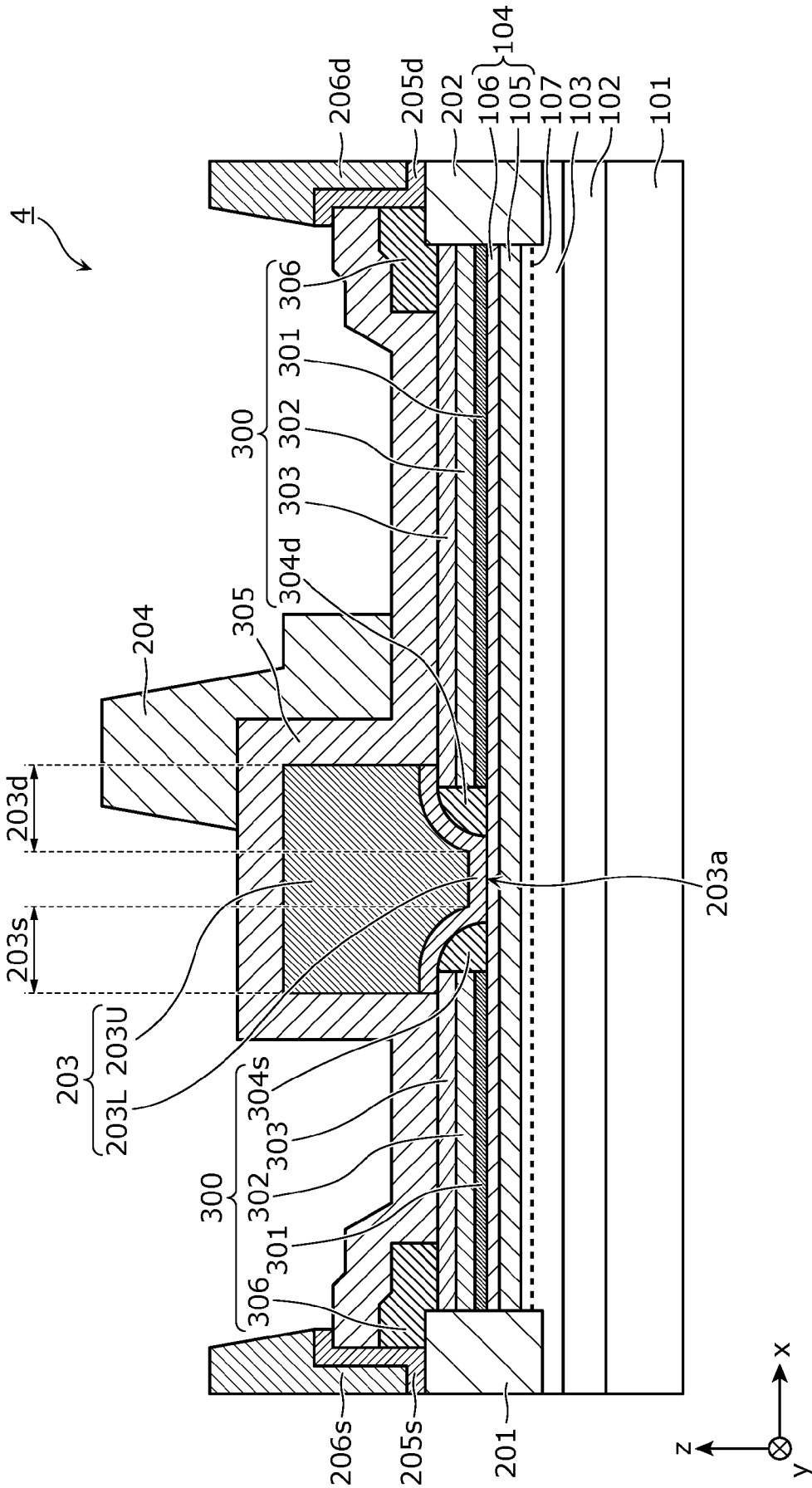
[図4]



[図5]

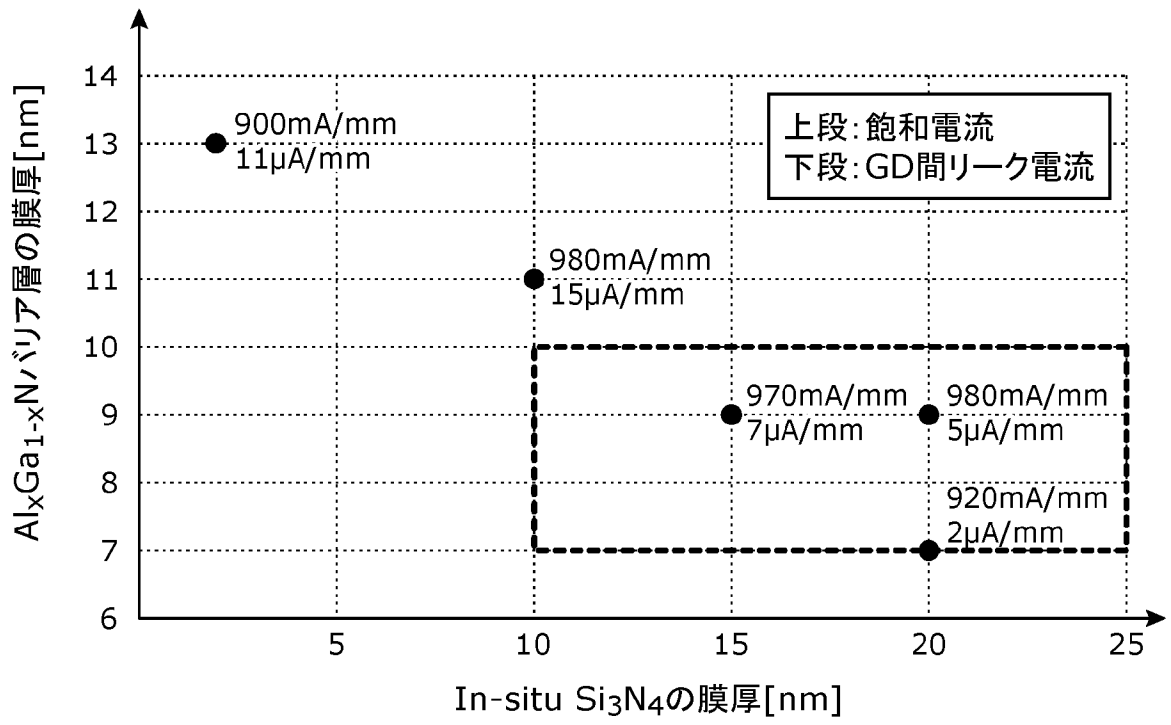


[図6]



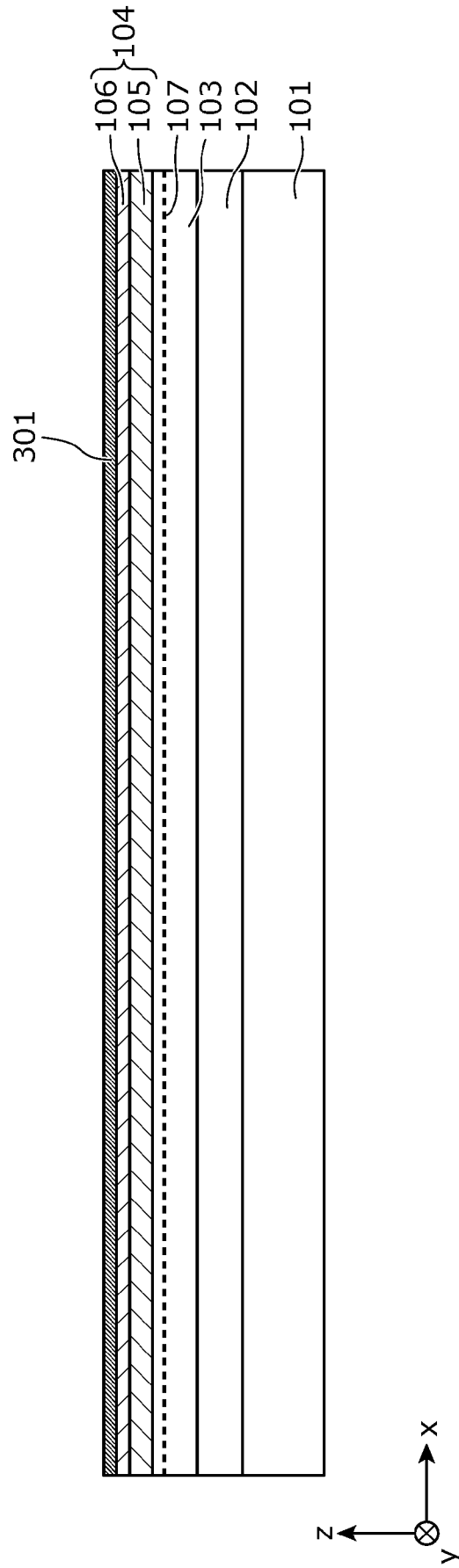


[図7]

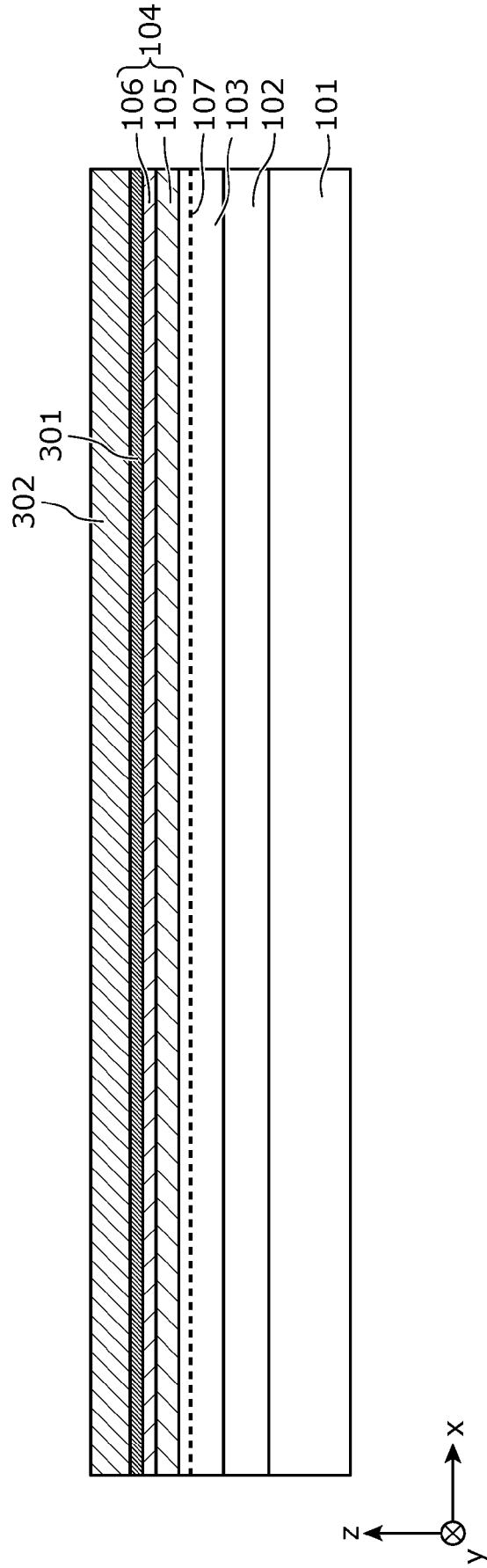




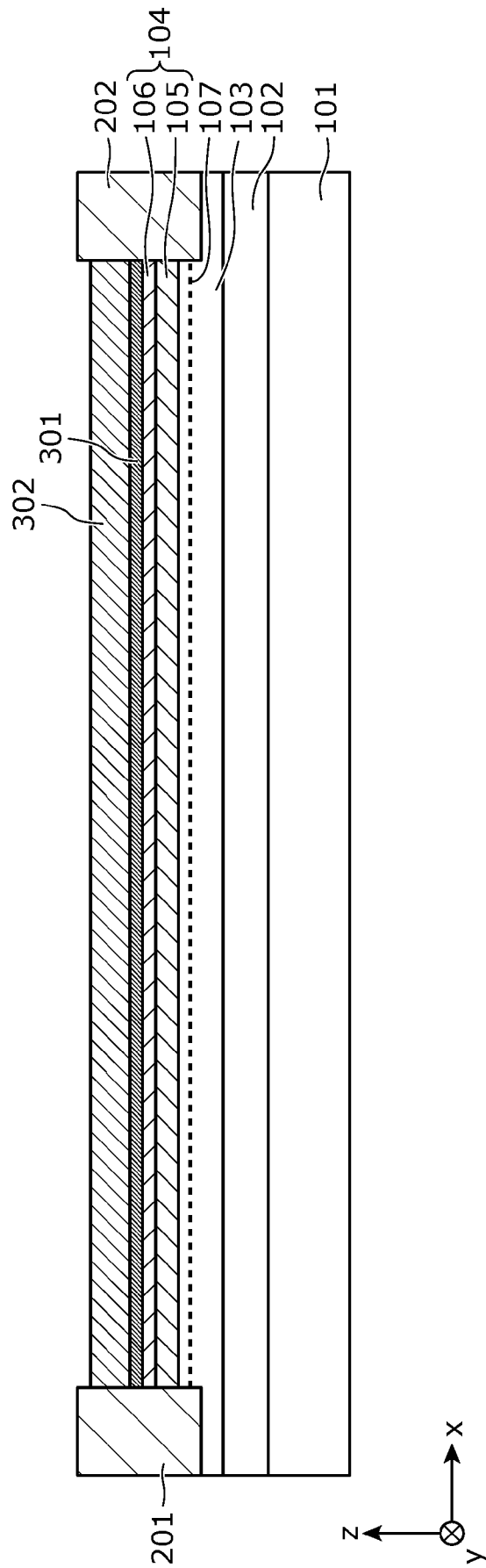
[図9A]



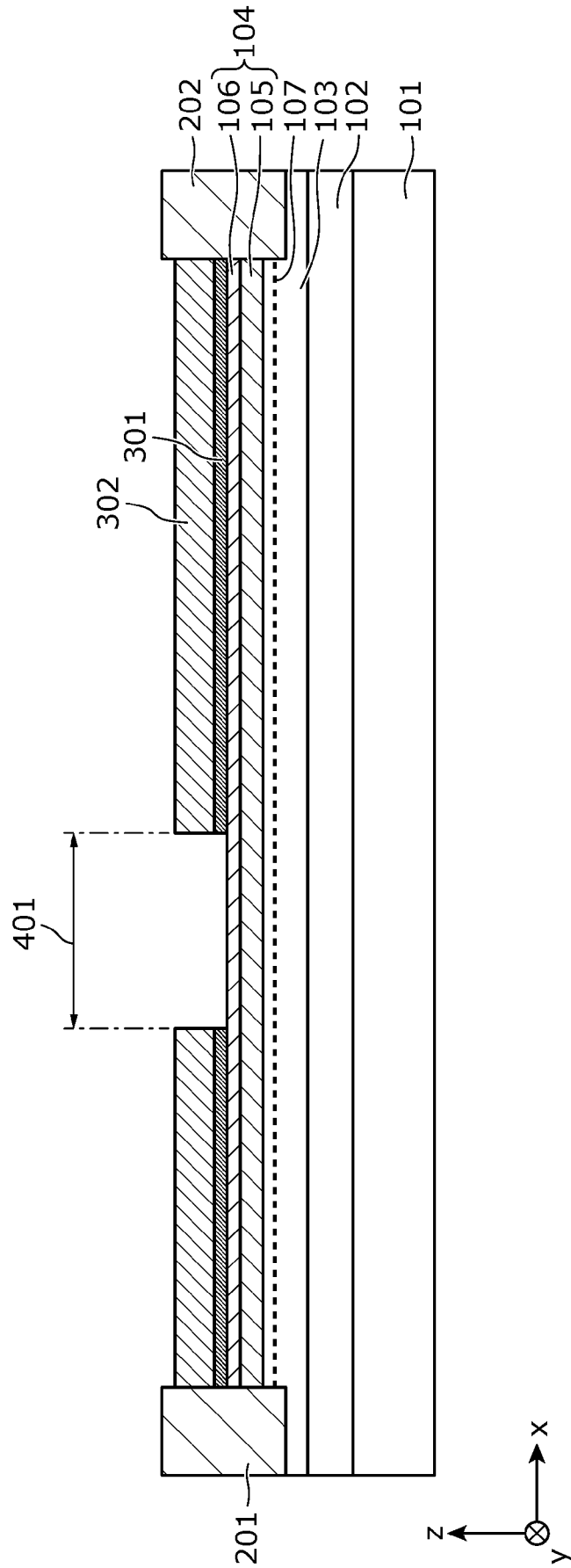
[ 9B]



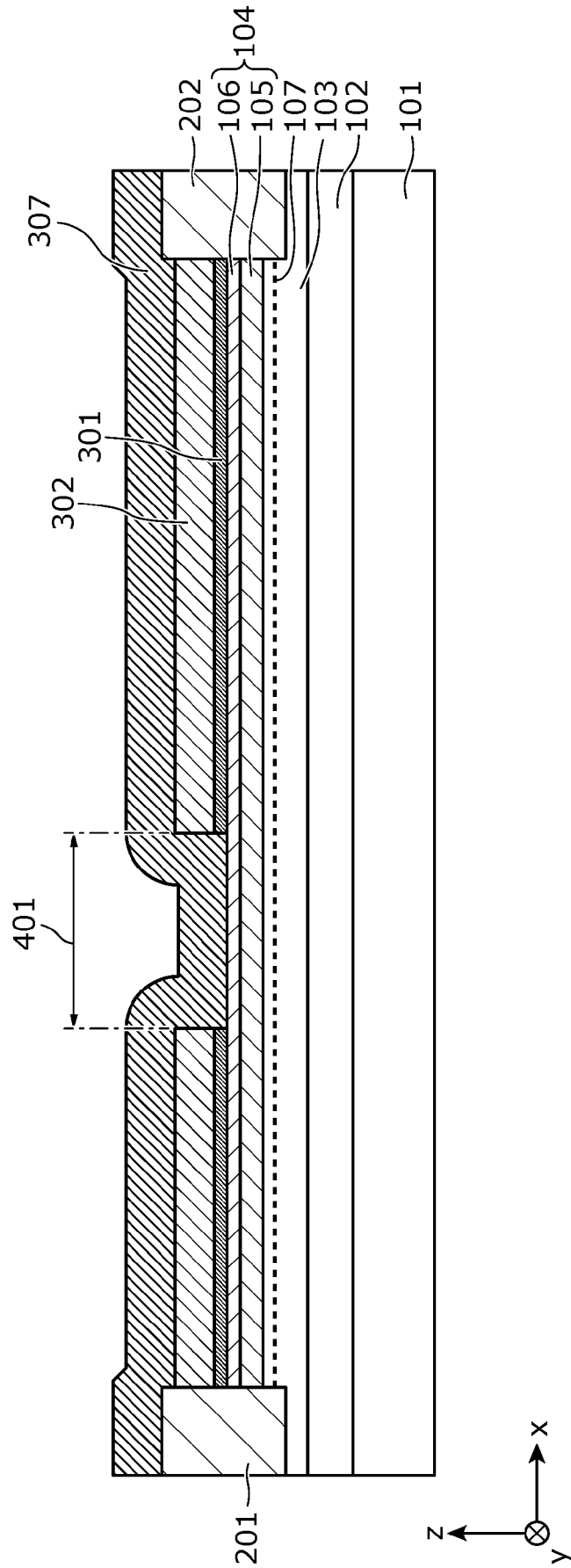
[図9C]



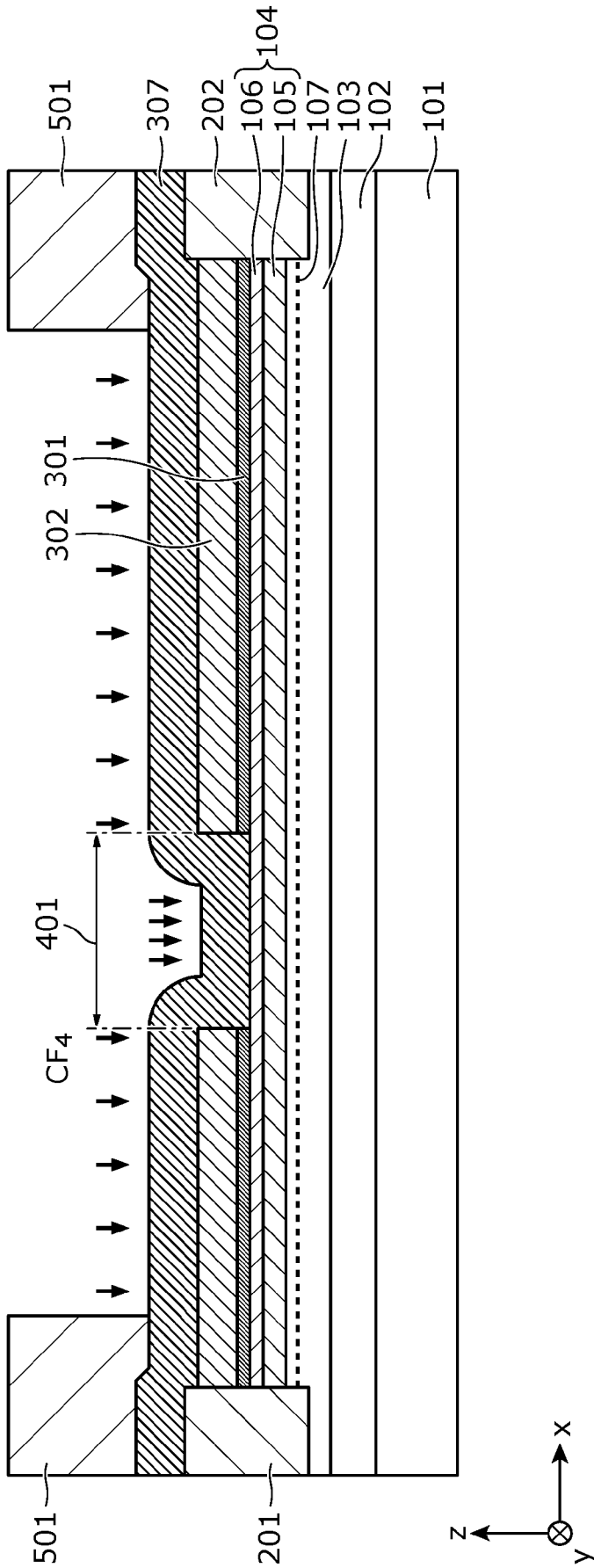
[図9D]



[図9E]

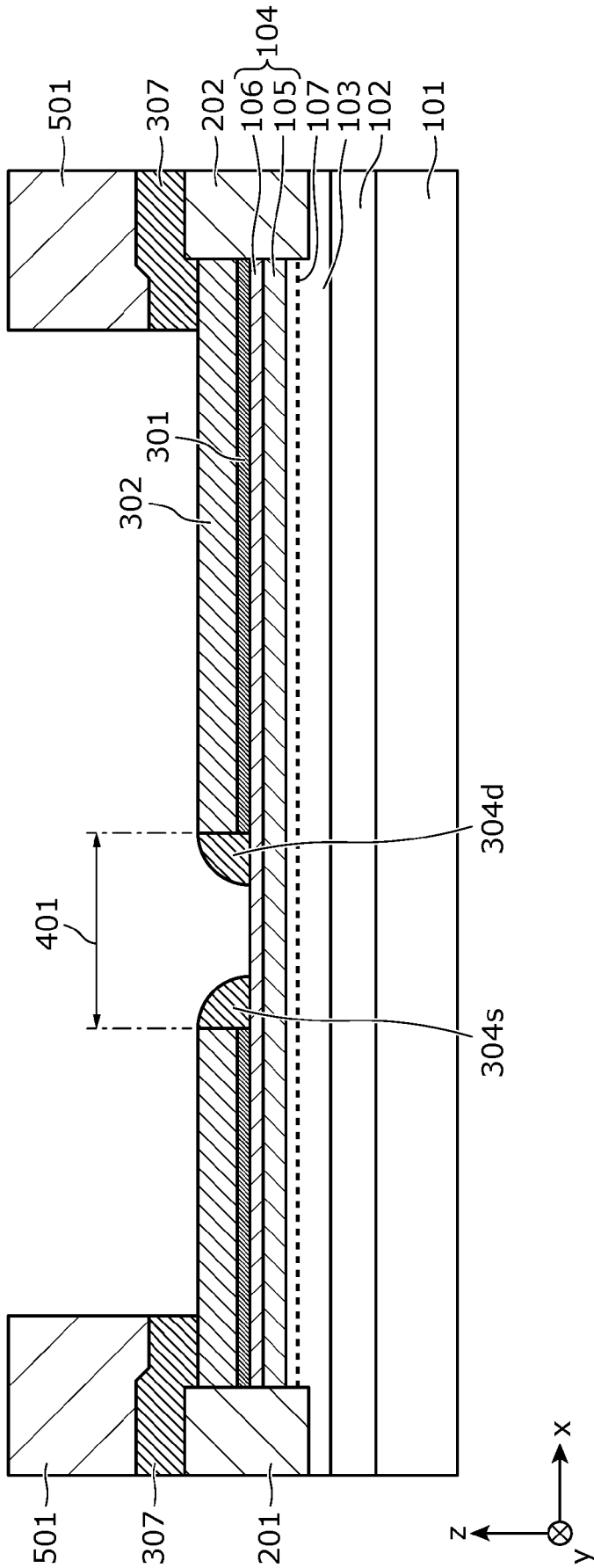


[図9F]

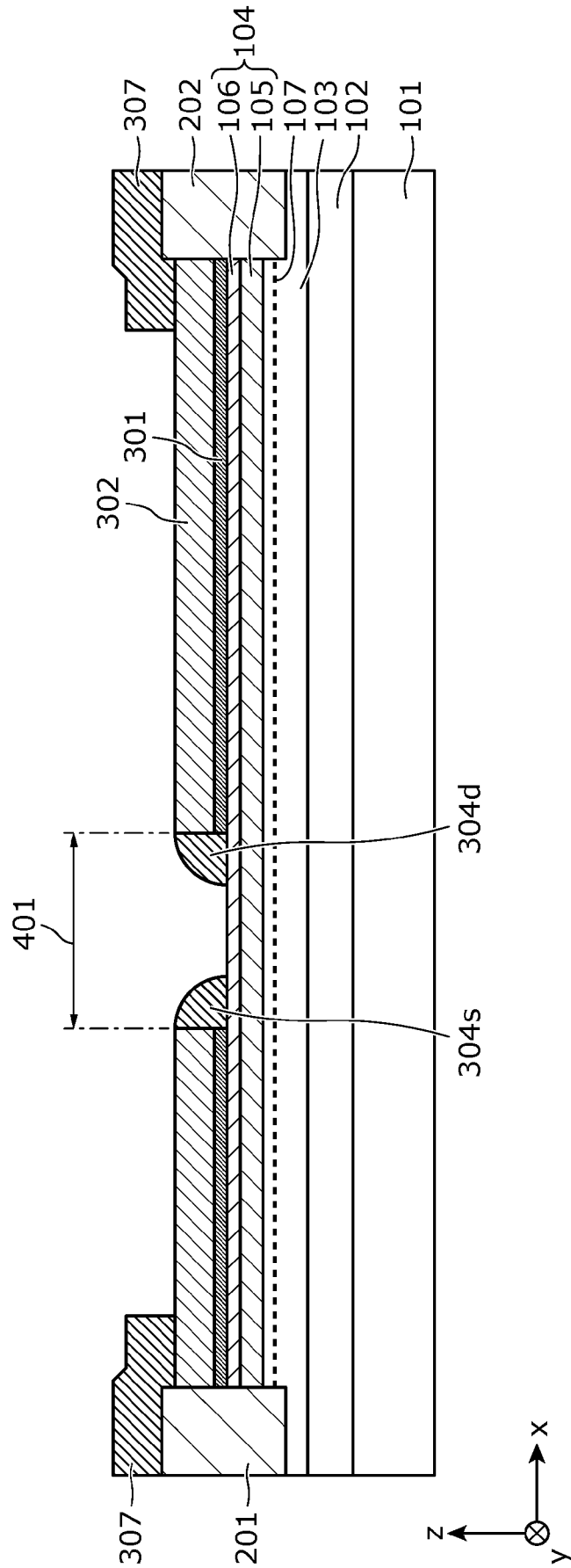




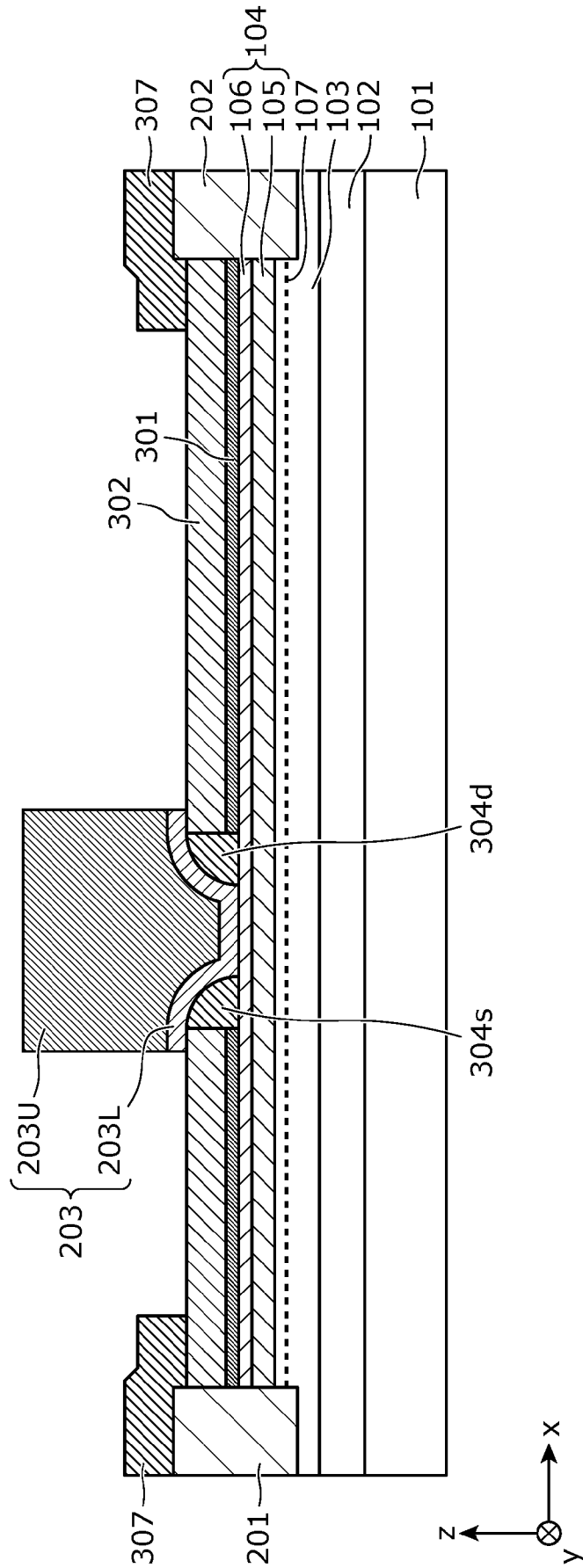
[9G]



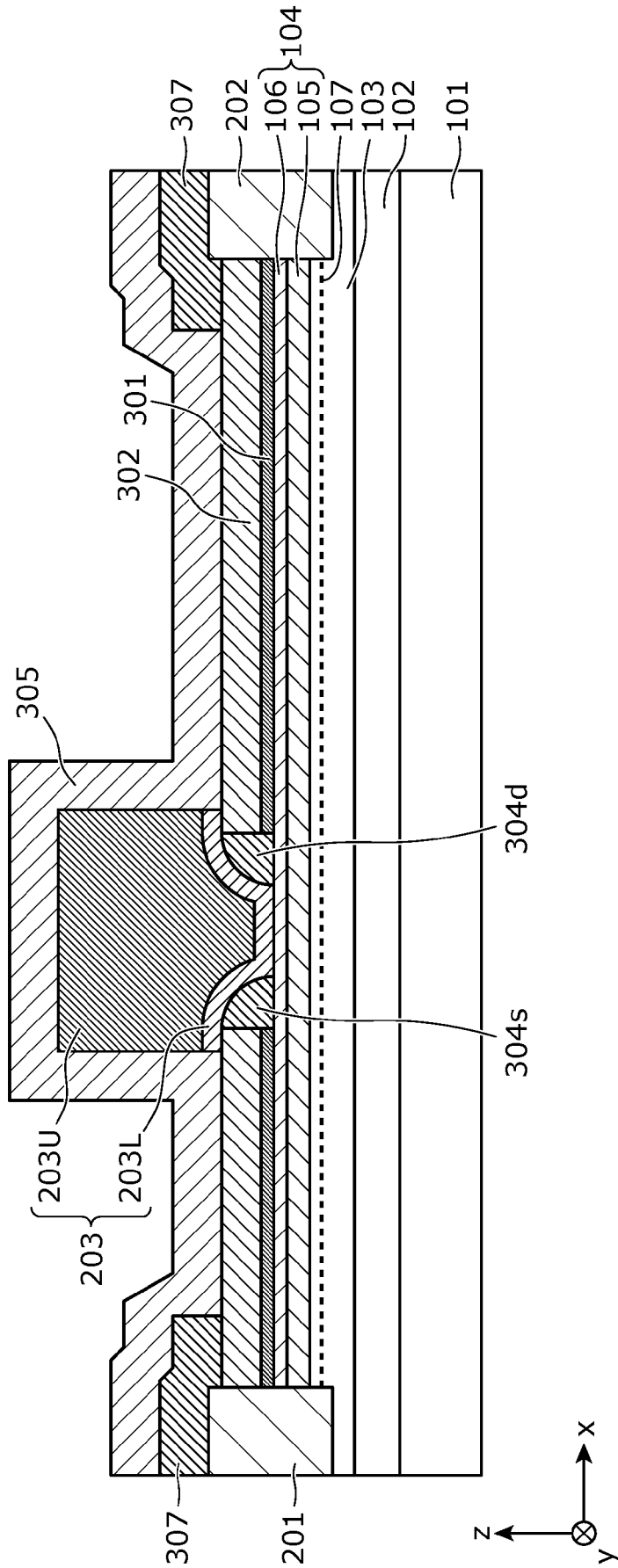
[9H]



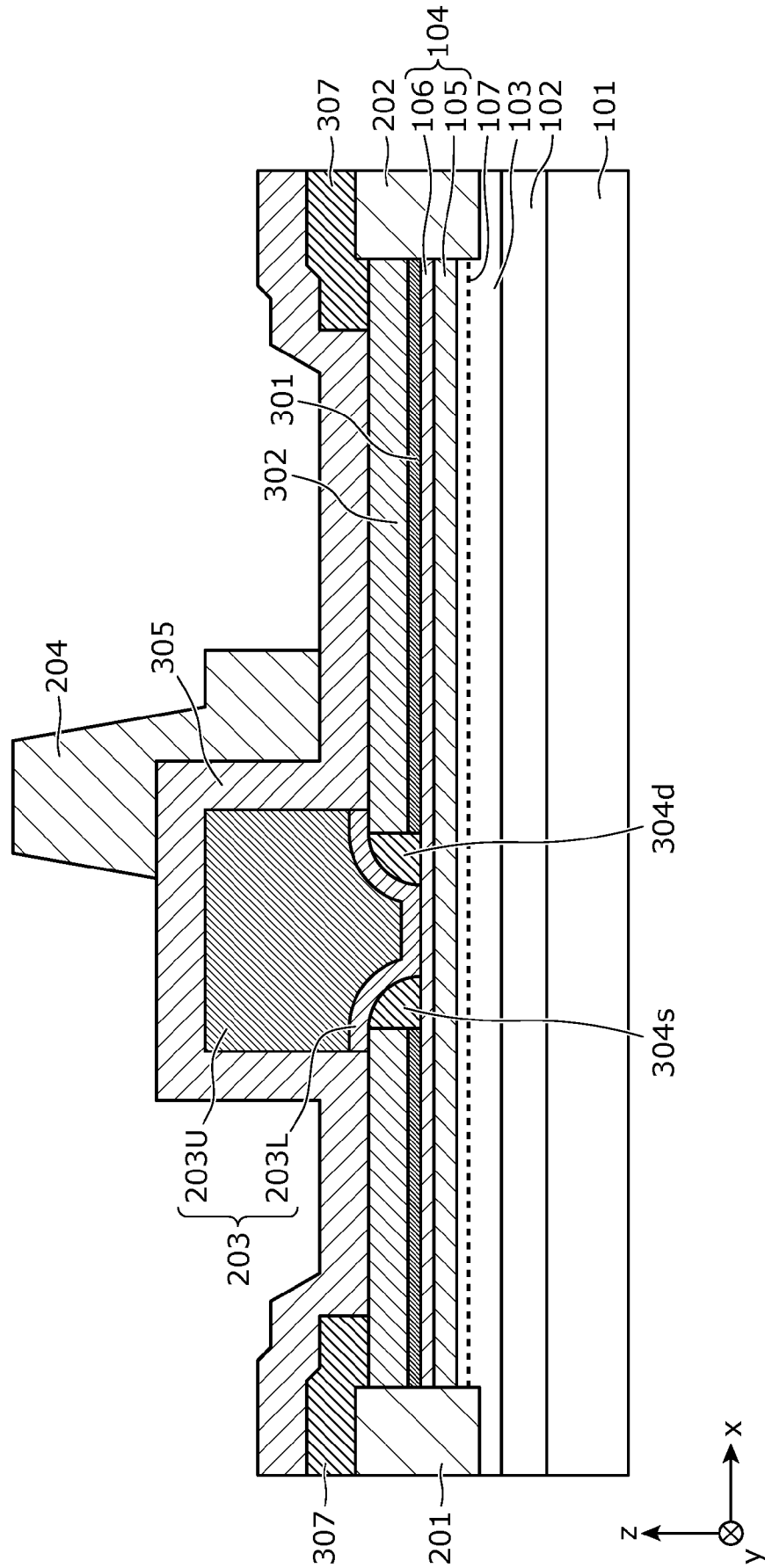
[図9I]



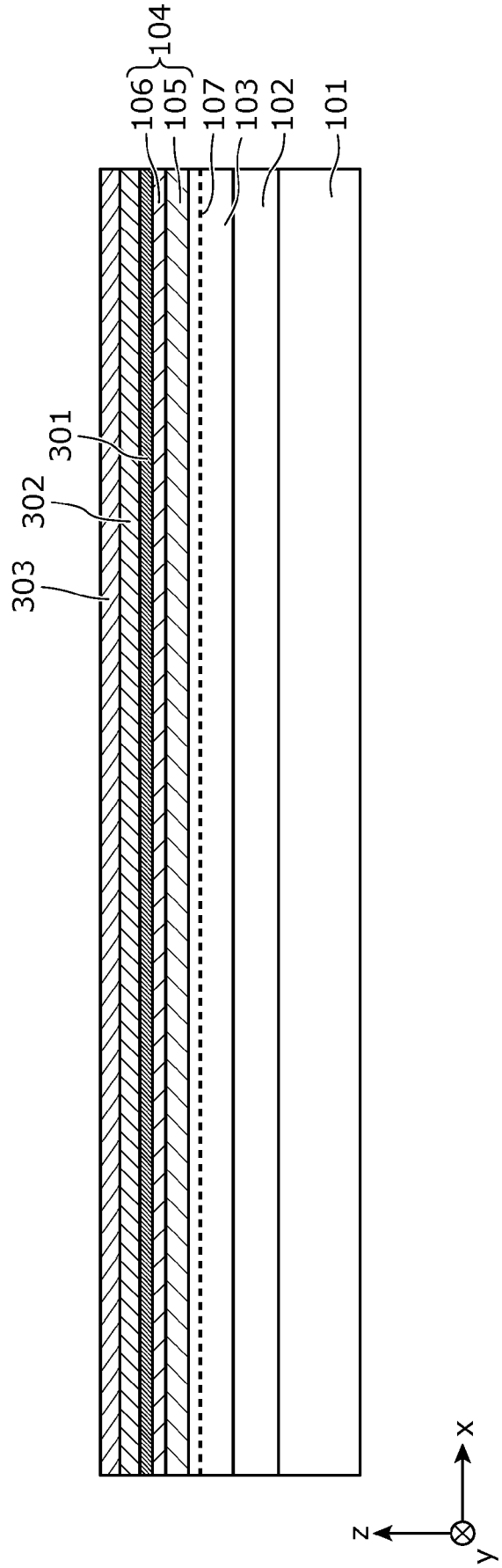
[図9J]



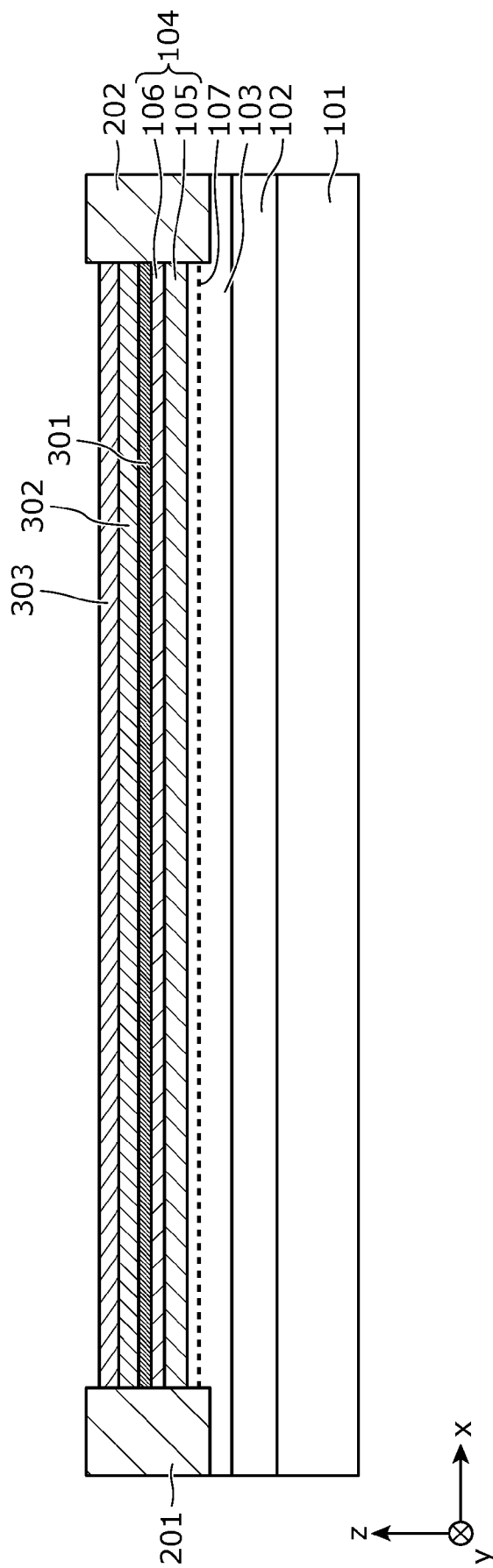
[9K]



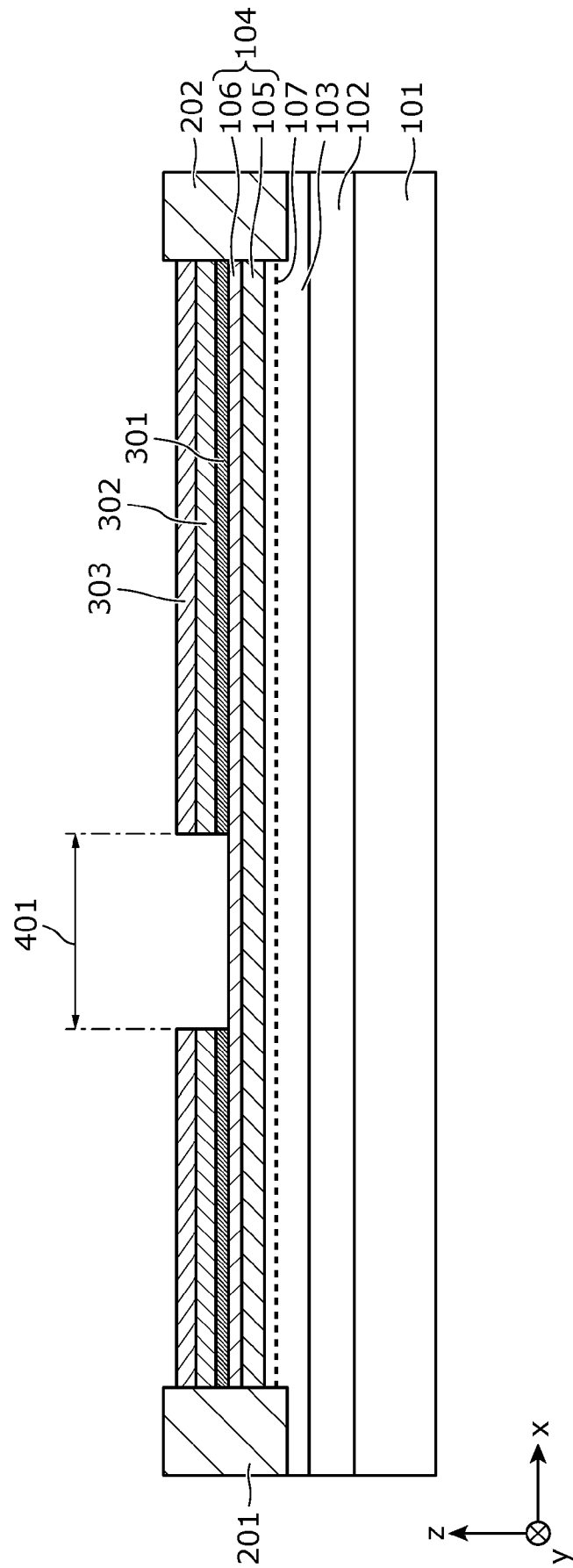
[図10A]



[図10B]



[図10C]





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/011682

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 29/778</i> (2006.01)i; <i>H01L 21/318</i> (2006.01)i FI: H01L29/80 H; H01L21/318 B		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L29/778; H01L21/318		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-77629 A (FUJITSU LIMITED) 25 April 2013 (2013-04-25) paragraphs [0012]-[0026], [0215], fig. 1-2	1-6
A	paragraphs [0012]-[0026], [0215], fig. 1-2	7-10
Y	JP 2009-10107 A (OKI ELECTRIC INDUSTRY CO., LTD.) 15 January 2009 (2009-01-15) paragraphs [0061], [0091], [0093]-[0097]	1-6
Y	JP 2010-509770 A (CREE INC.) 25 March 2010 (2010-03-25) paragraphs [0042], [0052]	1-6
A	WO 2021/230283 A1 (NUVOTON TECHNOLOGY CORPORATION JAPAN) 18 November 2021 (2021-11-18) entire text, all drawings	1-10
A	JP 2008-218696 A (NEC CORPORATION) 18 September 2008 (2008-09-18) entire text, all drawings	1-10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>17 May 2024</b>		Date of mailing of the international search report <b>28 May 2024</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2024/011682**

<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2021-111698 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 02 August 2021 (2021-08-02) entire text, all drawings	1-10
-----		

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2024/011682**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-77629	A	25 April 2013	US 2013/0082400 A1 paragraphs [0045]-[0073], [0392], fig. 1A-2C EP 2575180 A2 CN 103035683 A	
-----					
JP	2009-10107	A	15 January 2009	US 2009/0001381 A1 paragraphs [0066], [0096], [0098]-[0102] CN 101335296 A	
-----					
JP	2010-509770	A	25 March 2010	US 2008/0121895 A1 paragraphs [0041], [0050] EP 2084733 A2 CA 2666519 A KR 10-2009-0090325 A CN 101611473 A	
-----					
WO	2021/230283	A1	18 November 2021	US 2023/0187529 A1 EP 4135010 A1 CN 115552631 A	
-----					
JP	2008-218696	A	18 September 2008	(Family: none)	
-----					
JP	2021-111698	A	02 August 2021	US 2021/0217853 A1 CN 113113465 A	
-----					

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/778(2006.01)i; H01L 21/318(2006.01)i FI: H01L29/80 H; H01L21/318 B		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L29/778; H01L21/318		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-77629 A（富士通株式会社）25.04.2013（2013-04-25） 段落[0012]-[0026], [0215], 図1-2	1-6
A	段落[0012]-[0026], [0215], 図1-2	7-10
Y	JP 2009-10107 A（沖電気工業株式会社）15.01.2009（2009-01-15） 段落[0061], [0091], [0093]-[0097]	1-6
Y	JP 2010-509770 A（クリー インコーポレイテッド）25.03.2010（2010-03-25） 段落[0042], [0052]	1-6
A	WO 2021/230283 A1（ヌヴォトンテクノロジーージャパン株式会社）18.11.2021 （2021-11-18） 全文, 全図	1-10
A	JP 2008-218696 A（日本電気株式会社）18.09.2008（2008-09-18） 全文, 全図	1-10
A	JP 2021-111698 A（住友電気工業株式会社）02.08.2021（2021-08-02） 全文, 全図	1-10
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは 他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 17.05.2024	国際調査報告の発送日 28.05.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/011682

引用文献			公表日	パテントファミリー文献			公表日
JP	2013-77629	A	25.04.2013	US	2013/0082400	A1	段落[0045]-[0073], [0392], 図1A-2C EP 2575180 A2 CN 103035683 A
-----							
JP	2009-10107	A	15.01.2009	US	2009/0001381	A1	
-----							段落[0066], [0096], [0098]- [0102] CN 101335296 A
JP	2010-509770	A	25.03.2010	US	2008/0121895	A1	
-----							段落[0041], [0050] EP 2084733 A2 CA 2666519 A KR 10-2009-0090325 A CN 101611473 A
WO	2021/230283	A1	18.11.2021	US	2023/0187529	A1	
-----							
				EP	4135010	A1	
				CN	115552631	A	
JP	2008-218696	A	18.09.2008	(ファミリーなし)			
-----							US 2021/0217853 A1 CN 113113465 A
JP	2021-111698	A	02.08.2021	US	2021/0217853	A1	
-----							