

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6001308号
(P6001308)

(45) 発行日 平成28年10月5日(2016.10.5)

(24) 登録日 平成28年9月9日(2016.9.9)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 C
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 T
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78 6 1 7 J
HO 1 L 51/50 (2006.01)	HO 1 L 29/78 6 1 8 B
	GO 2 F 1/1368

請求項の数 10 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2012-93512 (P2012-93512)
 (22) 出願日 平成24年4月17日(2012.4.17)
 (65) 公開番号 特開2013-222818 (P2013-222818A)
 (43) 公開日 平成25年10月28日(2013.10.28)
 審査請求日 平成27年3月30日(2015.3.30)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (73) 特許権者 000005049
 シャープ株式会社
 大阪府堺市堺区匠町1番地
 (74) 代理人 100110858
 弁理士 柳瀬 睦肇
 (74) 代理人 100100413
 弁理士 渡部 温
 (72) 発明者 横山 雅俊
 栃木県栃木市都賀町升塚161-2 アド
 バンスト フィルム デバイス インク
 株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ゲート電極と、酸化物半導体膜と、ソース電極及びドレイン電極と、前記酸化物半導体膜に形成されるチャンネル領域と、を具備し、

前記チャンネル領域は、前記ソース電極の第1の側面と、前記第1の側面に対向する前記ドレイン電極の第2の側面との間に形成され、

前記第1の側面は、前記第2の側面を、一定距離の間隔において囲む形状を有し、前記第2の側面はその平面形状の輪郭が曲面を有し、

前記酸化物半導体膜の平面形状は円形または楕円形であり、

前記酸化物半導体膜は、前記酸化物半導体膜の周縁であって前記ゲート電極と重畳しない端領域を有し、

前記重畳しない端領域は、前記第1の側面の一方端から最も近い第1の点と、前記第2の側面の一方端から最も近い第2の点との間に位置することを特徴とする半導体装置。

【請求項2】

ゲート電極と、

前記ゲート電極上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された酸化物半導体膜と、

前記酸化物半導体膜に接して形成されたソース電極及びドレイン電極と、

前記酸化物半導体膜に形成されるチャンネル領域と、

を具備し、

前記チャンネル領域は、前記ソース電極の第 1 の側面と、前記第 1 の側面に対向する前記ドレイン電極の第 2 の側面との間に形成され、

前記第 1 の側面は、前記第 2 の側面を、一定距離の間隔において囲む形状を有し、前記第 2 の側面はその平面形状の輪郭が曲面を有し、

前記酸化半導体膜の平面形状は円形または楕円形であり、

前記酸化半導体膜は、前記酸化半導体膜の周縁であって前記ゲート電極と重畳しない端領域を有し、

前記重畳しない端領域は、前記第 1 の側面の一方端から最も近い第 1 の点と、前記第 2 の側面の一方端から最も近い第 2 の点との間に位置することを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 において、

前記ソース電極と前記ドレイン電極の少なくとも一方及び前記ゲート電極それぞれは、前記酸化半導体膜の一方側から伸びるように配置され、

前記少なくとも一方は、前記酸化半導体膜及び前記ゲート電極の両方と重畳されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記重畳しない端領域は、前記第 1 の側面の他方端から最も近い第 3 の点と、前記第 2 の側面の他方端から最も近い第 4 の点との間に位置することを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記重畳しない端領域は、前記第 1 の点から前記第 2 の点まで連続した領域であることを特徴とする半導体装置。

【請求項 6】

請求項 4 において、

前記重畳しない端領域は、前記第 3 の点から前記第 4 の点まで連続した領域であることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、

前記ゲート電極と重畳しない端領域は、前記第 1 の側面と前記第 2 の側面との間の外側に位置することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項において、

前記酸化半導体膜は、前記ゲート電極と重畳する端領域を有し、

前記重畳する端領域のすべては、前記ソース電極及び前記ドレイン電極の少なくとも一方と重畳することを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一項において、

前記酸化半導体膜は、インジウム、亜鉛、ガリウム、及びスズから選ばれた一種以上の元素の酸化物を含む膜であることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至 9 のいずれか一項において、

前記酸化半導体膜は、結晶部を含み、

前記結晶部は、c 軸が前記酸化半導体膜の被形成面の法線ベクトルに平行な方向に揃うことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化半導体を用いた半導体装置に関する。なお、本明細書において、半導体装置とは、半導体素子自体または半導体素子を含むものをいい、このような半導体素子

10

20

30

40

50

として、例えばトランジスタ（薄膜トランジスタなど）が挙げられる。また、液晶表示装置、EL表示装置などの表示装置も半導体装置に含まれる。

【背景技術】

【0002】

基板上に半導体薄膜を形成することによって、トランジスタを構成する技術が注目されている。当該トランジスタは、液晶表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜として、これまでシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0003】

図13は、酸化物半導体としてIGZO(In-Ga-Zn-O)を用いたボトムゲート構造のトランジスタの例を示す上面図である。このトランジスタは、ゲート電極1001上に形成されたゲート絶縁膜(図示せず)と、このゲート絶縁膜上に形成されたIGZOを用いた酸化物半導体膜1002と、この酸化物半導体膜1002上に形成されたソース電極1003及びドレイン電極1004を有する(例えば特許文献1参照)。

10

【0004】

図14は、図13に示すトランジスタにおいて、GBT(Gate Bias Temperature)ストレス試験の前後における I_d (ドレイン電流)- V_g (ゲート電圧)曲線を示している。破線は、GBTストレス試験前の I_d - V_g 曲線を示し、実線は、GBTストレス試験後の I_d - V_g 曲線を示す。

【0005】

20

図13に示すようなトランジスタでは、GBTストレス試験を行うと、酸化物半導体膜1002の端領域の全てがゲート電極1001と重畳しているため、ゲート電極1001に負の電圧が印加されることにより酸化物半導体膜1002の端領域に電界によるストレスが生じて、酸化物半導体膜1002の端領域のn型化が促進される。それにより、酸化物半導体膜1002の端領域に寄生チャネルが発生し、ソース電極1003とドレイン電極1004の間にリークパスが繋がることで、図14に示すように I_d - V_g 曲線にコブが発生する。そして、このコブが発生すると、上記のトランジスタを用いた回路では、回路内の電圧が保持できないことや消費電流が増すこと等の悪影響が生じてしまう。なお、コブとは、 I_d - V_g 曲線において I_d の上昇が段階的であることをいう。

【0006】

30

酸化物半導体膜1002の端領域がn型化する理由は次のとおりである。酸化物半導体膜1002に電界ストレスが生じることによって酸化物半導体膜1002が活性化し、反応性が高まる。特に、トランジスタを製造する際にフォトリソグラフィ工程及びエッチング工程を用いて酸化物半導体膜1002を形成する時において、酸化物半導体膜1002の上面はフォトレジスト層により保護されているのに対して、酸化物半導体膜1002の端領域の側面は直接プラズマなどのエッチング雰囲気曝される。このため、酸化物半導体膜1002の側面は、プロセスダメージを受け、また不純物によって汚染されやすい。その結果、酸化物半導体膜1002の端領域は、それ以外の酸化物半導体膜1002の部分と比べて活性化しやすく、GBTストレス試験によってn型化しやすい。

【先行技術文献】

40

【特許文献】

【0007】

【特許文献1】特開2007-299913号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の一態様は、活性層である酸化物半導体膜の端領域に寄生チャネルが発生するのを抑制した半導体装置を提供することを課題とする。

【課題を解決するための手段】

【0009】

50

本発明の一態様は、ゲート電極と、酸化物半導体膜と、ソース電極及びドレイン電極と、前記酸化物半導体膜に形成されるチャネル領域と、を具備し、前記チャネル領域は、前記ソース電極の第1の側面と、前記第1の側面に対向する前記ドレイン電極の第2の側面との間に形成され、前記酸化物半導体膜は、前記ゲート電極と重畳しない端領域を有し、前記重畳しない端領域は、前記第1の側面の一方端から最も近い第1の領域と、前記第2の側面の一方端から最も近い第2の領域との間に位置することを特徴とする半導体装置である。

【0010】

上記本発明の一態様によれば、酸化物半導体膜は、前記ゲート電極と重畳しない端領域を有し、前記重畳しない端領域は、前記第1の側面の一方端から最も近い第1の領域と、前記第2の側面の一方端から最も近い第2の領域との間に位置することにより、ゲート電極に電圧が印加されても、酸化物半導体膜の端領域に寄生チャネルが発生するのを抑制できる。

10

【0011】

本発明の一態様は、ゲート電極と、前記ゲート電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された酸化物半導体膜と、前記酸化物半導体膜に接して形成されたソース電極及びドレイン電極と、前記酸化物半導体膜に形成されるチャネル領域と、を具備し、前記チャネル領域は、前記ソース電極の第1の側面と、前記第1の側面に対向する前記ドレイン電極の第2の側面との間に形成され、前記酸化物半導体膜は、前記ゲート電極と重畳しない端領域を有し、前記重畳しない端領域は、前記第1の側面の一方端から最も近い第1の領域と、前記第2の側面の一方端から最も近い第2の領域との間に位置することを特徴とする半導体装置である。

20

【0012】

また、本発明の一態様において、前記ソース電極と前記ドレイン電極の少なくとも一方及び前記ゲート電極それぞれは、前記酸化物半導体膜の一方側から伸びるように配置され、前記少なくとも一方は、前記酸化物半導体膜及び前記ゲート電極の両方と重畳されているとよい。

【0013】

また、本発明の一態様において、前記重畳しない端領域は、前記第1の側面の他方端から最も近い第3の領域と、前記第2の側面の他方端から最も近い第4の領域との間に位置するとよい。

30

【0014】

また、本発明の一態様において、前記重畳しない端領域は、前記第1の領域から前記第2の領域まで連続した領域であるとよい。

【0015】

また、本発明の一態様において、前記重畳しない端領域は、前記第3の領域から前記第4の領域まで連続した領域であるとよい。

【0016】

また、本発明の一態様において、前記ゲート電極と重畳しない端領域は、前記第1の側面と前記第2の側面との間の外側に位置するとよい。

40

【0017】

また、本発明の一態様において、前記酸化物半導体膜は、前記ゲート電極と重畳する端領域を有し、前記重畳する端領域のすべては、前記ソース電極及び前記ドレイン電極の少なくとも一方と重畳するとよい。

【0018】

また、本発明の一態様において、前記酸化物半導体膜は、インジウム、亜鉛、ガリウム、及びスズから選ばれた一種以上の元素の酸化物を含む膜であるとよい。

【0019】

また、本発明の一態様において、前記酸化物半導体膜は、結晶部を含み、前記結晶部は、c軸が前記酸化物半導体膜の被形成面の法線ベクトルに平行な方向に揃うとよい。

50

【発明の効果】

【0020】

本発明の一態様を適用することで、活性層である酸化物半導体膜の端領域に寄生チャネルが発生するのを抑制した半導体装置を提供することができる。

【図面の簡単な説明】

【0021】

【図1】(A)は本発明の一態様に係る半導体装置を示す平面図、(B)は(A)に示すA-B線に沿った断面図、(C)は(A)に示すC-D線に沿った断面図。

【図2】図1(A)に示す半導体装置を矢印149の方向から見た斜視図。

【図3】本発明の他の一態様に係る半導体装置を示す平面図。

【図4】(A)~(C)は図1に示す半導体装置の作製方法を説明する断面図。

【図5】(A)は本発明の一態様に係る半導体装置を示す平面図、(B)は(A)に示すA-B線に沿った断面図、(C)は(A)に示すC-D線に沿った断面図。

【図6】(A)は本発明の一態様に係る半導体装置を示す平面図、(B)は(A)に示すA-B線に沿った断面図、(C)は(A)に示すC-D線に沿った断面図。

【図7】(A)はシミュレーションの対象としたトランジスタを示す平面図、(B)は(A)に示すA-A'線に沿った断面図、(C)は(A)に示すC-C'線に沿った断面図。

【図8】(A)は第1のシミュレーションの結果を示す図、(B)は第2のシミュレーションの結果を示す図。

【図9】本発明の一態様に係る液晶表示装置の画素を示す上面図。

【図10】図9に示す液晶表示装置の画素の回路図。

【図11】本発明の一態様に係るEL表示装置の画素を示す上面図。

【図12】図11に示すEL表示装置の画素の回路図。

【図13】酸化物半導体としてIGZO(In-Ga-Zn-O)を用いたボトムゲート構造のトランジスタを示す上面図。

【図14】図13に示すトランジスタにGBTストレス試験を行った結果であるId-Vg曲線を示す図。

【発明を実施するための形態】

【0022】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0023】

なお、トランジスタにおけるソース電極とドレイン電極は、いずれも酸化物半導体膜に接続するものであり、ゲート電極に電圧が印加された時にソース電極及びドレイン電極の間に電位差に応じて電流を流すため、ソース電極及びドレイン電極は動作によって入れ替わることがあり、場所による特定が困難なケースがある。そこで、トランジスタの構造を説明において、ソース電極とドレイン電極とを入れ替えても良い。

【0024】

<実施の形態1：ボトムゲートトップコンタクト-チャネルエッチ構造，ゲート電極幅がソース電極及びドレイン電極幅より大きい構造>

図1(A)は、本発明の一態様に係る半導体装置を示す平面図であり、図1(B)は、図1(A)に示すA-B線に沿った断面図であり、図1(C)は、図1(A)に示すC-D線に沿った断面図である。図2は、図1(A)に示す半導体装置を矢印149の方向から見た斜視図である。

【0025】

この半導体装置はボトムゲート構造(逆スタガ型構造ともいう)のトランジスタ150を有している。なお、図1(A)では、煩雑になることを避けるため、トランジスタ150の構成要素の一部(例えば、ゲート絶縁膜108など)を省略して図示している。

10

20

30

40

50

【 0 0 2 6 】

図 1 (B) , (C) に示すように、基板 1 0 2 上には下地絶縁膜 1 0 4 が形成されており、下地絶縁膜 1 0 4 上にはゲート電極 1 0 6 が形成されている。下地絶縁膜 1 0 4 及びゲート電極 1 0 6 の上にはゲート絶縁膜 1 0 8 が形成されており、ゲート絶縁膜 1 0 8 上にはチャンネル領域を有する酸化物半導体膜 1 1 0 が形成されている。本実施の形態 1 では、酸化物半導体膜 1 1 0 は I G Z O を用いた酸化物半導体膜である。

【 0 0 2 7 】

酸化物半導体膜 1 1 0 は、ゲート絶縁膜 1 0 8 と接し、ゲート電極 1 0 6 と重畳する位置に設けられている。酸化物半導体膜 1 1 0 及びゲート絶縁膜 1 0 8 上にはソース電極 1 1 4 a 及びドレイン電極 1 1 4 b が形成されており、ソース電極 1 1 4 a 及びドレイン電極 1 1 4 b は酸化物半導体膜 1 1 0 と電気的に接続されている。なお、酸化物半導体膜 1 1 0 及びゲート絶縁膜 1 0 8 の間において、酸化物半導体膜 1 1 0 と電気的に接続されたソース電極 1 1 4 a 及びドレイン電極 1 1 4 b が設けられてもよい。

10

【 0 0 2 8 】

酸化物半導体膜 1 1 0 のチャンネル領域は、ソース電極 1 1 4 a の第 1 の側面 2 1 4 a と、その第 1 の側面 2 1 4 a に対向するドレイン電極 1 1 4 b の第 2 の側面 2 1 4 b との間に形成されている。酸化物半導体膜 1 1 0 は、ゲート電極 1 0 6 と重畳しない端領域 2 0 6 を有している。

【 0 0 2 9 】

なお、本明細書において酸化物半導体膜の端領域とは、酸化物半導体膜の側面であって、酸化物半導体膜のエッチング加工時におけるプロセスダメージや不純物汚染等が生じている領域を意味する。

20

【 0 0 3 0 】

図 1 (A) に示す酸化物半導体膜 1 1 0 の端領域は、ゲート電極 1 0 6 と重畳しない端領域 2 0 6 とゲート電極 1 0 6 と重畳する端領域を有している。ゲート電極 1 0 6 と重畳する端領域は、平面形状が四角形である酸化物半導体膜 1 1 0 が、その四角形の一辺側から伸びるように配置されたゲート電極 1 0 6 と重畳する領域であり、その四角形の一辺に形成された領域である (図 1 (A) 参照) 。また、ゲート電極 1 0 6 と重畳しない端領域 2 0 6 は、酸化物半導体膜 1 1 0 の平面の四角形の三辺 (ゲート電極 1 0 6 と重畳する端領域が形成された一辺以外の辺) に形成された領域である。

30

【 0 0 3 1 】

酸化物半導体膜 1 1 0 におけるゲート電極 1 0 6 と重畳しない端領域 2 0 6 は、図 1 (A) に示すように、第 1 の側面 2 1 4 a の一方端 3 1 4 a から最も近い第 1 の領域 2 0 6 a と、第 2 の側面 2 1 4 b の一方端 3 1 4 b から最も近い第 2 の領域 2 0 6 b との間に位置する領域を含む。なお、重畳しない端領域 2 0 6 は、第 1 の領域 2 0 6 a から第 2 の領域 2 0 6 b まで連続した領域であることが好ましい。

【 0 0 3 2 】

また、重畳しない端領域 2 0 6 は、図 1 (A) 及び図 2 に示すように、第 1 の側面 2 1 4 a の他方端 4 1 4 a から最も近い第 3 の領域 2 0 6 c と、第 2 の側面 2 1 4 b の他方端 4 1 4 b から最も近い第 4 の領域 2 0 6 d との間に位置する領域を含む。なお、重畳しない端領域 2 0 6 は、第 3 の領域 2 0 6 c から第 4 の領域 2 0 6 d まで連続した領域であることが好ましい。

40

【 0 0 3 3 】

なお、第 1 ~ 第 4 の領域 2 0 6 a ~ 2 0 6 d それぞれは、酸化物半導体膜 1 1 0 の側面の線上の領域を意味する (図 2 参照) 。

【 0 0 3 4 】

このように基板 1 0 2 上にはボトムゲート構造のトランジスタ 1 5 0 が形成されている。トランジスタ 1 5 0 上には、さらに層間絶縁膜 1 1 6 、及び平坦化絶縁膜 (図示せず) が設けられる構成としてもよい。詳細には、ソース電極 1 1 4 a 及びドレイン電極 1 1 4 b の上には層間絶縁膜 1 1 6 が設けられており、層間絶縁膜 1 1 6 上には平坦化絶縁膜が

50

設けられている。

【0035】

図1及び図2に示す本発明の一態様によれば、酸化物半導体膜110の四角形の一辺側から伸びるようにゲート電極106を配置し、そのゲート電極106が伸びる方向と同じ方向に伸びるようにソース電極114a及びドレイン電極114bを配置することにより、酸化物半導体膜110の平面の四角形の三辺にゲート電極106と重畳しない端領域206を形成することができる。この端領域206は、第1の領域206aと第2の領域206bとの間に位置する領域を含み、第3の領域206cと第4の領域206dとの間に位置する領域を含む。従って、ゲート電極106に電圧が印加されても、ゲート電極106と重畳しない酸化物半導体膜110の端領域には電界によるストレスが発生しないため、酸化物半導体膜110の端領域206のn型化が促進されることはない。その結果、ソース電極114aの第1の側面214aの一方端314a、そこから最も近い端領域206の第1の領域206a、ドレイン電極114bの第2の側面214bの一方端314b、そこから最も近い端領域206の第2の領域206bの間に電流が流れてリークパスが繋がることがない。これと同様に、ソース電極114aの第1の側面214aの他方端414a、そこから最も近い端領域206の第3の領域206c、ドレイン電極114bの第2の側面214bの他方端414b、そこから最も近い端領域206の第4の領域206dの間に電流が流れてリークパスが繋がることがない。よって、端領域206に寄生チャネルが発生するのを抑制でき、寄生トランジスタが形成されるのを抑制できる。そして、上記のトランジスタを用いることによって、回路内の電圧が保持出来ないことや消費電流が増すこと等を低減させることができる。

10

20

【0036】

図3は、本発明の他の一態様に係る半導体装置を示す平面図である。この半導体装置は、第1の領域206aと第2の領域206bとの間に位置する端領域206と、第3の領域206cと第4の領域206dとの間に位置する端領域206だけをゲート電極106と重畳しない端領域とし、他の端領域をゲート電極106と重畳させたものである。

【0037】

本発明の他の一態様によれば、ゲート電極106に電圧が印加されても、ゲート電極106と重畳しない酸化物半導体膜110の端領域には電界によるストレスが発生しないため、酸化物半導体膜110の端領域206のn型化が促進されることはない。従って、図1及び図2に示す本発明の一態様と同様の効果を得ることができる。

30

【0038】

また、図1及び図3に示すように、ソース電極114aの第1の側面214aとドレイン電極114bの第2の側面214bとの間に、ゲート電極106と重畳しない酸化物半導体膜110の端領域206を位置させないことが好ましい。言い換えると、ゲート電極106と重畳しない端領域206は、第1の側面214aと第2の側面214bとの間の外側に位置することが好ましい。その理由は、第1の側面214aと第2の側面214bとの間に位置する、ゲート電極106と重畳しない端領域206が、ゲート電極106と接近していると、その端領域にリークパスが繋がって寄生チャネルが発生する可能性があるからである。

40

【0039】

[酸化物半導体膜110の詳細な説明]

酸化物半導体膜110は、非晶質構造、または多結晶構造であってもよい。また、酸化物半導体膜110は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜であってもよい。

【0040】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM:Transmission Electron Micro

50

oscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動の低下が抑制される。

【0041】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書等において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

10

【0042】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0043】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。

20

【0044】

なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0045】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射によるトランジスタの電気特性の変動を低減することが可能である。また、しきい値の変動、及びバラツキを抑制できる。よって、当該トランジスタは信頼性が高い。

30

【0046】

また、結晶部または結晶性を有する酸化物半導体膜では、よりバルク内欠陥を低減することができる。さらに、結晶部または結晶性を有する酸化物半導体膜表面の平坦性を高めることによって、該酸化物半導体膜を用いたトランジスタは、アモルファス状態の酸化物半導体膜を用いたトランジスタ以上の電界効果移動度を得ることができる。酸化物半導体膜表面の平坦性を高めるためには、平坦な表面上に酸化物半導体膜を形成することが好ましく、具体的には、平坦面粗さ(Ra)が0.15nm以下、好ましくは0.1nm以下の表面上に形成するとよい。

【0047】

なお、Raは、日本工業規格JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

40

【0048】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0049】

50

なお、上記において、 S_0 は、測定面（座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) で表される4点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。 R_a は原子間力顕微鏡（AFM: Atomic Force Microscope）にて評価可能である。

【0050】

また、酸化物半導体膜は、シリコンの1.1 eVよりも大きい禁制帯幅を持つ酸化物半導体を適用することが好ましく、例えば、禁制帯幅が約3.15 eVであるIn-Ga-Zn系金属酸化物、禁制帯幅が約3.0 eVである酸化インジウム、禁制帯幅が約3.0 eVであるインジウム錫酸化物、禁制帯幅が約3.3 eVであるインジウムガリウム酸化物、禁制帯幅が約2.7 eVであるインジウム亜鉛酸化物、禁制帯幅が約3.3 eVである酸化錫、禁制帯幅が約3.37 eVである酸化亜鉛などを好ましく用いることができる。このような材料を用いることにより、トランジスタのオフ電流を極めて低く保つことが可能である。

10

【0051】

また、酸化物半導体膜に用いる酸化物半導体としては、インジウム（In）、亜鉛（Zn）、及びガリウム（Ga）の群から選ばれた少なくとも一つを含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとしてスズ（Sn）を有することが好ましい。

【0052】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属酸化物であるIn-Zn系金属酸化物、Sn-Zn系金属酸化物、In-Ga系金属酸化物、三元系金属酸化物であるIn-Ga-Zn系金属酸化物（IGZOとも表記する）、In-Sn-Zn系金属酸化物、Sn-Ga-Zn系金属酸化物、四元系金属酸化物であるIn-Sn-Ga-Zn系金属酸化物を用いることができる。

20

【0053】

ここで、In-Ga-Zn系金属酸化物とは、InとGaとZnを主成分として有する金属酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0054】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素もしくは複数の金属元素、または上記のスタビライザーとしての元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

30

【0055】

例えば、 $In:Ga:Zn = 1:1:1$ 、 $In:Ga:Zn = 3:1:2$ 、あるいは $In:Ga:Zn = 2:1:3$ の原子数比のIn-Ga-Zn系金属酸化物やその組成の近傍の酸化物を用いるとよい。

【0056】

また、酸化物半導体膜の成膜工程において、酸化物半導体膜に水素、水などの不純物となるべく含まれないことが好ましい。例えば、酸化物半導体膜の成膜工程の前処理として、スパッタリング装置の予備加熱室で基板を予備加熱し、基板に吸着した水素、水などの不純物を脱離し排気することが好ましい。また、酸化物半導体膜の成膜時、残留する水が排気された成膜室（成膜チャンバーともいう）で行うことが好ましい。

40

【0057】

なお、予備加熱室、及び成膜室の水を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した、予備加熱室、及び成膜室は、例えば、水素原子、水（

50

H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、酸化物半導体膜に含まれる水素、水などの不純物の濃度を低減できる。

【0058】

なお、酸化物半導体膜としてIn-Ga-Zn系金属酸化物をスパッタリング法により成膜する。また、酸化物半導体膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下においてスパッタリング法により形成することができる。

【0059】

酸化物半導体膜として、In-Ga-Zn系金属酸化物をスパッタリング法で作製するためのターゲットとしては、例えば、原子数比がIn:Ga:Zn=1:1:1の金属酸化物ターゲットや、原子数比がIn:Ga:Zn=3:1:2の金属酸化物ターゲットや、原子数比がIn:Ga:Zn=2:1:3の金属酸化物ターゲットを用いることができる。ただし、酸化物半導体膜に用いることのできるターゲットは、これらのターゲットの材料、及び組成に限定されるものではない。

10

【0060】

また、酸化物半導体膜を上述した金属酸化物ターゲットを用いて形成した場合、ターゲットの組成と、基板上に形成される薄膜の組成とが異なる場合がある。例えば、In₂O₃:Ga₂O₃:ZnO=1:1:1[mol比]の金属酸化物ターゲットを用いた場合、成膜条件にも依存するが、薄膜である酸化物半導体膜の組成比は、In₂O₃:Ga₂O₃:ZnO=1:1:0.6~0.8[mol比]となる場合がある。これは、酸化物半導体膜の成膜中において、ZnOが昇華する、またはIn₂O₃、Ga₂O₃、ZnOの各成分のスパッタリングレートが異なるためであると考えられる。

20

【0061】

したがって、所望の組成比の薄膜を形成したい場合においては、予め金属酸化物ターゲットの組成比を調整する必要がある。例えば、薄膜である酸化物半導体膜の組成比を、In₂O₃:Ga₂O₃:ZnO=1:1:1[mol比]とする場合においては、金属酸化物ターゲットの組成比を、In₂O₃:Ga₂O₃:ZnO=1:1:1.5[mol比]とすればよい。すなわち、金属酸化物ターゲットのZnOの含有量を予め多くすればよい。ただし、ターゲットの組成比は、上記数値に限定されず、成膜条件や、形成される薄膜の組成により適宜調整することができる。また、金属酸化物ターゲットのZnOの含有量を多くすることにより、得られる薄膜の結晶性が向上するため好ましい。

30

【0062】

また、金属酸化物ターゲットの相対密度は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができる。

【0063】

また、酸化物半導体膜を成膜する際に用いるスパッタリングガスとしては、水素、水などの不純物が除去された高純度ガスを用いることが好ましい。

【0064】

酸化物半導体膜として、CAAC-Os膜を適用する場合、該CAAC-Os膜を形成する方法としては、例えば三つ挙げられる。一つめは、成膜温度を200以上450以下として酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。二つめは、酸化物半導体膜を薄い膜厚で成膜した後、200以上700以下の熱処理を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。三つめは、一層目の酸化物半導体膜を薄く成膜した後、200以上700以下の熱処理を行い、さらに二層目の酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

40

50

【0065】

また、基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる水素、水などの不純物の濃度を低減することができる。また、スパッタリングによる損傷が軽減されるため好ましい。また、酸化物半導体膜を、ALD (Atomic Layer Deposition) 法、蒸着法、塗布法などで成膜してもよい。

【0066】

なお、酸化物半導体膜として、CAAC-Os膜以外の結晶性を有する酸化物半導体膜(単結晶または微結晶)を成膜する場合には、成膜温度は特に限定されない。

【0067】

また、酸化物半導体膜の加工方法としては、ウエットエッチング法、またはドライエッチング法により酸化物半導体膜のエッチングを行うことができる。ドライエッチング法のエッチングガスには、 BCl_3 、 Cl_2 、 O_2 等を用いることができる。エッチング速度の向上にはECR (Electron Cyclotron Resonance) やICP (Inductive Coupled Plasma) などの高密度プラズマ源を用いたドライエッチング装置を用いることができる。

10

【0068】

また、酸化物半導体膜の形成後、酸化物半導体膜に対して、熱処理を行ってもよい。当該熱処理の温度は、300以上700以下、または基板の歪み点未満とする。当該熱処理を行うことで、酸化物半導体膜に含まれる過剰な水素、水などを除去することが可能である。なお、当該熱処理は、本明細書等において、脱水化処理(脱水素化処理)と記す場合がある。

20

【0069】

当該熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体膜は大気に触れさせず、水素、水などの混入が生じないようにする。

【0070】

熱処理装置は、電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) 装置、LRTA (Lamp Rapid Thermal Annealing) 装置等のRTA (Rapid Thermal Annealing) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性ガスが用いられる。

30

【0071】

例えば、当該熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。

40

【0072】

なお、不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水素、水などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物の濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0073】

また、上述の脱水化処理(脱水素化処理)を行うと、酸化物半導体膜を構成する主成分

50

材料である酸素が同時に脱離して減少してしまうおそれがある。酸化物半導体膜において、酸素が脱離した箇所では酸素欠損が存在し、該酸素欠損に起因してトランジスタの電気的特性変動を招くドナー準位が生じてしまう。よって、脱水化処理（脱水素化処理）を行った場合、酸化物半導体膜中に、酸素を供給することが好ましい。酸化物半導体膜中に酸素を供給することにより、膜中の酸素欠損を補填することができる。

【0074】

酸化物半導体膜中の酸素欠損を補填する方法の一例としては、酸化物半導体膜に対して脱水化処理（脱水素化処理）を行った後、同じ炉に高純度の酸素ガス、二窒化酸素ガス、又は超乾燥エア（CRDS（キャピティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、より好ましくは10ppm以下の空気）を導入すればよい。酸素ガス、または二窒化酸素ガスに、水素、水などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガス、または二窒化酸素ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（即ち、酸素ガスまたは二窒化酸素ガス中の不純物の濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

10

【0075】

また、酸化物半導体膜中に酸素を供給する方法の一例としては、酸化物半導体膜に酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を添加することで、酸化物半導体膜中に酸素を供給してもよい。酸素の添加方法としては、イオン注入法、イオンドーピング法、プラズマ処理などを用いることができる。

20

【0076】

また、酸化物半導体膜中に酸素を供給する方法の一例としては、下地絶縁膜、またはゲート絶縁膜等を加熱することにより、酸素の一部を脱離させ、酸化物半導体膜に酸素を供給してもよい。

【0077】

上述のように、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、水などを除去して不純物が極力含まれないように高純度化すると共に、脱水化処理（脱水素化処理）によって減少してしまった酸素を酸化物半導体に加える、または過剰な酸素を供給し酸化物半導体膜の酸素欠損を補填することが好ましい。また、酸化物半導体膜に酸素を供給する場合を、加酸素化処理、または過酸素化処理と記す場合がある。

30

【0078】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素、水などが除去され、加酸素化処理により酸素欠損を補填することによって、電氣的にi型（真性）化または実質的にi型化された酸化物半導体膜とすることができる。具体的には、酸化物半導体膜中の水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体膜中の水素濃度は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectroscopy）で測定されるものである。

40

【0079】

このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因する禁制帯幅中の欠陥準位が低減された酸化物半導体膜では、ドナーに由来するキャリアが極めて少なく（ゼロに近い）、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。このような酸化物半導体膜を用いたトランジスタにおいて、例えば、室温（25）でのオフ電流（ここでは、単位チャネル幅（1 μm ）あたりの値）は、100zA（1zA（zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、好ましくは10zA以下、さらに好ましくは100yA（1yA（yoctoアンペア）は $1 \times 10^{-24} \text{ A}$ ）以下となる。このように、i型化または実質的にi型化された酸化物半導体を用いることで、極めて

50

優れたオフ電流特性のトランジスタとすることができる。

【0080】

<実施の形態1：トランジスタの作製方法>

図1に示した半導体装置の作製方法について、図4(A)～(C)を用いて説明する。なお、図1で示した符号については、同様の符号を用い、その繰り返しの説明は省略する。

【0081】

まず、基板102上に下地絶縁膜104を形成する。次に、下地絶縁膜104上に、導電膜を形成した後、フォトリソグラフィ工程、及びエッチング工程によりゲート電極106を形成する(図4(A)参照)。

10

【0082】

基板102としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料を用いる。量産する上では、基板102は、第8世代(2160mm×2460mm)、第9世代(2400mm×2800mm、または2450mm×3050mm)、第10世代(2950mm×3400mm)等のマザーガラスを用いることが好ましい。マザーガラスは、処理温度が高く、処理時間が長いと大幅に収縮するため、マザーガラスを使用して量産を行う場合、作製工程の加熱処理は、好ましくは600以下、さらに好ましくは450以下、さらに好ましくは350以下とすることが望ましい。

【0083】

下地絶縁膜104としては、例えば、酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、または窒化酸化シリコン等を用いることができる。上記下地絶縁膜104は、CVD法またはスパッタリング法等により形成することができる。下地絶縁膜104として、上述した窒化シリコン膜や酸化アルミニウム膜を用いることで、基板102からトランジスタ150中に拡散する不純物を防止することができる。なお、下地絶縁膜104は必要に応じて設ければよい。

20

【0084】

ゲート電極106としては、スパッタリング法等により、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジウム、及びスカンジウム等の金属材料、または、これらの少なくとも一つを含む合金材料を用いて、単層、または積層して形成することができる。

30

【0085】

その後、下地絶縁膜104及びゲート電極106上にゲート絶縁膜108を形成する(図4(B)参照)。

【0086】

ゲート絶縁膜108としては、例えば、酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、または窒化酸化シリコン等を用いることができる。また、ゲート絶縁膜108の膜厚としては、例えば、10nm以上500nm以下、好ましくは50nm以上300nm以下とすることができる。

【0087】

また、ゲート絶縁膜108は、のちに形成される酸化物半導体膜110と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁膜108は、膜中に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁膜108として、酸化シリコンを用いる場合には、 $SiO_2 +$ (ただし、 > 0)とすることが好ましい。本実施の形態では、ゲート絶縁膜108として、 $SiO_2 +$ (ただし、 > 0)である酸化シリコンを用いる。この酸化シリコンをゲート絶縁膜108として用いることで、のちに形成される酸化物半導体膜110に酸素を供給することができ、酸化物半導体膜110の電気特性を良好にすることができる。

40

【0088】

また、ゲート絶縁膜108のその他の材料としては、酸化ハフニウム、酸化イットリウ

50

ム、ハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート (HfSiO_xN_y ($x > 0$, $y > 0$))、ハフニウムアルミネート (HfAl_xO_y ($x > 0$, $y > 0$))、酸化ランタンなどの high-k 材料を用いることができる。このような材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁膜 108 は、単層構造としても良いし、積層構造としても良い。

【0089】

次に、ゲート絶縁膜 108 が形成された基板 102 に対して、加熱処理を行っても良い。

【0090】

例えば、加熱処理としては、電気炉、もしくは抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いることができ、[酸化半導体膜 110 の詳細な説明] の欄に記載した加熱処理装置を適宜用いることができる。なお、GRTA 装置などに用いる高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。また、高温のガスの他の一例としては、酸素を用いてもよい。酸素を用いることにより、ゲート絶縁膜 108 からの酸素の脱離を抑制、またはゲート絶縁膜 108 へ酸素の供給を行うことができる。

【0091】

加熱処理の処理温度としては、基板 102 として、マザーガラスを用いた場合、処理温度が高く、処理時間が長いと大幅に収縮するため、好ましくは、200 以上 450 以下、さらに好ましくは、250 以上 350 以下である。

【0092】

なお、上記加熱処理を行うことで、ゲート絶縁膜 108 の膜中に含まれる水、水素などの不純物を除去することができる。また、当該加熱処理により、ゲート絶縁膜 108 の膜中の欠陥密度を低減することができる。ゲート絶縁膜 108 の膜中に含まれる水素、水などの不純物、または膜中の欠陥密度が低減することにより、半導体装置の信頼性が向上する。例えば、半導体装置の信頼性試験の一つである光負バイアスストレス試験における半導体装置の劣化を抑制させることができる。

【0093】

また、上記加熱処理は、のちに形成される酸化半導体膜 110 の成膜前処理として、行ってもよい。例えば、ゲート絶縁膜 108 を形成した後、スパッタリング装置の予備加熱室にて、真空中で加熱処理を行った後、酸化半導体膜 110 を形成してもよい。

【0094】

また、上記加熱処理は、複数回行ってもよい。例えば、ゲート絶縁膜 108 の形成後、電気炉等により窒素雰囲気中で加熱処理を行い、その後、スパッタリング装置の予備加熱室にて、真空中で加熱処理を行った後、酸化半導体膜 110 を形成してもよい。

【0095】

次に、ゲート絶縁膜 108 上に、酸化半導体膜を成膜し、フォトリソグラフィ工程、及びエッチング工程を行い、素子分離された酸化半導体膜 110 を形成する (図 4 (B) 参照)。

【0096】

酸化半導体膜 110 の詳細な内容及び作製方法等については、[酸化半導体膜 110 の詳細な説明] の欄に記載してあるため省略する。

【0097】

次に、ゲート絶縁膜 108 及び酸化半導体膜 110 の上に導電膜を形成し、当該導電膜にフォトリソグラフィ工程、及びエッチング工程を行い、酸化半導体膜 110 に電氣的に接続されたソース電極 114a 及びドレイン電極 114b を形成する。なお、この段階でトランジスタ 150 が形成される (図 4 (B) 参照)。

【0098】

ソース電極 114a 及びドレイン電極 114b に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元

10

20

30

40

50

素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いて、単層、または積層させて形成することができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜、またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。

【0099】

次に、トランジスタ150上に、層間絶縁膜116及び平坦化絶縁膜（図示せず）を形成する（図4（C）参照）。

【0100】

層間絶縁膜116としては、ゲート絶縁膜108に用いた材料及び方法と、同様な材料及び方法により形成することができる。

【0101】

平坦化絶縁膜としては、例えば、ポリイミド、アクリル、ベンゾシクロブテン等の有機樹脂材料を用いることができる。平坦化絶縁膜により、トランジスタ150の凹凸を低減させることができる。

【0102】

また、平坦化絶縁膜上に導電膜を形成してもよい（図示しない）。導電膜としては、例えば、酸化インジウム - 酸化スズ（ITO：Indium Tin Oxide）、酸化インジウム - 酸化亜鉛などの透光性を有する導電材料を用いることができる。ただし、導電膜として用いることのできる材料は、上記材料に限定されない。例えば、金属膜（アルミニウム、チタンなど）を用いることもできる。このような金属膜を用いることにより、トランジスタ150を外光から遮光することができるので、好適である。

【0103】

なお、上述した導電膜は、外部からの静電気（所謂、ESD：Electro Static Discharge）に対して、トランジスタ150を保護する機能も有する。トランジスタ150上に導電膜を有することで、外部からの静電気放電等の電荷を当該導電膜により、逃がすことができる。

【0104】

<実施の形態2：ゲート電極幅がソース電極及びドレイン電極幅より小さい構造>

図5（A）は、本発明の一態様に係る半導体装置を示す平面図であり、図5（B）は、図5（A）に示すA - B線に沿った断面図であり、図5（C）は、図5（A）に示すC - D線に沿った断面図である。

【0105】

本実施の形態による半導体装置は、以下の点を除いて実施の形態1による半導体装置と同様の構造を有する。

【0106】

実施の形態1のトランジスタ150は、ゲート電極の幅がソース電極及びドレイン電極それぞれの幅より大きいのに対し、本実施の形態のトランジスタ151は、ゲート電極106の幅がソース電極114a及びドレイン電極114bそれぞれの幅より小さい。

【0107】

言い換えると、図5に示す酸化物半導体膜110は、ゲート電極106と重畳する端領域306を有し、この重畳する端領域306のすべては、ソース電極114aと重畳する。なお、本実施の形態では、端領域306のすべてがソース電極114aと重畳するが、端領域306のすべてがドレイン電極114bと重畳してもよい。

【0108】

本実施の形態においても実施の形態1と同様の効果を得ることができる。

【0109】

つまり、図5（A）に示すように、ソース電極114aの第1の側面214aの一方端314a、そこから最も近い端領域206の第1の領域206a、ドレイン電極114bの第2の側面214bの一方端314b、そこから最も近い端領域206の第2の領域2

10

20

30

40

50

06bの間に電流が流れてリークパスが繋がることがない。これと同様に、ソース電極114aの第1の側面214aの他方端414a、そこから最も近い端領域206の第3の領域206c、ドレイン電極114bの第2の側面214bの他方端414b、そこから最も近い端領域206の第4の領域206dの間に電流が流れてリークパスが繋がることがない。よって、端領域206に寄生チャネルが発生するのを抑制でき、寄生トランジスタが形成されるのを抑制できる。

【0110】

図5に示す半導体装置の作製方法は、実施の形態1のそれと同様であるので、説明を省略する。

【0111】

<実施の形態3：平面形状が円形の酸化物半導体膜>

図6(A)は、本発明の一態様に係る半導体装置を示す平面図であり、図6(B)は、図6(A)に示すA-B線に沿った断面図であり、図6(C)は、図6(A)に示すC-D線に沿った断面図である。

【0112】

本実施の形態による半導体装置は、以下の点を除いて実施の形態1による半導体装置と同様の構造を有する。

【0113】

本実施の形態のトランジスタ152は、図6(A)に示すように、酸化物半導体膜110の平面形状が円形である。ゲート電極106は、酸化物半導体膜110の円形と同心円の円形部分を有し、その円形部分は酸化物半導体膜110と重畳する。酸化物半導体膜110は、その円形部分の一方側から伸びるように配置されたゲート電極106と重畳する領域を有している。また、酸化物半導体膜110におけるゲート電極106と重畳しない端領域206は、酸化物半導体膜110とゲート電極106とが重畳する領域を除いた円形部分の側面に位置する領域である。なお、酸化物半導体膜110は楕円形でも多角形でもよい。また、ゲート電極106において酸化物半導体膜110と重畳する領域は酸化物半導体膜110の略相似の形状部分を有すればよい。

【0114】

ソース電極114aにおけるドレイン電極114bと対向する部分は、その平面形状がU字形状を有する。ドレイン電極114bにおけるソース電極114aと対向する部分は、その平面形状の輪郭が曲面を有する。なお、ソース電極114aにおけるドレイン電極114bと対向する部分は、ソース電極またはドレイン電極の一方が、他方の端部を、一定距離の間隔において囲む形状であればよく、例えばC字形状、Vの字形状等であってもよい。

【0115】

本実施の形態においても実施の形態1と同様の効果を得ることができる。

【0116】

つまり、図6(A)に示すように、ソース電極114aの第1の側面214aの一方端314a、そこから最も近い端領域206の第1の領域206a、ドレイン電極114bの第2の側面214bの一方端314b、その近傍の端領域206の第2の領域206bの間に電流が流れてリークパスが繋がることがない。これと同様に、ソース電極114aの第1の側面214aの他方端414a、その近傍の端領域206の第3の領域206c、ドレイン電極114bの第2の側面214bの他方端414b、そこから最も近い端領域206の第4の領域206dの間に電流が流れてリークパスが繋がることがない。よって、端領域206に寄生チャネルが発生するのを抑制でき、寄生トランジスタが形成されるのを抑制できる。

【0117】

図6に示す半導体装置の作製方法は、実施の形態1のそれと同様であるので、説明を省略する。

【0118】

10

20

30

40

50

<シミュレーション結果>

酸化物半導体膜の端領域がn型化した際のトランジスタ特性についてシミュレーションを行ったので、それについて説明する。

【0119】

図7(A)は、シミュレーションの対象としたトランジスタを示す平面図であり、図7(B)は、図7(A)に示すA-A'線に沿った断面図であり、図7(C)は、図7(A)に示すC-C'線に沿った断面図である。

【0120】

図7(A)~(C)に示すように、ゲート電極106a上にはゲート絶縁膜108aが形成されており、ゲート絶縁膜108a上には活性層としてIGZOを用いた酸化物半導体膜110aが形成されている。酸化物半導体膜110a上にはソース電極114c及びドレイン電極114dが形成されている。

【0121】

酸化物半導体膜110aがソース電極114cまたはドレイン電極114dからはみ出しているはみ出し幅をdとし、酸化物半導体膜110aの厚さを20nmとし、ゲート絶縁膜108aの厚さを100nmとした。

【0122】

図8(A)は、第1のシミュレーションの結果を示す図である。第1のシミュレーションは、ゲート長Lを6 μ mとし、ゲート幅Wを50 μ mとし、はみ出し幅dを1 μ mで固定し、酸化物半導体膜110aの全ての端領域のキャリア密度を $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の間で振り、ドレイン電圧Vdを1Vとして行った。図8(A)において、破線は、端領域のキャリア密度が $1 \times 10^{17} \text{ cm}^{-3}$ 、細実線は、端領域のキャリア密度が $1 \times 10^{18} \text{ cm}^{-3}$ 、太実線は、端領域のキャリア密度が $1 \times 10^{19} \text{ cm}^{-3}$ 、のときのId-Vg曲線を示す。

【0123】

図8(B)は、第2のシミュレーションの結果を示す図である。第2のシミュレーションは、ゲート長Lを6 μ mとし、ゲート幅Wを50 μ mとし、酸化物半導体膜110aの端領域のキャリア密度の条件を $1 \times 10^{17} \text{ cm}^{-3}$ で固定し、はみ出し幅dを0~3 μ mの間で振り、ドレイン電圧Vdを1Vとして行った。図8(B)において、破線は、はみ出し幅dが3 μ m、細実線は、はみ出し幅dが1 μ m、太実線は、はみ出し幅dが0 μ m、のときのId-Vg曲線を示す。

【0124】

図8(A)に示すように、酸化物半導体膜110aの端領域でのキャリア密度が高いほどId-Vg曲線に発生するコブが大きくなる傾向があった。また、図8(B)に示すように、はみ出し幅dが大きいほどId-Vg曲線に発生するコブが小さくなる傾向があった。

【0125】

以上のシミュレーション結果から、酸化物半導体膜110aの端領域のキャリア密度を低減させる、つまりn型化を抑制することにより、酸化物半導体膜110aの端領域における寄生チャネルの発生を抑制でき、Id-Vg曲線にコブが発生するのを抑制できることが示唆された。また、酸化物半導体膜110aのチャネル領域から端領域を離すことによって、Id-Vg曲線にコブが発生するのを抑制できることが示唆された。

【0126】

<実施の形態4：液晶表示装置>

図9は、本発明の一態様に係る液晶表示装置の画素を示す上面図である。図10は、図9に示す液晶表示装置の画素の回路図である。

【0127】

図9及び図10に示すように、液晶表示装置は画素160を有し、画素160は図1に示すトランジスタ150を有している。なお、本実施の形態では、図1に示すトランジスタ150を用いているが、図5に示すトランジスタ151または図6に示すトランジスタ

10

20

30

40

50

152を用いてもよい。

【0128】

図9に示す液晶表示装置の画素160の回路図について、図10を用いて説明する。トランジスタ150のゲート電極は走査線161と接続され、トランジスタ150のソース電極またはドレイン電極の一方が信号線162と接続され、他方は容量素子166及び液晶素子167に接続する。

【0129】

次に、図9を用いて画素160について詳細に説明する。トランジスタ150のゲート電極106は走査線161と接続されており、トランジスタ150のソース電極114aは信号線162と接続されている。トランジスタ150のドレイン電極114bは、液晶素子及び容量素子166と接続されている。具体的には、トランジスタ150のドレイン電極114bは、容量配線163と接続されており、また、コンタクトホール165において、容量配線163を介して画素電極164と電氣的に接続されている。図10に示す液晶素子167は、画素電極164、図示しない液晶材料及び対向電極によって構成される。なお、図9においては、ゲート電極106及び走査線161、ソース電極114a及び信号線162、ドレイン電極114b及び容量配線163は、それぞれ同一の層で形成され接続されているが、異なる層で接続されていてもよい。

【0130】

本実施の形態によれば、図1に示すトランジスタ150を用いることにより、液晶表示装置の画素160内の電圧が保持出来ないことや消費電流が増すこと等を低減させることができる。

【0131】

<実施の形態5：EL表示装置>

図11は、本発明の一態様に係るEL表示装置の画素を示す上面図である。図12は、図11に示すEL表示装置の画素の回路図である。

【0132】

図11及び図12に示すように、EL表示装置は画素170を有し、画素170は選択用トランジスタ150a及び駆動用トランジスタ150bを有している。選択用トランジスタ150a及び駆動用トランジスタ150bそれぞれには、図1に示すトランジスタ150が用いられる。なお、本実施の形態では、選択用トランジスタ150a及び駆動用トランジスタ150bそれぞれに図1に示すトランジスタ150を用いているが、図5に示すトランジスタ151または図6に示すトランジスタ152を用いてもよい。

【0133】

図11に示すEL表示装置の画素170の回路図について、図12を用いて説明する。スイッチング用トランジスタ150aのゲート電極は走査線171と接続され、スイッチング用トランジスタ150aのソース電極またはドレイン電極の一方は信号線172と接続され、他方は駆動用トランジスタ150bのゲート電極及び容量素子176の一方の電極と接続する。駆動用トランジスタ150bのソース電極またはドレイン電極の一方は電源線174と接続され、他方は発光素子178と接続する。容量素子176の他方の電極は電源線174と接続する。

【0134】

次に、図11を用いて画素170について詳細に説明する。選択用トランジスタ150aのゲート電極106は走査線171と接続されており、選択用トランジスタ150aのソース電極114aは信号線172と接続されている。選択用トランジスタ150aのドレイン電極114bはコンタクトホール179を介して容量素子176の一方の容量電極173aに電氣的に接続されており、この容量電極173aは駆動用トランジスタ150bのゲート電極106と接続されている。電源線174の一部が容量素子176の他方の容量電極として機能しており、電源線174は駆動用トランジスタ150bのドレイン電極204bと接続されている。駆動用トランジスタ150bのソース電極204aはコンタクトホール179を介して、発光素子の第1の電極177に電氣的に接続している。図

10

20

30

40

50

12に示す発光素子178は、第1の電極177、図示しない発光層及び第2の電極によって構成される。

なお、図11においては、ゲート電極106及び走査線171、ソース電極114a及び信号線172、容量電極173a及びゲート電極106は、それぞれ同一の層で形成され接続されているが、異なる層で接続されていてもよい。

【0135】

本実施の形態によれば、図1に示すトランジスタ150を用いることにより、EL表示装置の画素170内の電圧が保持出来ないことや消費電流が増すこと等を低減させることができる。

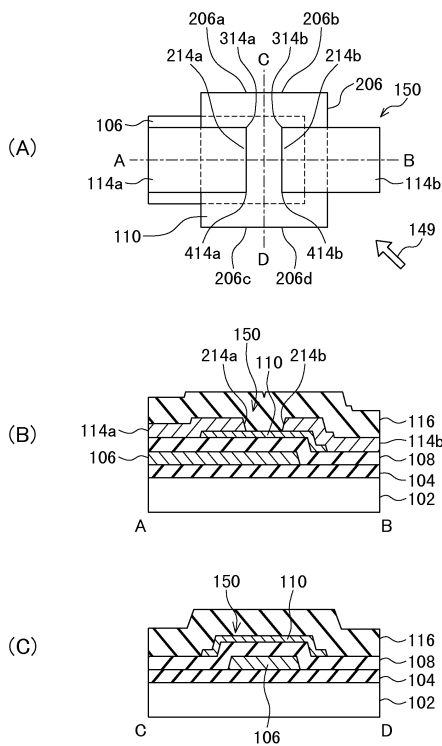
【符号の説明】

【0136】

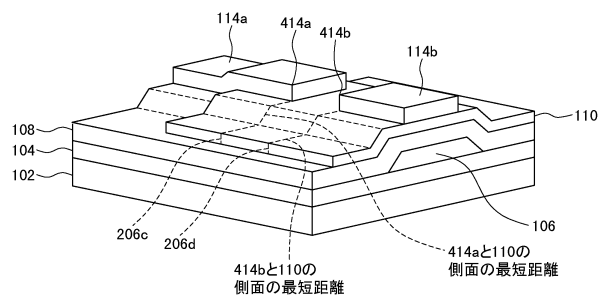
102	基板	
104	下地絶縁膜	
106, 106a, 206	ゲート電極	
108, 108a	ゲート絶縁膜	
110, 110a, 210	酸化物半導体膜	
111	絶縁膜	
114a, 114c, 214a	ソース電極	
114b, 114d, 214b	ドレイン電極	
116	層間絶縁膜	20
150~152	ボトムゲート構造のトランジスタ	
150a	選択用トランジスタ	
150b	駆動用トランジスタ	
160, 170	画素	
161, 171	走査線	
162, 172	信号線	
163	容量配線	
164	画素電極	
165, 175, 176	コンタクトホール	
166	容量素子	30
167	液晶素子	
173	容量素子	
173a	容量電極	
174	電源線	
177	電極	
178	発光素子	
206	ゲート電極と重畳しない端領域	
204a	ソース電極	
204b	ドレイン電極	
206a	第1の領域	40
206b	第2の領域	
206c	第3の領域	
206d	第4の領域	
214a	第1の側面	
214b	第2の側面	
314a	第1の側面の一方端	
314b	第2の側面の一方端	
414a	第1の側面の他方端	
414b	第2の側面の他方端	
1001	ゲート電極	50

- 1 0 0 2 酸化物半導体膜
- 1 0 0 3 ソース電極
- 1 0 0 4 ドレイン電極
- 1 0 0 5 寄生チャネル

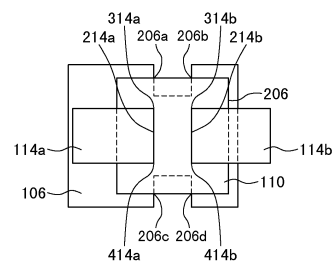
【 図 1 】



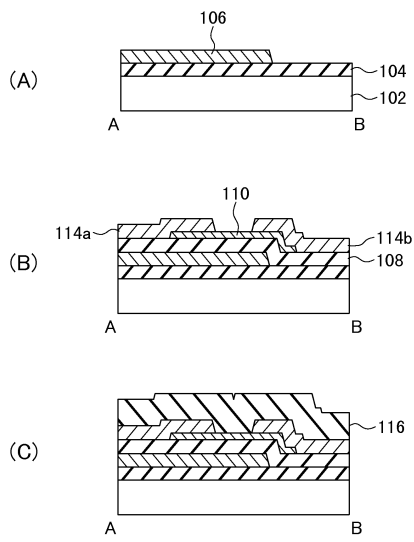
【 図 2 】



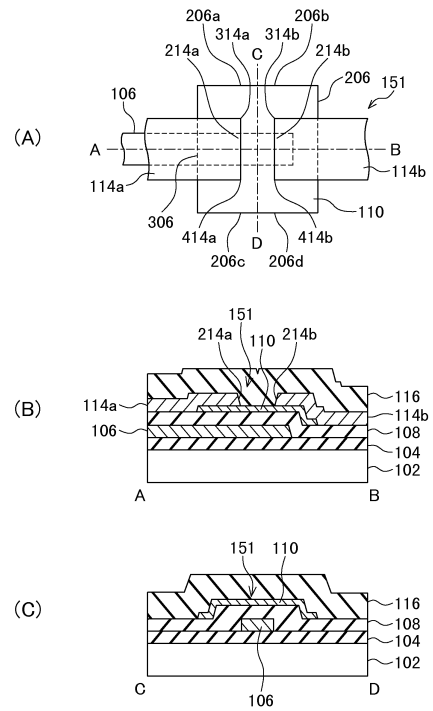
【 図 3 】



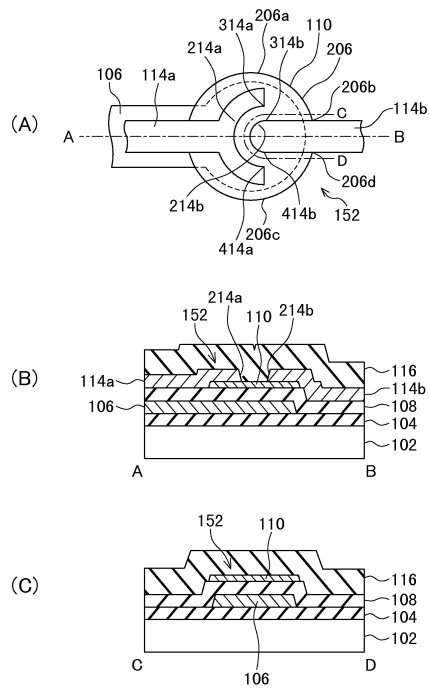
【 図 4 】



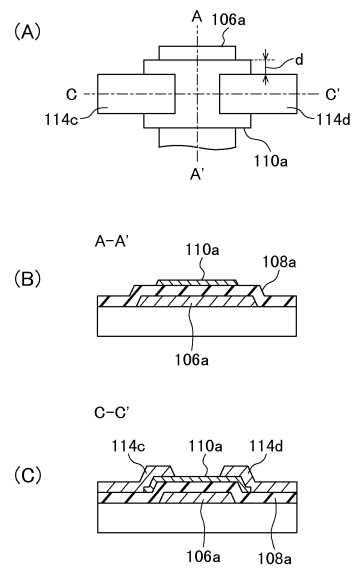
【 図 5 】



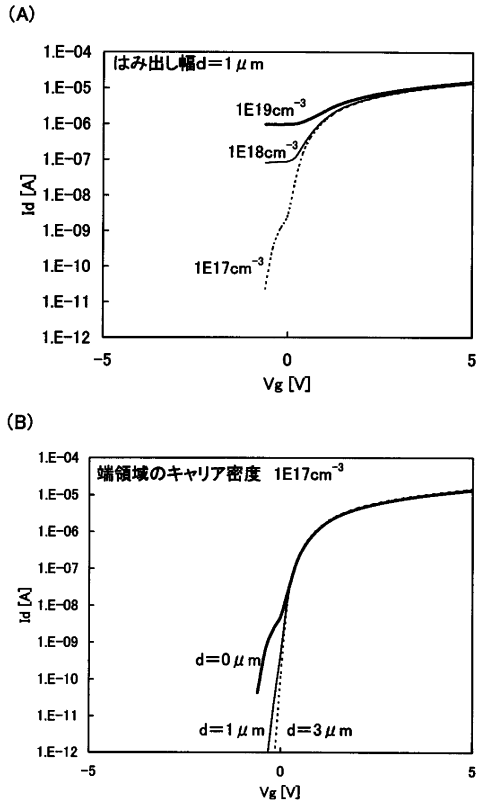
【 図 6 】



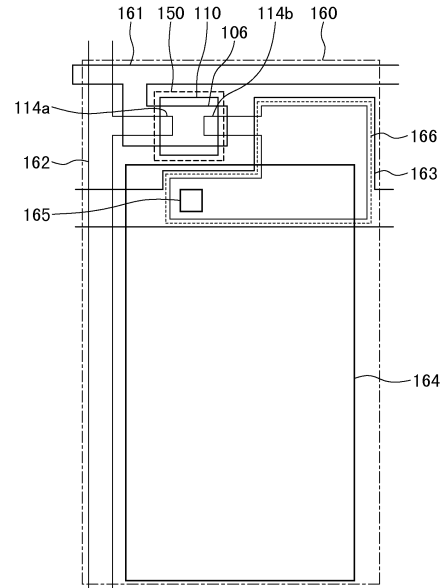
【 図 7 】



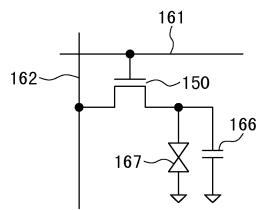
【図 8】



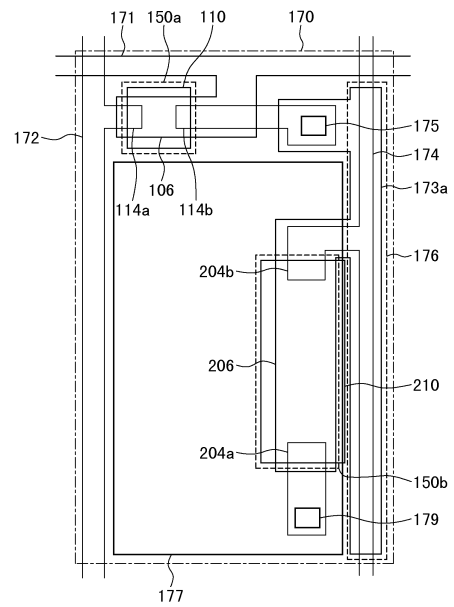
【図 9】



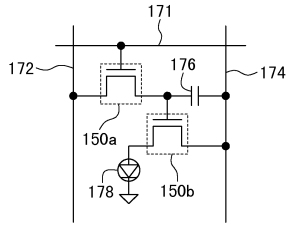
【図 10】



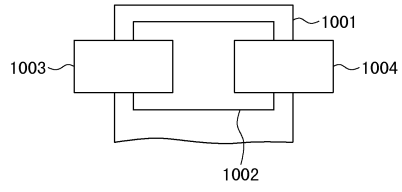
【図 11】



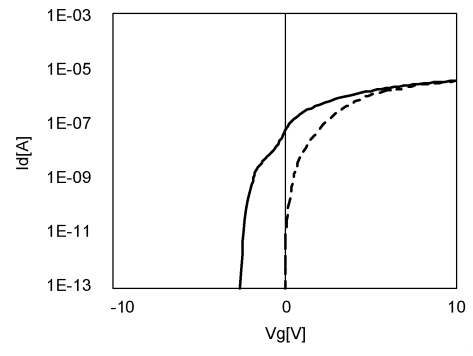
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

- (72)発明者 村川 努
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 岡崎 健一
栃木県栃木市都賀町升塚161-2 アドバンスト フィルム デバイス インク株式会社内
- (72)発明者 坂倉 真之
栃木県栃木市都賀町升塚161-2 アドバンスト フィルム デバイス インク株式会社内
- (72)発明者 松尾 拓哉
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
- (72)発明者 織田 明博
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
- (72)発明者 森 重恭
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
- (72)発明者 山元 良高
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

審査官 市川 武宜

- (56)参考文献 特開2011-100117(JP,A)
特開2011-077283(JP,A)
特開2011-100994(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 6 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6
H 0 1 L 5 1 / 5 0