

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-258762

(P2011-258762A)

(43) 公開日 平成23年12月22日(2011.12.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/52 (2006.01)	HO 1 L 21/88 T	5 F 0 3 3
HO 1 L 21/3205 (2006.01)	HO 1 L 21/60 3 O 1 P	5 F 0 4 4
HO 1 L 21/60 (2006.01)	HO 1 L 21/88 S	

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2010-132160 (P2010-132160)  
 (22) 出願日 平成22年6月9日 (2010.6.9)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 110000235  
 特許業務法人 天城国際特許事務所  
 (72) 発明者 山田 周輝  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 Fターム(参考) 5F033 HH08 HH11 JJ19 MM01 MM02  
 MM05 MM13 PP26 QQ08 QQ09  
 QQ13 QQ48 RR01 RR04 RR21  
 RR22 SS04 SS11 SS21 TT01  
 VV00 VV01 VV07 XX17 XX20  
 XX24  
 5F044 AA14 EE11 EE12 EE21

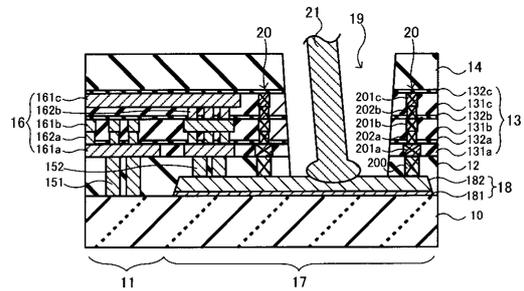
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 low-k膜のワイヤーボンディング時の荷重による変形やクラッキングの発生を回避し、半導体装置の信頼性の低下を抑制することが可能な半導体装置とその製造方法を提供する。

【解決手段】 半導体装置において、基板上に形成された絶縁層と、絶縁層上に形成された複数の層間絶縁膜と、層間絶縁膜中にそれぞれ形成される複数の配線層及びビアからなる多層配線と、複数の配線層のうち最下層の配線層より基板側に形成されたメタルパッドと、メタルパッドの一部の領域上の絶縁層及び層間絶縁膜が除去されて形成された開口部と、メタルパッド上に、複数の層間絶縁膜を貫通し、開口部を取り囲むように設けられるパッドリングと、を備える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

基板上に形成された絶縁層と、  
 前記絶縁層上に形成された複数の層間絶縁膜と、  
 前記層間絶縁膜中にそれぞれ形成される複数の配線層及びビアからなる多層配線と、  
 前記複数の配線層のうち最下層の配線層より前記基板側に形成されたメタルパッドと、  
 前記メタルパッドの一部の領域上の前記絶縁層及び層間絶縁膜が除去されて形成された開口部と、  
 前記メタルパッド上に、前記複数の層間絶縁膜を貫通し、前記開口部を取り囲むように設けられるパッドリングと、  
 を備えることを特徴とする半導体装置。

10

## 【請求項 2】

前記半導体基板は素子が形成されている素子領域を有し、前記素子領域上の前記多層配線は、前記素子領域以外の領域である非素子領域上の前記多層配線を介して前記メタルパッドと接続されることを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

前記メタルパッドの上面が、前記絶縁層の上面と同一平面であることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

## 【請求項 4】

前記メタルパッドの上面が Al を含む層であることを特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載の半導体装置。

20

## 【請求項 5】

基板上に素子領域を形成し、  
 前記基板上に絶縁層を形成し、  
 前記素子領域上の前記絶縁層に、前記基板に到達するコンタクトホールを形成するとともに、前記素子領域以外の領域上の前記絶縁層に開口部を形成し、  
 前記コンタクトホール内にコンタクトを埋め込み形成し、  
 前記開口部内にメタルパッドを埋め込み形成し、  
 前記絶縁層上に複数の層間絶縁膜と、複数の配線層及びビアを有する多層配線を形成するとともに、前記メタルパッド上に前記複数の層間絶縁膜を貫通するようにパッドリングを形成し、  
 前記パッドリングに取り囲まれた領域の前記層間絶縁膜を除去し、前記メタルパッドを露出させる、  
 ことを特徴とする半導体装置の製造方法。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、半導体装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

一般に、半導体装置において、層間絶縁膜中に配線とビアを設けた多層配線構造が採られている。そして、その最上配線層の上層側に、ボンディング用のメタルパッドが形成され、その上層のパシベーション膜に形成された開口窓において、ワイヤーボンディングが行われる。

40

## 【0003】

近年、半導体装置の微細化に伴う配線間容量の増大による信号遅延、消費電力の増大といった問題を解決するために、層間絶縁膜として、比誘電率が 2.5 以下の低誘電率膜（以下 low-k 膜と記す）が用いられている。このような low-k 膜として、さらに誘電率を下げるために、有機ポリマー系の材料や、多孔質材料を用いることが種々検討されている。

50

## 【0004】

しかしながら、このようなlow-k膜は機械的強度が低く、ワイヤーボンディング時の荷重により、変形やクラッキングが発生してしまう。そのため、low-k膜に吸湿が生じ、配線、ビアなどのバリアメタル膜が酸化することにより半導体装置の信頼性が低下するという問題がある。そこで、メタルパッドの下層を補強することにより、low-k膜の変形やクラッキングを抑制する手法が種々用いられている。

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献1】特開2001-267323号公報

10

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

従来の場合には、low-k膜の下層を補強することにより、ワイヤーボンディング時の荷重による変形やクラッキングの発生を抑えているものの、さらなるlow-k膜の低誘電率化による強度低下に十分対応することが困難であるという問題がある。

## 【0007】

本発明は、low-k膜のワイヤーボンディング時の荷重による変形やクラッキングの発生を回避し、半導体装置の信頼性の低下を抑制することが可能な半導体装置とその製造方法を提供することを目的とするものである。

20

## 【課題を解決するための手段】

## 【0008】

上記の課題を解決するために、本発明の一実施形態によれば、基板上に形成された絶縁層と、絶縁層上に形成された複数の層間絶縁膜と、層間絶縁膜中にそれぞれ形成される複数の配線層及びビアからなる多層配線と、複数の配線層のうち最下層の配線層より基板側に形成されたメタルパッドと、メタルパッドの一部の領域上の絶縁層及び層間絶縁膜が除去されて形成された開口部と、メタルパッド上に、複数の層間絶縁膜を貫通し、開口部を取り囲むように設けられるパッドリングと、を備えることを特徴とする半導体装置が提供される。

## 【0009】

30

また、本発明の一実施形態によれば、基板上に素子領域を形成し、基板上に絶縁層を形成し、素子領域上の絶縁層に、基板に到達するコンタクトホールを形成するとともに、素子領域以外の領域上の前記絶縁層に開口部を形成し、コンタクトホール内にコンタクトを埋め込み形成し、開口部内にメタルパッドを埋め込み形成し、絶縁層上に複数の層間絶縁膜と、複数の配線層及びビアを有する多層配線を形成するとともに、メタルパッド上に複数の層間絶縁膜を貫通するようにパッドリングを形成し、パッドリングに取り囲まれた領域の層間絶縁膜を除去し、メタルパッドを露出させる、ことを特徴とする半導体装置の製造方法が提供される。

## 【図面の簡単な説明】

## 【0010】

40

【図1】本発明の一実施形態に係る半導体装置を示す図である。

【図2】本発明の一実施形態に係る半導体装置の製造工程を示すフローチャートである。

【図3】本発明の一実施形態に係る半導体装置の製造工程を示す図である。

【図4】本発明の一実施形態に係る半導体装置を示す図である。

【図5】本発明の一実施形態に係る半導体装置の製造工程を示すフローチャートである。

【図6】本発明の一実施形態に係る半導体装置の製造工程を示す図である。

## 【発明を実施するための形態】

## 【0011】

以下、本発明の実施の形態について、図を参照して説明する。

## 【0012】

50

(第1の実施形態)

図1に、本実施形態の半導体装置の断面図を示す。図に示すように、トランジスタ等の能動素子が形成された素子領域11を表面に有する基板10上に、例えばTEOS (Tetra Ethoxy Silane) などからなる絶縁層12が形成されている。基板10は、例えばSiや、SOI (Silicon On Insulator) などからなる。絶縁層12上には、例えばSiOCなどからなる比誘電率が2.5以下であるlow-k膜131a、131b、131cと、例えばSiOなどからなるcap膜132a、132b、132cとが交互に形成された層間絶縁膜13が形成されている。層間絶縁膜13上には、パシベーション膜14が形成されている。

【0013】

なお、本実施形態において、層間絶縁膜をそれぞれ3層としているが、積層数はこれに限定されるものではなく、例えば10層以上適宜設けることができる。後述する配線層、ビアについても、同様である。

【0014】

素子領域11上の絶縁層12には、基板コンタクト151が形成されている。さらに、その上層には、多層配線16が形成されている。多層配線16は、Cuなどを含む配線層161a、161b、161cと、配線層161a、161b間及び161b、161c間を接続するビア162a、162bからなる。

【0015】

素子領域11以外の領域である非素子領域17上には、最下層の配線層161aよりも半導体基板10側に、例えばバリアメタル層181、Al層182などから構成されるメタルパッド18が形成されている。メタルパッド18上には、パッドコンタクト152が設けられ、配線層161a、161b、161c、ビア162a、162bを介して、素子領域11上の多層配線16と接続されている。さらに、メタルパッド18に到達する開口窓19が、パシベーション膜14及び層間絶縁膜13を貫通するように設けられている。

【0016】

そして、メタルパッド18上の層間絶縁膜13を貫通し、開口窓19を取り囲むように、パッドリング20が設けられている。パッドリング20は、パッドコンタクト152、配線層161a、161b、161c、ビア162a、162bとそれぞれ同層に同じ材料で形成されるリング状の金属層200、201a、201b、201c、202a、202bの積層体から構成されている。

【0017】

そして、リードフレーム(図示せず)などと接続されたワイヤ21が、開口窓19を通り、メタルパッド18にボンディングされている。

【0018】

このような半導体装置は、例えば、図2のフローチャートに示す製造工程により形成される。

【0019】

まず、図3(a)に示すように、基板10の素子領域11にトランジスタ等の能動素子を形成し、続いて基板10上に、バリアメタル層181、Al層182を順次形成する。そして、レジスト膜を塗布形成した後、パターンニングして、非素子領域17上の所定領域にマスクを形成し、露出部分をRIE (Reactive Ion Etching) などにより除去することにより、メタルパッド18を形成する(Step 1-1)。

【0020】

次いで、図3(b)に示すように、基板10上に絶縁層12を形成した後、基板10及びメタルパッド18に到達するコンタクトホール(図示せず)と、環状の開口部(図示せず)を形成する。そして、コンタクトホール、環状の開口部をWなどで充填することにより、基板コンタクト151、パッドコンタクト152と、リング状の金属層200を形成する(Step 1-2)。

10

20

30

40

50

## 【0021】

そして、図3(c)に示すように、その上層に、low-k膜131aを形成した後、配線パターン及びリングパターンの溝(図示せず)を形成し、Cuめっきにより溝中に、最下層の配線層161a及びリング状の金属層201aを形成する(Step1-3)。なお、金属層201aは金属層200と接触している。

## 【0022】

次いで、図3(d)に示すように、基板10上にcap膜132a、low-k膜131bを順次形成し、デュアルダマシン法により、配線パターン、ビアパターン及びリングパターンの溝を形成した後、ビア162a、配線層161b及びリング状の金属層202a、201bを形成する。ここで、金属層202aは金属層201b及び金属層201aに接触している。同様に、図3(e)に示すように、同様に順次cap膜132b、low-k膜131cを形成し、ビア162b、配線層161c及びリング状の金属層202b、201cを形成する。ここでも、金属層202bは金属層201c及び金属層201bに接触している。このようにして、多層配線16を形成するとともに、パッドリング20を形成する(Step1-4)。

10

## 【0023】

さらに、図3(f)に示すように、配線層161c、low-k膜131a及び金属層201c上にcap膜132c、パシベーション膜14を形成した後、レジスト(図示せず)を塗布、パターンニングする。そして、パターンニングしたレジストをマスクとしてパシベーション膜14及び層間絶縁膜13をRIEなどにより除去することにより、開口窓19を形成し、メタルパッド18表面のAl層182を露出させる(Step1-5)。

20

## 【0024】

そして、ワイヤ21により、メタルパッド18が、開口窓19を通して、ボンディングされ、図1に示すような半導体装置が形成される。

## 【0025】

本実施形態の半導体装置によれば、最下層の配線層161よりも基板10側にメタルパッド18を形成する構造とすることにより、素子領域11上でワイヤーボンディングを行わないため、ワイヤーボンディング時の荷重によるlow-k膜131の変形やクラッキングの発生を回避することができる。そのため、low-k膜131の吸湿によるバリアメタル膜の酸化を抑え、半導体装置の信頼性の低下を抑制することが可能となる。

30

## 【0026】

また、本実施形態において、最下層の配線層よりも基板10側に位置するメタルパッドに到達する開口窓を設けているため、開口窓壁面に層間絶縁膜が露出し、壁面から水分が侵入する可能性がある。しかしながら、開口窓を取り囲むように、パッドリングを形成することにより、開口窓からの水分の侵入を抑えることができる。従って、low-k膜の吸湿によるバリアメタル膜の酸化を抑え、半導体装置の信頼性の低下を抑制することが可能となる。

## 【0027】

また、従来は、メタルパッド形成の際、例えばi線を用いたリソグラフィを2回行う必要があったが、本実施形態によれば、メタルパッド形成のためのリソグラフィを1回に削減することができる。

40

## 【0028】

さらに、本実施形態によれば、メタルパッドの表面層をこれまでと同様のAl層とすることができ、これまでの技術との互換性を保つことが可能となる。但し、表面層はAl層に限定されるものではなく、導電性を有する層であればよい。

## 【0029】

(第2の実施形態)

本実施形態の半導体装置において、層間絶縁膜に開口窓を設ける構造は第1の実施形態と同様であるが、メタルパッドの構造が異なっている。

## 【0030】

50

図4に、本実施形態の半導体装置の断面図を示す。図に示すように、第1の実施形態と同様に、基板40の素子領域41上に、絶縁層42が形成されている。絶縁層42上には、第1の実施形態と同様に、例えばそれぞれ3層交互に形成された、low-k膜431a、431b、431cと、cap膜432a、432b、432cから構成される層間絶縁膜43が形成されている。層間絶縁膜43上には、パシベーション膜44が形成されている。

【0031】

なお、本実施形態において、層間絶縁膜をそれぞれ3層としているが、第1の実施形態と同様に、積層数はこれに限定されるものではなく、例えば10層以上で適宜設けることができる。後述する配線層、ビアについても、同様である。

10

【0032】

素子領域41上の絶縁層42には、基板コンタクト45が形成され、その上層には、それぞれlow-k膜431、cap膜432を介して、それぞれ交互に形成され、所定パターンの配線層461a、461b、461c、ビア462a、462bを有する多層配線46が形成されている。

【0033】

素子領域41以外の領域である非素子領域47上には、最下層の配線層461aよりも半導体基板40側に、W層481、Al層482などから構成されるメタルパッド48が形成されている。メタルパッド48は、配線層461a、461b、461c、ビア462a、462bを介して、素子領域41上の多層配線46と接続されている。さらに、メタルパッド48に到達する開口窓49が、パシベーション膜44及び層間絶縁膜43を貫通するように設けられている。

20

【0034】

そして、メタルパッド48上の層間絶縁膜43を貫通し、開口窓49を取り囲むように、パッドリング50が設けられている。パッドリング50は、配線層461a、461b、461c、ビア462a、462bとそれぞれ同層に同じ材料で形成されるリング状の金属層501a、501b、501c、502a、502bの積層体から構成されている。

【0035】

そして、リードフレーム（図示せず）などと接続されたワイヤ51が、開口窓49を通り、メタルパッド48にボンディングされている。

30

【0036】

このような半導体装置は、例えば、図5のフローチャートに示す製造工程により形成される。

【0037】

まず、図6(a)に示すように、基板40の素子領域41にトランジスタ等の能動素子を形成し、続いて基板40上に、絶縁層42を形成する。そして、レジストを塗布、パターンニングし、RIEなどにより、基板40の素子領域41上に基板40に到達するコンタクトホール61を形成するとともに、非素子領域47上に開口部62を形成する（Step 2-1）。

40

【0038】

次いで、図6(b)に示すように、W膜を堆積し、CMP（Chemical Mechanical Polishing）法により平坦化することにより、コンタクトホール61をWで埋め込み、基板コンタクト45を形成するとともに、開口部62内にW層481を形成する（Step 2-2）。

【0039】

さらに、図6(c)に示すように、Al膜を堆積し、CMP法により平坦化することにより、W層481の形成された開口部62内にAl層482を形成し、開口部62内にW層481、Al層482を有するメタルパッド48を形成する（Step 2-3）。

【0040】

50

なお、このとき、W膜を形成してコンタクトホール61を埋め込み、連続してA1膜を形成した後、CMP法により一括で平坦化してメタルパッド48を形成してもよい。

【0041】

そして、第1の実施形態と同様に、図6(d)に示すように、その上層に、low-k膜431aを形成した後、配線パターン及びリングパターンの溝(図示せず)を形成し、Cuめっきにより溝中に、最下層の配線層461a及びリング状の金属層501aを形成する(Step2-4)。

【0042】

次いで、図6(e)に示すように、cap膜431b、low-k膜432aを順次形成し、デュアルダマシニング法により、配線パターン、ビアパターン及びリングパターンの溝を形成した後、ビア462a、配線層461b及びリング状の金属層502a、501bを形成する。同様に、図6(f)に示すように、同様に順次cap膜432b、low-k膜431cを形成し、ビア462b、配線層461c及びリング状の金属層501cを形成する。このようにして、多層配線46を形成するとともに、パッドリング50を形成する(Step2-5)。

10

【0043】

さらに、図6(g)に示すように、cap膜431c、パシベーション膜44を形成した後、レジスト(図示せず)を塗布、パターンニングする。そして、露出部分のパシベーション膜44及び層間絶縁膜43をRIEなどにより除去することにより、開口窓49を形成し、メタルパッド48表面のA1層482を露出させる(Step2-6)。

20

【0044】

そして、ワイヤ51により、メタルパッド48が、開口窓49を通して、ボンディングされ、図4に示すような半導体装置が形成される。

【0045】

本実施形態の半導体装置によれば、第1の実施形態と同様に、最下層の配線層よりも半導体基板側にメタルパッドを形成する構造とすることにより、素子領域上でワイヤーボンディングを行わないため、ワイヤーボンディング時の荷重によるlow-k膜の変形やクラッキングの発生を回避することができる。そのため、low-k膜の吸湿によるバリアメタル膜の酸化を抑え、半導体装置の信頼性の低下を抑制することが可能となる。

【0046】

また、第1の実施形態と同様に、最下層の配線層よりも半導体基板側のメタルパッドに到達する開口窓を設ける構造とすることにより、開口窓壁面に層間絶縁膜が露出し、壁面からの水分の侵入が問題となる。そこで、本実施形態のように、開口窓を取り囲むように、パッドリングを形成することにより、開口窓からの水分の侵入を抑えることができる。従って、low-k膜の吸湿によるバリアメタル膜の酸化を抑え、半導体装置の信頼性の低下を抑制することが可能となる。

30

【0047】

また、本実施形態によれば、メタルパッドを絶縁層内にコンタクト形成と同時に埋め込み形成することができるため、新たなリソグラフィ工程を設けることなく、メタルパッドを形成することができる。従って、従来は、メタルパッド形成の際、例えばi線を用いたリソグラフィを2回行う必要があったが、この工程を削減することが可能となる。

40

【0048】

さらに、本実施形態によれば、第1の実施形態と同様に、メタルパッドの表面層をこれまでと同様のA1層とすることができ、これまでの技術との互換性を保つことが可能となる。但し、表面層はA1層に限定されるものではなく、導電性を有する層であればよい。

【0049】

これら実施形態において、半導体基板上に設けられる絶縁層として、通常用いられるTEOS膜などを用いることができるが、より高速化、低消費電力化を図るために、low-k膜を用いることも可能である。また、low-k膜としては、SiOC膜のみならず、CVD(Chemical Vapor Deposition)法や、塗布法などにより形成されたMSQ(Met

50

hylsilesquioxane) や、ポリイミド系などの有機ポリマー系などから構成される膜を用いることができる。

【0050】

尚、本発明は、上述した実施形態に限定されるものではない。その他要旨を逸脱しない範囲で種々変形して実施することができる。

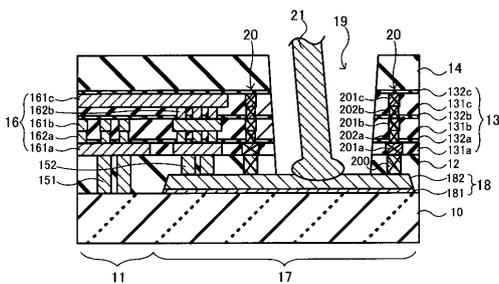
【符号の説明】

【0051】

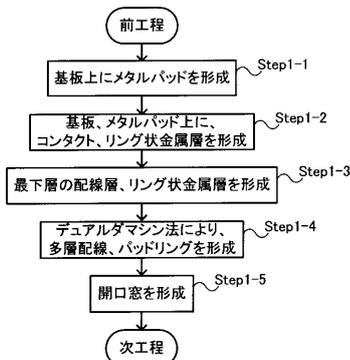
10、40...基板、11、41...素子領域、12、42...絶縁層、13、43...層間絶縁膜、131a、131b、131c、431a、431b、431c...low-k膜、132a、132b、132c、432a、432b、432c...cap膜、14、44...パシベーション膜、151、45...基板コンタクト、152...パッドコンタクト、16、46...多層配線、161a、161b、161c、461a、461b、461c...配線層、162a、162b、462a、462b...ビア、18、48...メタルパッド、181...バリアメタル層、182、482...Al層、19、49...開口窓、20、50...パッドリング、200、201a、201b、201c、202a、202b、501a、501b、501c、502a、502b...リング状の金属層、21、51...ワイヤ、481...W層、61...コンタクトホール、62...開口部

10

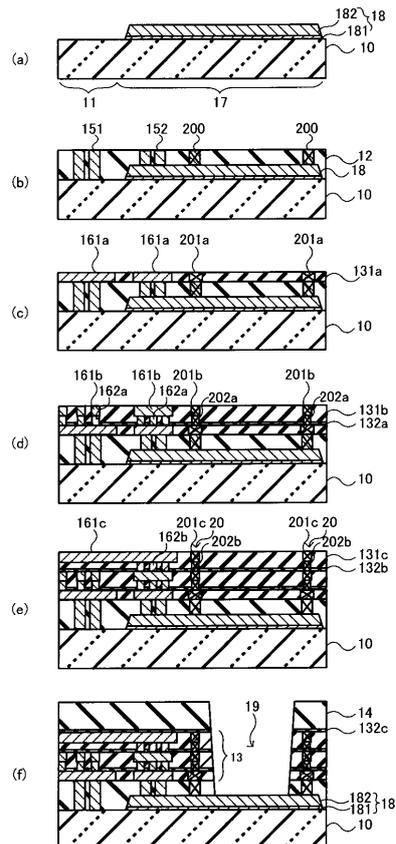
【図1】



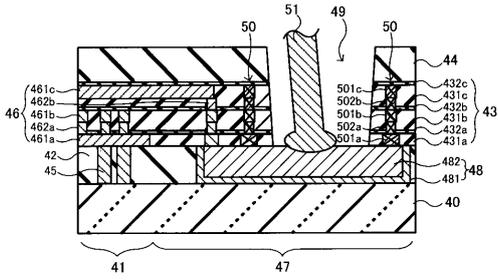
【図2】



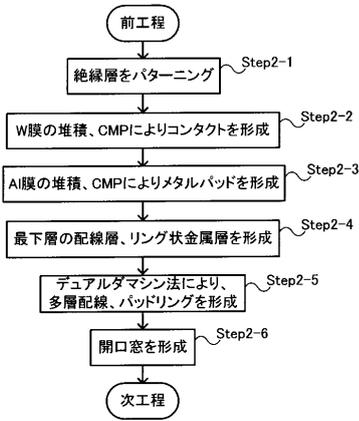
【図3】



【 図 4 】



【 図 5 】



【 図 6 】

