



(21)申請案號：107113334

(22)申請日：中華民國 107 (2018) 年 04 月 19 日

(51)Int. Cl. : H01L23/538 (2006.01)

H01L21/60 (2006.01)

(71)申請人：南亞電路板股份有限公司 (中華民國) NAN YA PRINTED CIRCUIT BOARD CORPORATION (TW)

桃園市蘆竹區南崁路 1 段 338 號

(72)發明人：莊俊逸 CHUANG, CHIN YI (TW) ; 羅國韶 LUO, GUO SHAU (TW) ; 何信芳 HO, SHING FUN (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

TW I538137B

TW 2013/51514A

TW 2017/01443A

US 6964889B2

US 8368185B2

US 8372689B2

US 8624374B2

US 8884424B2

審查人員：李景松

申請專利範圍項數：15 項 圖式數：2 共 28 頁

(54)名稱

封裝結構及其形成方法

PACKAGE STRUCTURE AND METHOD OF FORMING THE SAME

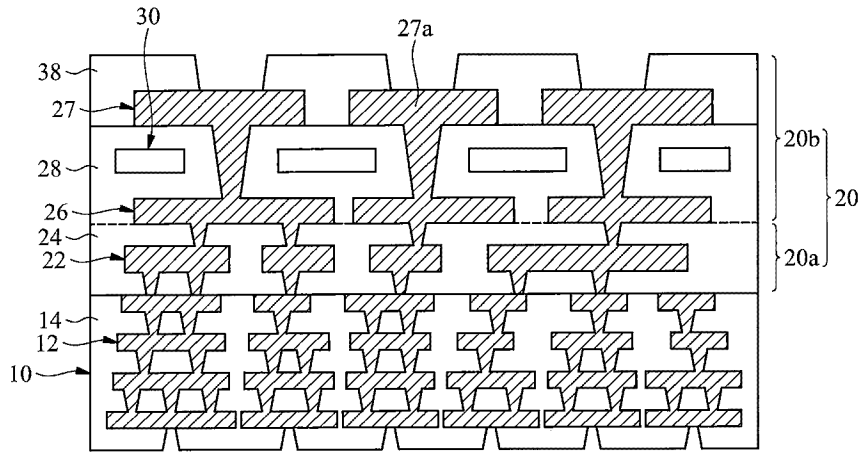
(57)摘要

本發明之實施例提供一種封裝結構，包括：第一重佈線結構，包括第一介電層及設置於第一介電層中的第一重佈線電路；第二重佈線結構，包括第一部分及第二部分，其中第一部分設置於第一重佈線結構上並電性連接第一重佈線結構，且第二部分設置於第一部分上並電性連接第一部分，其中第二部分的電路密度小於第一部分的電路密度；其中第一部分包括：第二介電層、及設置於第二介電層中的第二重佈線電路；第二部分包括：第三介電層、設置於第三介電層中的第三重佈線電路、及設置於第三介電層中的加強層，其中加強層與第三重佈線電路之間被第三介電層隔開。本發明之實施例亦提供一種封裝結構的形成方法。

A package structure is provided, including: a first redistribution structure including a first dielectric layer and a first redistribution circuit disposed in the first dielectric layer; a second redistribution structure including a first portion and a second portion, wherein the first portion disposes on the first redistribution structure and electrically connects to the first redistribution structure, and the second portion disposes on the first portion and electrically connects to the first portion; wherein a circuit density of the second portion is lower than that of the first portion; wherein the first portion includes a second dielectric layer and a second redistribution circuit disposed in the second dielectric layer; the second portion includes a third dielectric layer, a third redistribution circuit disposed in the third dielectric layer, and a stiffener layer disposed in the third dielectric layer, wherein the stiffener layer is separated from the third redistribution circuit by the third dielectric layer. A method of forming the above package structure is also provided.

指定代表圖：

100



符號簡單說明：

- 100 . . . 封裝結構
- 10 . . . 第一重佈線結構
- 12 . . . 重佈線電路
- 14 . . . 介電層
- 20 . . . 第二重佈線結構
- 20a . . . 第一部分
- 20b . . . 第二部分
- 22 . . . 重佈線電路
- 24 . . . 介電層
- 26 . . . 重佈線電路
- 27 . . . 重佈線電路
- 27a . . . 墊層
- 28 . . . 介電層
- 30 . . . 加強層
- 38 . . . 防焊層

第 1H 圖

發明專利說明書

【發明名稱】 封裝結構及其形成方法

Package structure and method of forming the same

【技術領域】

【0001】 本發明係關於一種封裝結構及其形成方法。

【先前技術】

【0002】 隨著電子產業的蓬勃發展，電子產品也邁向多功能及高性能的趨勢。目前半導體封裝結構已開發出不同的封裝型態，為了滿足半導體封裝件高整合度及微型化的封裝需求，封裝基板也由雙層電路板演變成多層電路板，以於有限的空間中運用層間連接技術擴大封裝基板上可供利用的佈線面積，並能配合高線路密度的積體電路的使用需求，且降低封裝基板的厚度，以達到封裝結構輕薄短小及提高電性功能的目的。

【0003】 在先前技術中，使用傳統機鑽式逐次壓合法 (drilled sequential lamination) 將分別完成的重佈線結構進行壓合，由於該方法需透過中介層使重佈線結構彼此結合，導致整體厚度無法輕薄化及製造成本高等問題。再者，為了因應微小化及高密度化的趨勢，目前已發展出無核心 (coreless) 封裝基板，然而，由於無核心基板厚度變小，故無法提供足夠的支撐性，以達到平坦化的要求，特別是在高溫植球時，薄型化的基板受熱而造成翹曲變形的情形更加嚴重，對後段的封裝製程帶來不良的影響。

【0004】 因此，目前亟需一種新的封裝結構及其形成方法，使封裝結構能夠達到高密度化及輕薄化，並能夠加強無核心基板的支撐性以降低基板翹曲的發生，進而增進後段封裝製程的品質。

【發明內容】

【0005】 根據一些實施例，本發明提供一種封裝結構，包括：第一重佈線結構，包括第一介電層，及設置於第一介電層中的第一重佈線電路；第二重佈線結構，包括第一部分以及第二部分，其中第一部分設置於第一重佈線結構上並電性連接第一重佈線結構，且第二部分設置於第一部分上並電性連接第一部分，其中第二部分的電路密度小於第一部分的電路密度；第一部分包括：第二介電層，及設置於第二介電層中的第二重佈線電路；第二部分包括：第三介電層、設置於第三介電層中的第三重佈線電路、及設置於第三介電層中的加強層，其中加強層與第三重佈線電路之間被第三介電層隔開。

【0006】 根據一些實施例，本發明提供一種封裝結構，包括：第一重佈線結構，包括：第一介電層，及設置於該第一介電層中的第一重佈線電路；第二重佈線結構，包括第一部分、第二部分及第三部分，其中第一部分設置於第一重佈線結構上並電性連接第一重佈線結構，第二部分設置於第一部分上並電性連接第一部分，且第三部分設置於第一重佈線結

構的側壁上，其中第二部分的電路密度小於第一部分的電路密度；其中第一部分包括：第二介電層，及設置於第二介電層中的第二重佈線電路；第二部分包括：第三介電層、設置於第三介電層中的第三重佈線電路、及設置於第三介電層中的加強層，其中加強層與第三重佈線電路之間被第三介電層隔開。

【0007】 根據一些實施例，本發明提供一種封裝結構的形成方法，包括：形成第一重佈線結構，包括：形成第一介電層，及形成第一重佈線電路於第一介電層之中；形成第二重佈線結構的第一部分於第一重佈線結構上，包括：形成第二介電層，及形成第二重佈線電路於第二介電層中；形成第二重佈線結構的第二部分於第一部分上，其中第二部分的電路密度小於第一部分的電路密度，包括：形成第三介電層，形成第三重佈線電路於該第三介電層中；及形成加強層於第三介電層中，其中加強層與第三重佈線電路之間被第三介電層隔開。

【圖式簡單說明】

【0008】 以下將配合所附圖式詳述本揭露之實施例，應注意的是，依照工業上的標準實施，以下圖示並未按照比例繪製，事實上，可能任意的放大或縮小元件的尺寸以便清楚表現出本揭露的特徵。而在說明書及圖式中，除了特別說明外，同樣或類似的元件將以類似的符號表示。

第1A-1H圖顯示根據本發明一些實施例，封裝結構於不同製程階段的剖面圖。

第2圖係根據本發明另一些實施例，封裝結構的剖面圖。

【實施方式】

【0009】 以下公開許多不同的實施方法或是例子來實行本發明之不同特徵，以下描述具體的元件及其排列的例子以闡述本發明。當然這些僅是例子且不該以此限定本發明的範圍。此外，在不同實施例中可能使用重複的標號或標示，這些重複僅為了簡單清楚地敘述本揭露，不代表所討論的不同實施例及/或結構之間有特定的關係。為簡化及清楚起見，各種特徵可任意繪製成不同尺寸。

【0010】 此外，其中可能用到與空間相關的用詞，像是“在…下方”、“下方”、“較低的”、“上方”、“較高的”及類似的用詞，這些關係詞係為了便於描述圖示中一個（些）元件或特徵與另一個（些）元件或特徵之間的關係。這些空間關係詞包括使用中或操作中的裝置之不同方位，以及圖示中所描述的方位。裝置可能被轉向不同方位（旋轉90度或其他方位），則其中使用的空間相關形容詞也可相同地照著解釋。

【0011】 本發明實施例提供一種封裝結構及其形成方法，藉由直接增層的方式使重佈線結構彼此結合，並於重佈線結構密度較小的區域設置加強層，以使封裝結構高密度化

及輕薄化，並提高無核心基板的支撐性及平整性，進而增進後段封裝製程的品質。

【0012】 第1A-1H圖係根據本發明一些實施例，封裝結構100於不同製程階段的剖面圖。

【0013】 請先參照第1H圖，封裝結構100包括第一重佈線結構10及第二重佈線結構20。第一重佈線結構10包括重佈線電路12及介電層14。第二重佈線結構20包括第一部分20a及第二部分20b。第一部分20a包括重佈線電路22及介電層24；第二部分20b包括重佈線電路26、27、介電層28、加強層30及防焊層38。以下將詳細描述形成封裝結構100的步驟。

【0014】 首先，請參照第1A圖，提供第一重佈線結構10，並將其設置於載板15上。第一重佈線結構10包括介電層14以及設置於介電層14中的重佈線電路12。在一些實施例中，第一重佈線結構10可為無核心基板；重佈線電路12可為單層或多層，且其材料可包括鎳、金、錫、鉛、銅、鋁、銀、鉻、鎢、上述之組合或上述之合金。重佈線電路12的形成方法可包括影像轉移製程、雷射製程、沉積製程、電鍍製程、壓合製程、塗佈製程或上述之組合。在一些實施例中，介電層14的材料可包括環氧樹脂 (epoxy resin)、雙馬來醯亞胺-三氮雜苯 (bismaleimie triacine, BT)、聚醯亞胺 (polyimide, PI)、增層絕緣膜 (ajinomoto build-up film)、聚苯醚 (polyphenylene oxide, PPO)、聚丙烯 (polypropylene, PP)、聚丙烯酸甲酯 (polymethyl methacrylate, PMMA)、聚四氟乙烯

(polytetrafluorethylene, PTFE)、上述之組合或其他合適的絕緣材料。介電層14的形成方法可包括壓合製程、塗佈製程或上述之組合。

【0015】 請參照第1B圖，於第一重佈線結構10上形成介電層24並於介電層24中形成重佈線電路22，且重佈線電路22電性連接重佈線電路12。接著，於介電層24上形成介電層28a並於介電層28a中形成重佈線電路26，且重佈線電路26電性連接重佈線電路22。在一些實施例中，重佈線電路22及26可為單層或多層，且其材料可包括鎳、金、錫、鉛、銅、鋁、銀、鉻、鎢、上述之組合或上述之合金。重佈線電路22及26的形成方法可包括影像轉移製程、雷射製程、沉積製程、電鍍製程、壓合製程、塗佈製程或上述之組合。在一些實施例中，介電層24及28a的材料可包括環氧樹脂 (epoxy resin)、雙馬來醯亞胺-三氮雜苯 (bismaleimie triacine, BT)、聚醯亞胺 (polyimide, PI)、增層絕緣膜 (ajinomoto build-up film)、聚苯醚 (poly phenylene oxide, PPO)、聚丙烯 (polypropylene, PP)、聚丙烯酸甲酯 (polymethyl methacrylate, PMMA)、聚四氟乙烯 (polytetrafluorethylene, PTFE)、上述之組合或其他合適的絕緣材料。介電層24及28a的形成方法可包括壓合製程、塗佈製程或上述之組合。

【0016】 接著，請參照第1C圖，於介電層28a上設置加強層30，並於加強層30上設置乾膜32。在一些實施例中，可藉由壓合製程將加強層30設置於介電層28a上。在一些實施例

中，加強層30可為剛性強的材料，舉例而言，加強層30的材料可包括金屬(例如：銅、鋁)、金屬合金(例如：不鏽鋼)、陶瓷基板、有機基板或上述之組合。

【0017】 請參照第1D圖，移除部分的乾膜32及加強層30以形成開口34。在一些實施例中，移除部分乾膜32、加強層30及介電層28a的方法可包括曝光製程、顯影製程、蝕刻製程或上述之組合。

【0018】 請參照第1E圖，將乾膜32移除，並形成介電層28b於加強層30及介電層28a上。接著，移除部分的介電層28a及介電層28b，以形成開口36並暴露部分的重佈線電路26。在一些實施例中，可藉由剝膜製程將乾膜32移除。在一些實施例中，介電層28b的形成方法可包括壓合製程、塗佈製程或上述之組合，且介電層28b的材料可與介電層28a相同，在此便不再贅述。在一些實施例中，移除部分介電層28a及介電層28b的方法可包括曝光製程、顯影製程、蝕刻製程或上述之組合。

【0019】 請參照第1F圖，形成重佈線電路27於介電層28上及開口36之中，使重佈線電路27電性連接重佈線電路26。接著，請參照第1G圖，移除部分的重佈線電路27以形成複數個墊層(例如墊層27a)。在一些實施例中，移除部分重佈線電路27的方法可包括曝光製程、顯影製程、蝕刻製程或上述之組合。在一些實施例中，重佈線電路27可為單層或多層，且其材料與形成方法可與重佈線電路26相同，在此便不再贅述。

【0020】 如第1G圖所示，加強層30埋設於介電層28之中，

且加強層30與重佈線電路26、27之間被介電層28隔開，換言之，加強層30與重佈線電路26、27之間無電性連接。加強層30具有複數個加強件，例如：加強件30a及加強件30b。重佈線電路27具有複數個墊層及複數個導孔，例如：墊層27a及導孔27b。在一些實施例中，導孔27b位於加強件30a與加強件30b之間，且導孔27b具有漸細的寬度。

【0021】 請參照第1H圖，於重佈線電路27上設置防焊層38，且防焊層38暴露部分的墊層27a。接著，移除載板15，從而完成包含第一重佈線結構10及第二重佈線結構之封裝結構100。在一些實施例中，第一重佈線結構10的側壁齊平於第二重佈線結構20的側壁。在一些實施例中，防焊層38可為感光、感熱或其組合之材料。舉例來說，防焊層38可為綠漆，例如紫外線型綠漆或熱硬化型綠漆。防焊層38的形成方法可為塗佈製程或乾膜（dry film）壓合製程，且可藉由曝光及顯影製程使防焊層38暴露部分的墊層27a。

【0022】 值得注意的是，第二重佈線結構20係以增層的方式直接逐層形成於第一重佈線結構10上，而不須透過中介層即可使重佈線結構彼此高密度結合，因此，可有效降低整體結構厚度，且可簡化製程並降低生產成本。

【0023】 再者，第一重佈線結構10係以具有相對較細的電路且較高密度的技術所建構而成，例如依照積體電路的設計準則所製成。第二重佈線結構20係以具有相對較寬的電路且較低密度的技術所建構而成，例如依照印刷電路板的設計準

則所製成。換言之，第一重佈線結構10的電路密度大於第二重佈線結構20的電路密度。

【0024】 進一步地，如第1H圖所示，第一重佈線結構10底部所暴露之部分的重佈線電路12在後續步驟係用以與半導體晶片電性連接，因此，在第一重佈線結構10中，愈靠近底部的區域具有愈大的電路密度，反之，愈靠近第二重佈線結構20的區域具有愈小的電路密度。再者，第二重佈線結構20頂部所暴露之部分的墊層27a在後續步驟係用以與錫球電性連接，因此，在第二重佈線結構20中，愈靠近頂部的區域(即第二部分20b)具有愈小的電路密度，而愈靠近第一重佈線結構10的區域(即第一部分20a)具有愈大的電路密度。換言之，在第二重佈線結構20中，第二部分20b的電路密度小於第一部分20a的電路密度。

【0025】 此外，如第1H圖所示，第二重佈線結構20為無核心基板，且加強層30設置於第二重佈線結構20之密度較小的第二部分20b中。值得注意的是，由於加強層30具有鋼性較強的特性，故可提高無核心基板的支撐性並降低基板翹曲的發生，進而增進後段封裝製程的品質。

【0026】 第2圖係根據本發明另一些實施例，封裝結構200於不同製程階段的剖面圖。請參照第2圖，封裝結構200與上述實施例之封裝結構100大致相似，惟兩者之間的差異在於：在封裝結構200中，第二重佈線結構20除了第一部分20a及第二部分20b之外，更包括位於第一重佈線結構10側壁上的

第三部分 20c。

【0027】 詳細而言，如第2圖所示，在形成第一重佈線結構 10 之後，於第一重佈線結構 10 的側壁上形成重佈線結構 20 的第三部分 20c，且第三部分 20c 中無導電結構。在一些實施例中，第三部分 20c 由介電材料所形成，且其材料及形成方法可與前述之介電層 24 及 28 相同，在此便不再贅述。

【0028】 接著，如同前述第 1B 圖至第 1H 圖所描述的方法，於第一重佈線結構 10 及第三部分 20c 上，依序形成第二重佈線結構 20 的第一部分 20a 及第二部分 20b。如第 2 圖所示，第二重佈線結構 20 覆蓋第一重佈線結構 10 的頂面及至少二個側壁。在第二重佈線結構 20 中，第三部分 20c 的側壁齊平於第一部分 20a 及第二部分 20b 的側壁。

【0029】 綜上所述，本發明實施例提供一種封裝結構及其形成方法，藉由直接增層的方式使重佈線結構彼此結合，並於重佈線結構中密度較小的區域設置加強層，以使封裝結構高密度化及輕薄化，並提高無核心基板的支撐性及平整性，進而增進後段封裝製程的品質。

【0030】 前述內文概述了許多實施例的特徵，使本技術領域中具有通常知識者可以更佳的了解本揭露的各個方面。本技術領域中具有通常知識者應該可理解，他們可以很容易的以本揭露為基礎來設計或修飾其它製程及結構，並以此達到相同的目的及/或達到與本揭露介紹的實施例相同的優點。本技術領域中具有通常知識者也應該了解這些相等的結構並不

會背離本揭露的發明精神與範圍。本揭露可以作各種改變、置換、修改而不會背離本揭露的發明精神與範圍。

【符號說明】

【0031】

- 100 封裝結構
- 200 封裝結構
- 10 第一重佈線結構
- 12 重佈線電路
- 14 介電層
- 15 載板
- 20 第二重佈線結構
- 20a 第一部分
- 20b 第二部分
- 20c 第三部分
- 22 重佈線電路
- 24 介電層
- 26 重佈線電路
- 27 重佈線電路
- 27a 墊層
- 27b 導孔
- 28a 介電層
- 28b 介電層

28 介電層

30 加強層

30a 加強件

30b 加強件

32 乾膜

34 開口

36 開口

38 防焊層

發明摘要

【發明名稱】 封裝結構及其形成方法

Package structure and method of forming the same

【中文】

本發明之實施例提供一種封裝結構，包括：第一重佈線結構，包括第一介電層及設置於第一介電層中的第一重佈線電路；第二重佈線結構，包括第一部分及第二部分，其中第一部分設置於第一重佈線結構上並電性連接第一重佈線結構，且第二部分設置於第一部分上並電性連接第一部分，其中第二部分的電路密度小於第一部分的電路密度；其中第一部分包括：第二介電層、及設置於第二介電層中的第二重佈線電路；第二部分包括：第三介電層、設置於第三介電層中的第三重佈線電路、及設置於第三介電層中的加強層，其中加強層與第三重佈線電路之間被第三介電層隔開。本發明之實施例亦提供一種封裝結構的形成方法。

【英文】

A package structure is provided, including: a first redistribution structure including a first dielectric layer and a first redistribution circuit disposed in the first dielectric layer; a second redistribution structure including a first portion and a second portion, wherein the first portion disposes on the first redistribution structure and electrically connects to the first

redistribution structure, and the second portion disposes on the first portion and electrically connects to the first portion; wherein a circuit density of the second portion is lower than that of the first portion; wherein the first portion includes a second dielectric layer and a second redistribution circuit disposed in the second dielectric layer; the second portion includes a third dielectric layer, a third redistribution circuit disposed in the third dielectric layer, and a stiffener layer disposed in the third dielectric layer, wherein the stiffener layer is separated from the third redistribution circuit by the third dielectric layer. A method of forming the above package structure is also provided.

【代表圖】

【本案指定代表圖】：第（ 1H ）圖。

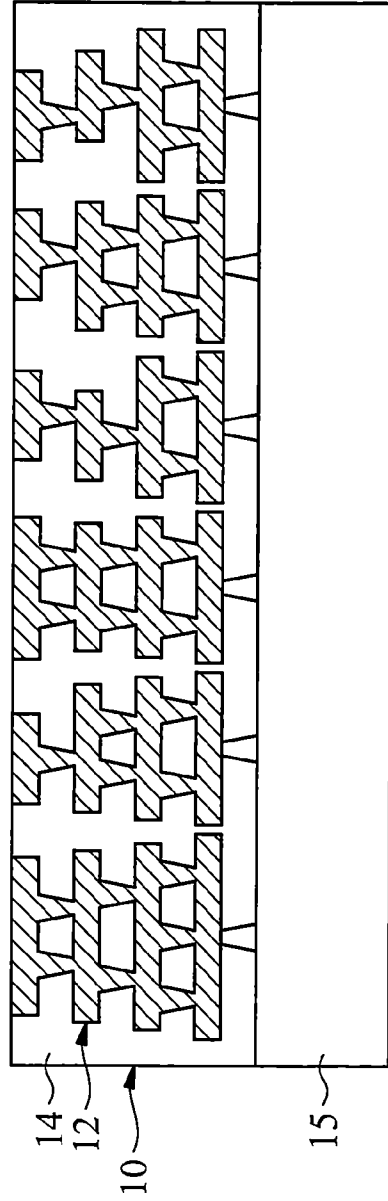
【本代表圖之符號簡單說明】：

- 100 封裝結構
- 10 第一重佈線結構
- 12 重佈線電路
- 14 介電層
- 20 第二重佈線結構
- 20a 第一部分
- 20b 第二部分
- 22 重佈線電路
- 24 介電層
- 26 重佈線電路
- 27 重佈線電路
- 27a 墊層
- 28 介電層
- 30 加強層
- 38 防焊層

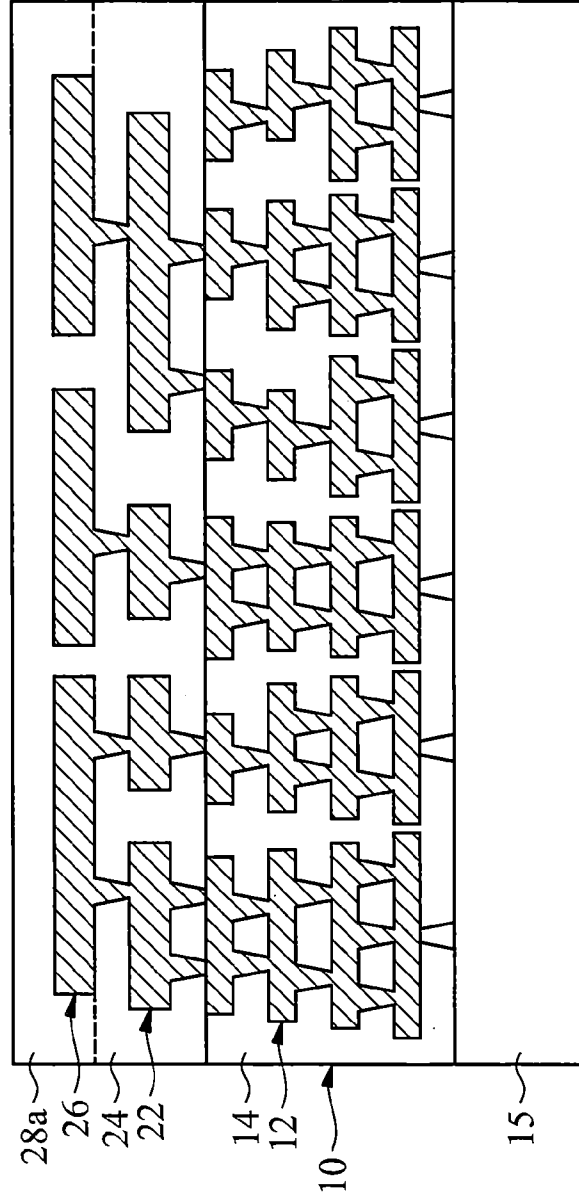
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

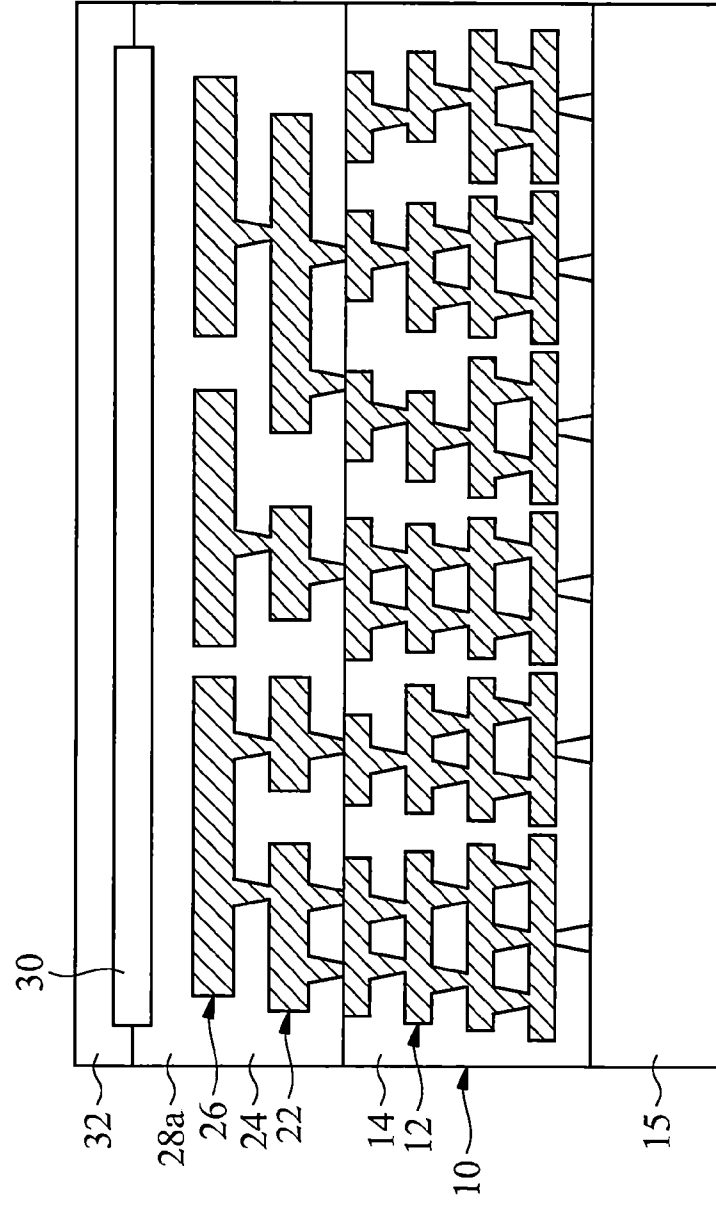
圖式



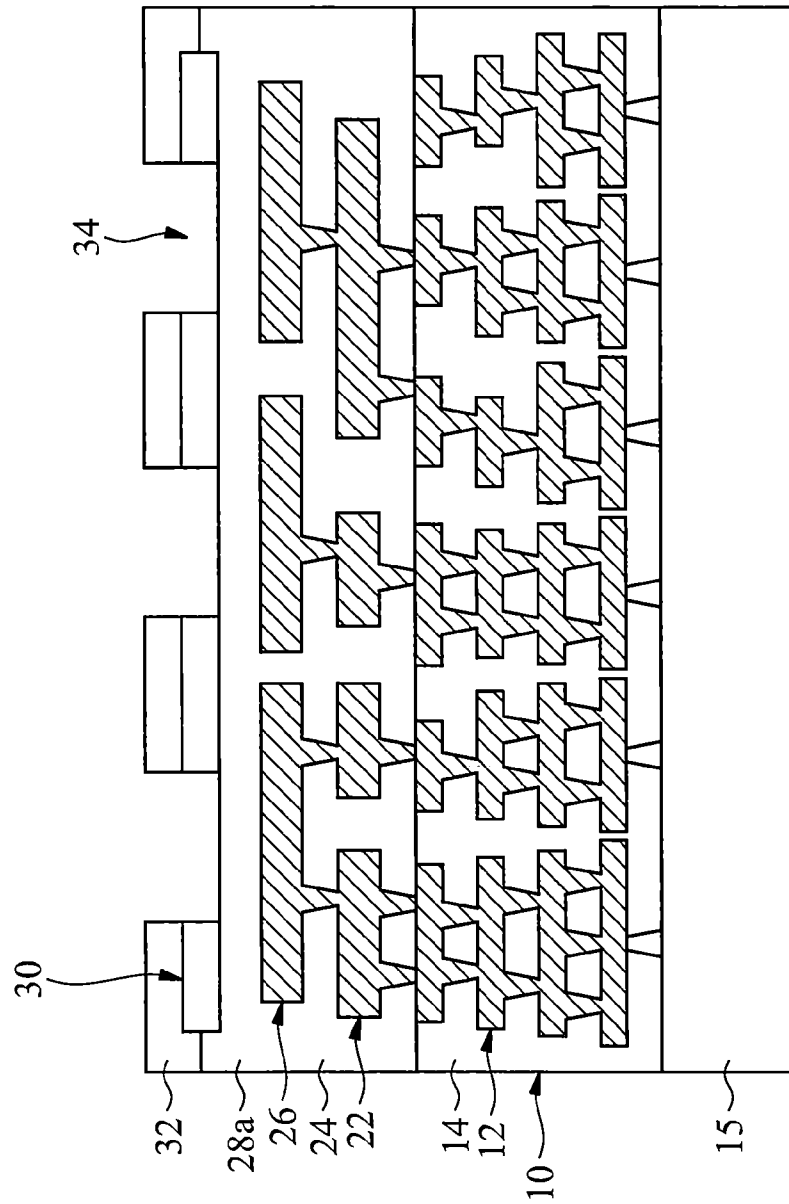
第1A圖



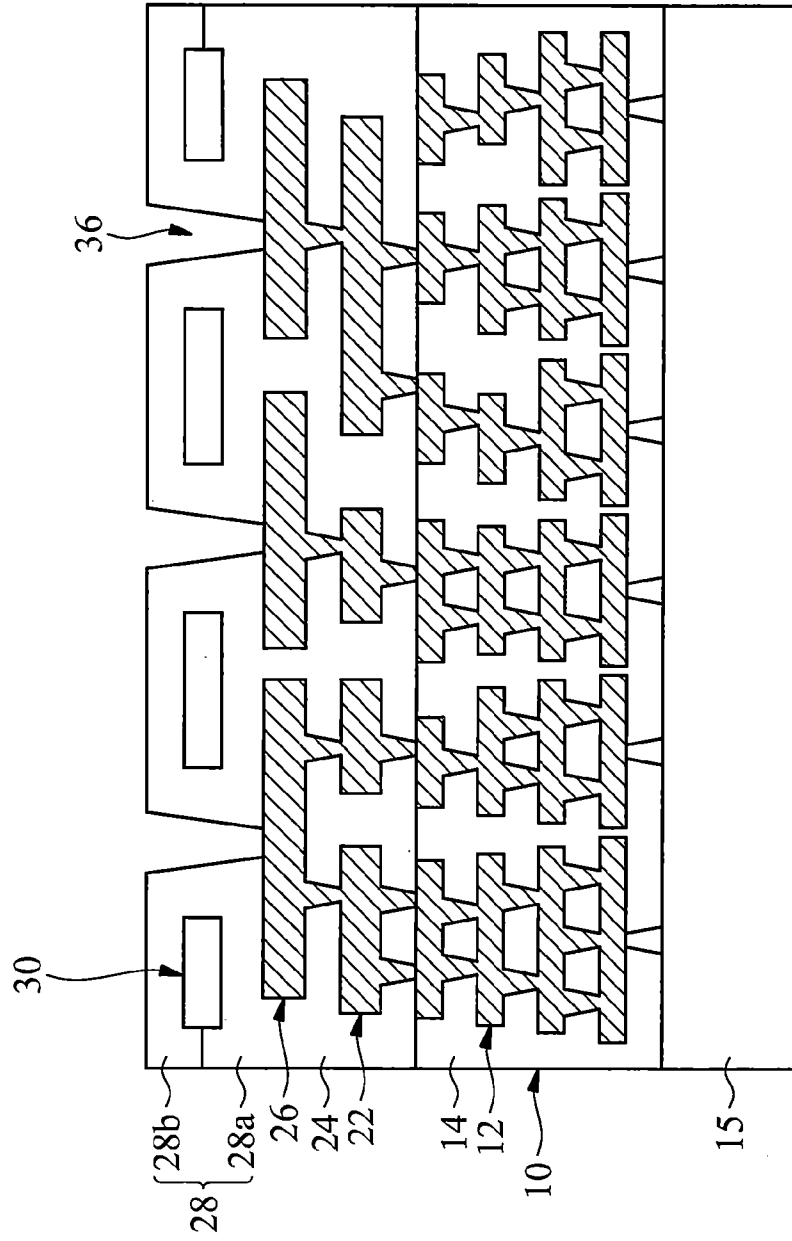
第1B圖



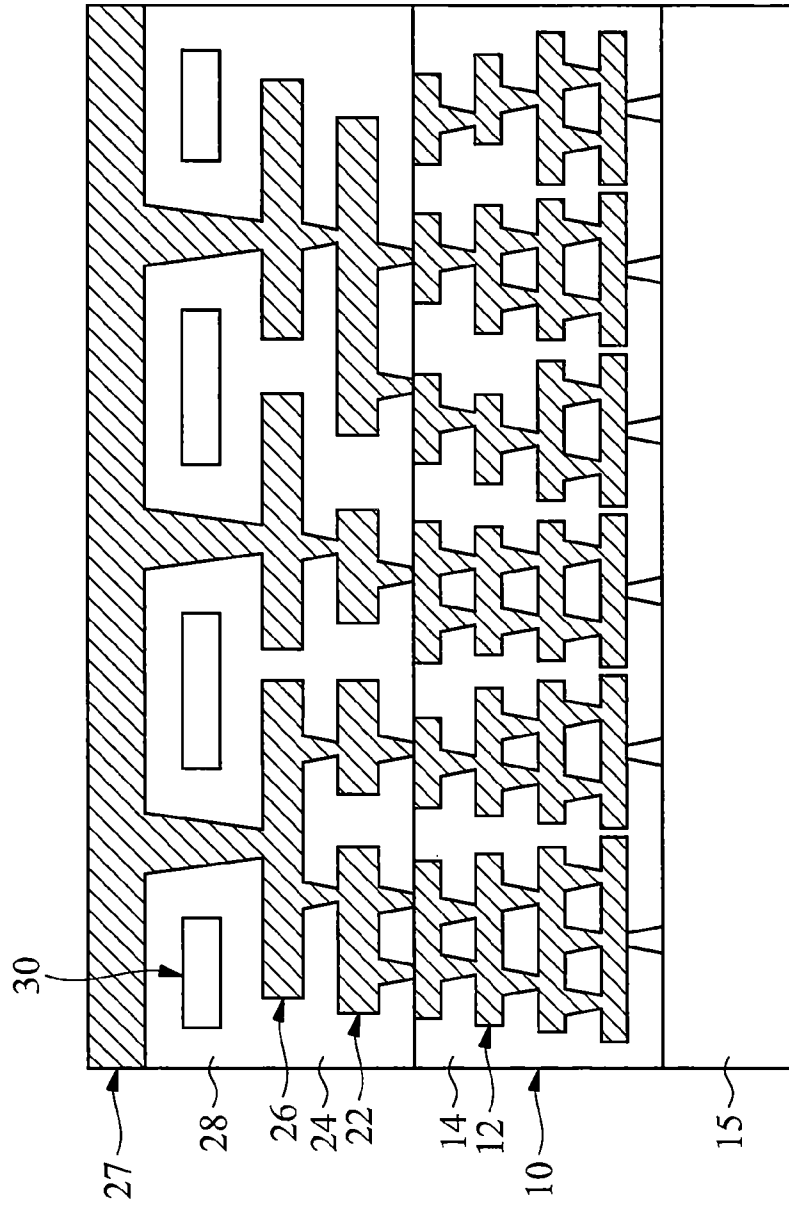
第1C圖



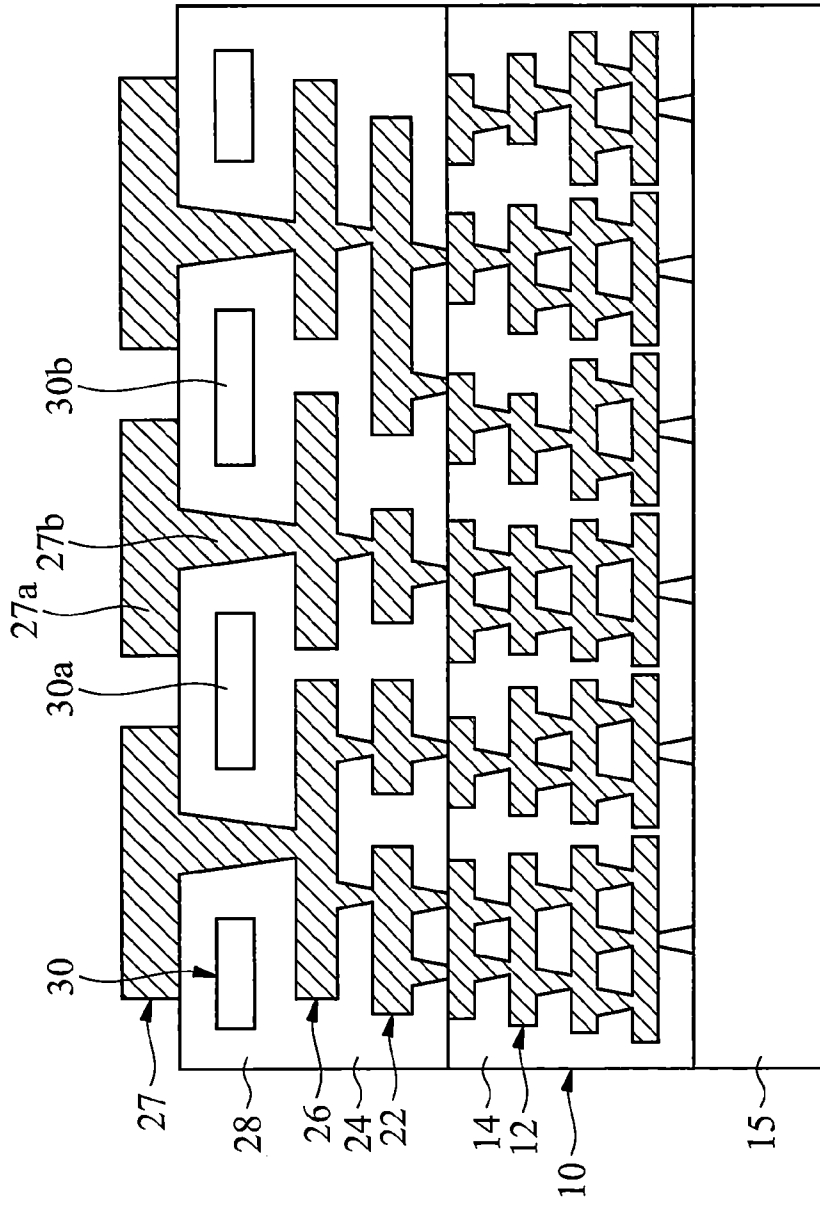
第1D圖



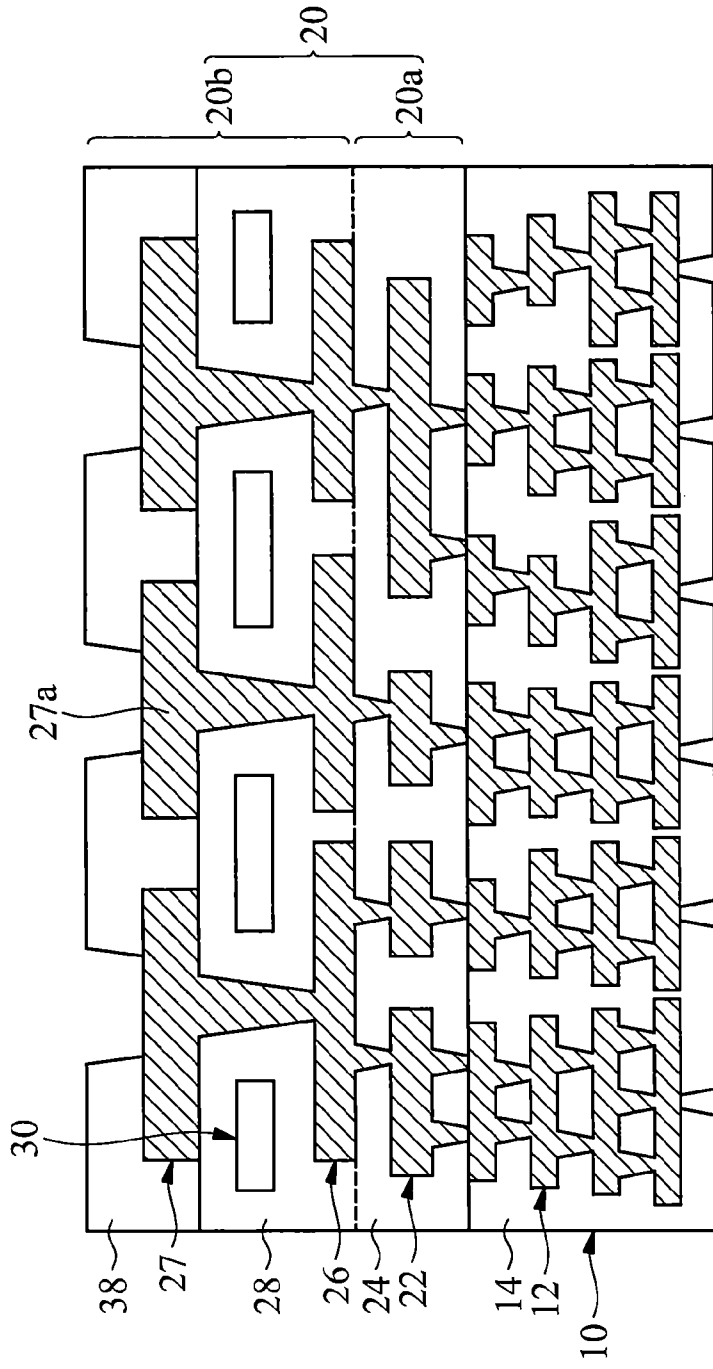
第1E圖



第 1F 圖

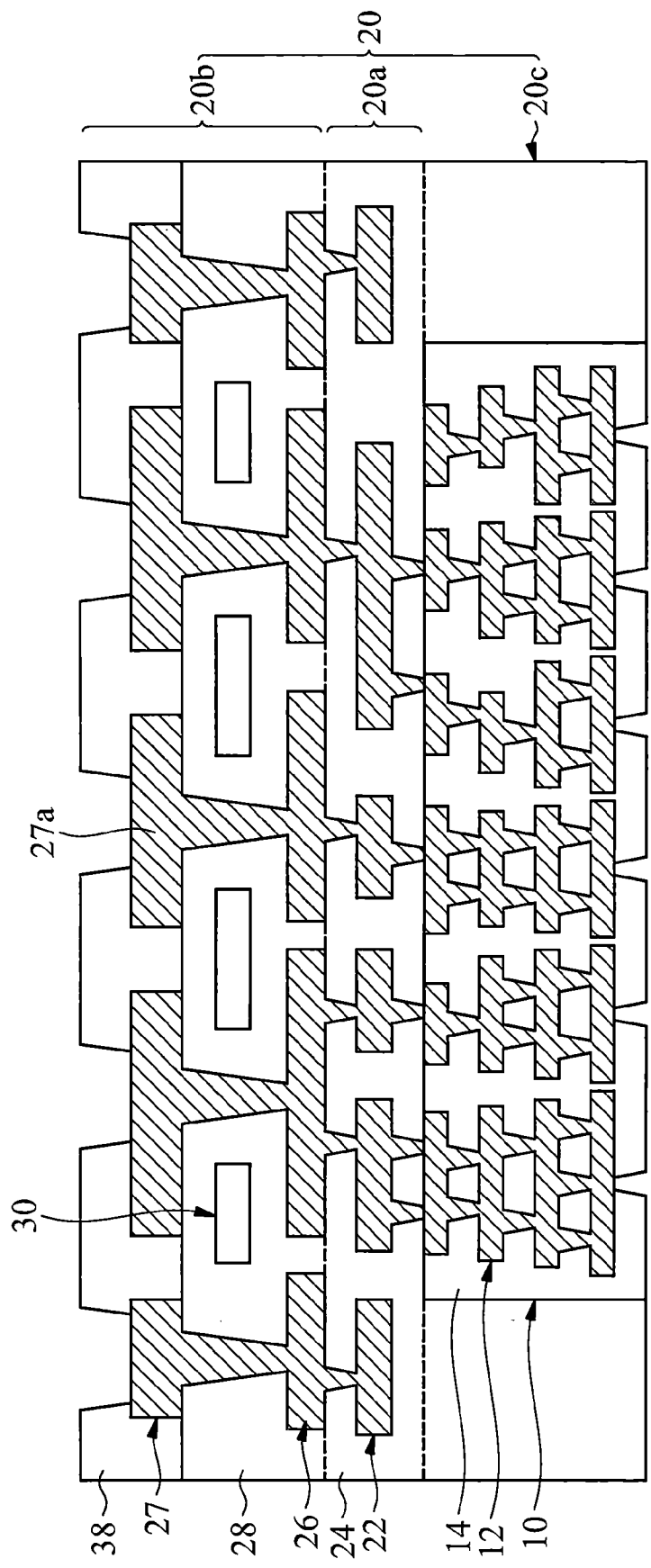


第1G圖



第1H圖

200



第2圖

申請專利範圍

1. 一種封裝結構，包括：
 - 一第一重佈線結構，包括：
 - 一第一介電層，及
 - 一第一重佈線電路，設置於該第一介電層之中；
 - 一第二重佈線結構，包括一第一部分及一第二部分，其中該第一部分設置於該第一重佈線結構上並電性連接該第一重佈線結構，且該第二部分設置於該第一部分上並電性連接該第一部分，其中該第二部分的電路密度小於該第一部分的電路密度；其中該第一部分包括：
 - 一第二介電層，及
 - 一第二重佈線電路，設置於該第二介電層之中；該第二部分包括：
 - 一第三介電層，
 - 一第三重佈線電路，設置於該第三介電層之中；及
 - 一加強層，設置於該第三介電層之中，且該加強層與該第三重佈線電路之間被該第三介電層隔開，且所述加強層被所述第三介電層完整地包覆。
2. 如申請專利範圍第1項所述之封裝結構，其中該加強層的材料包括金屬、金屬合金、陶瓷基板、有機基板或上述之組合。
3. 如申請專利範圍第1項所述之封裝結構，其中該第一重佈線

結構的電路密度大於該第二重佈線結構的電路密度。

4. 如申請專利範圍第1項所述之封裝結構，其中該第一重佈線結構的側壁齊平於該第二重佈線結構的側壁。
5. 如申請專利範圍第1項所述之封裝結構，其中在該第一重佈線結構中，越靠近該第二重佈線電路的區域具有越小的電路密度。
6. 如申請專利範圍第1項所述之封裝結構，其中該加強層與該第三重佈線電路之間無電性連接。
7. 如申請專利範圍第1項所述之封裝結構，其中該加強層包括一第一加強件及一第二加強件，且該第三重佈線電路具有一導孔，位於該第一加強件與該第二加強件之間，其中該導孔具有一漸細的寬度。
8. 一種封裝結構，包括：
 - 一第一重佈線結構，包括：
 - 一第一介電層，及
 - 一第一重佈線電路，設置於該第一介電層之中；
 - 一第二重佈線結構，包括一第一部分、一第二部分及一第三部分，其中該第一部分設置於該第一重佈線結構上並電性連接該第一重佈線結構，該第二部分設置於該第一部分上並電性連接該第一部分，且該第三部分設置於該第一重佈線結構的側壁上，其中該第二部分的電路密度小於該第一部分的電路密度；其中該第一部分包括：

- 一 第二介電層，及
 - 一 第二重佈線電路，設置於該第二介電層之中；
- 該第二部分包括：
- 一 第三介電層，
 - 一 第三重佈線電路，設置於該第三介電層之中；及
 - 一 加強層，設置於該第三介電層之中，且該加強層與該第三重佈線電路之間被該第三介電層隔開，且所述加強層被所述第三介電層完整地包覆。
9. 如申請專利範圍第 8 項所述之封裝結構，其中該第二重佈線結構的該第三部分中無導電結構。
10. 如申請專利範圍第 8 項所述之封裝結構，其中該第二重佈線結構覆蓋該第一重佈線結構的頂面及至少二個側壁。
11. 如申請專利範圍第 8 項所述之封裝結構，其中在該第二重佈線結構中，該第三部分的側壁齊平於該第一部分及該第二部分的側壁。
12. 一種封裝結構的形成方法，包括：
- 形成一第一重佈線結構，包括：
 - 形成一第一介電層，及
 - 形成一第一重佈線電路於該第一介電層之中；
 - 形成一第二重佈線結構的一第一部分於該第一重佈線結構上，包括：
 - 形成一第二介電層，及
 - 形成一第二重佈線電路於該第二介電層中；

形成該第二重佈線結構的一第二部分於該第一部分上，其中該第二部分的電路密度小於該第一部分的電路密度，包括：

形成一第三介電層，

形成一第三重佈線電路於該第三介電層中；及

形成一加強層於該第三介電層中，其中該加強層與該第三重佈線電路之間被該第三介電層隔開，且所述加強層被所述第三介電層完整地包覆。

13.如申請專利範圍第12項所述之封裝結構的形成方法，其中藉由一壓合製程將該加強層形成於該第三介電層中。

14.如申請專利範圍第12項所述之封裝結構的形成方法，更包括：形成該第二重佈線結構的一第三部分於該第一重佈線結構的側壁上。

15.如申請專利範圍第14項所述之封裝結構的形成方法，其中在形成該第一重佈線結構之後，依序形成該第二重佈線結構的該第三部分、該第一部分及該第二部分。