



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년08월06일
(11) 등록번호 10-2692423
(24) 등록일자 2024년08월01일

(51) 국제특허분류(Int. Cl.)
G09G 3/3275 (2016.01) G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/3275 (2013.01)
G09G 3/3685 (2013.01)
(21) 출원번호 10-2018-0141262
(22) 출원일자 2018년11월16일
심사청구일자 2021년10월18일
(65) 공개번호 10-2020-0057204
(43) 공개일자 2020년05월26일
(56) 선행기술조사문헌
KR1020160027558 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
손성영
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인(유한)유일하이스트

전체 청구항 수 : 총 16 항

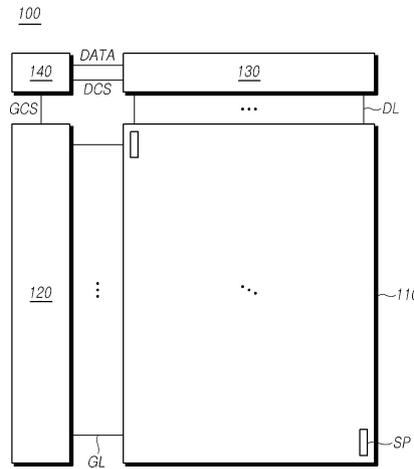
심사관 : 이옥우

(54) 발명의 명칭 데이터 구동 회로, 디스플레이 패널 및 디스플레이 장치

(57) 요약

본 발명의 실시예들은, 데이터 구동 회로, 디스플레이 패널과 장치에 관한 것으로서, 저속 구동 모드로 구동되는 경우 홀딩 기간에 주기적으로 발광 소자의 애노드 전극의 전압을 리셋시켜, 홀딩 기간에 나타나는 휘도 파형이 리프레시 기간에 나타나는 휘도 파형을 따라가도록 함으로써, 플리커가 인식되는 것을 방지할 수 있도록 한다. 또한, 저속 구동 모드의 구동 조건에 따라 리셋 전압을 독립적으로 설정하고, 구동 조건에 따라 리셋 전압을 가변적으로 공급함으로써, 저속 구동 모드의 다양한 구동 조건에서 최적의 리셋 전압 공급을 통해 플리커 현상을 더욱 개선할 수 있도록 한다.

대표도 - 도1



(52) CPC특허분류

G09G 2310/061 (2013.01)
G09G 2310/08 (2013.01)
G09G 2320/0247 (2013.01)

(56) 선행기술조사문헌

KR1020170026762 A*
KR1020180059017 A*
US20140139505 A1
US20090109138 A1
US20060017394 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 디스플레이 패널;
 상기 다수의 게이트 라인을 구동하는 게이트 구동 회로; 및
 상기 다수의 데이터 라인을 구동하는 데이터 구동 회로를 포함하고,
 상기 다수의 서브픽셀 각각은,
 발광 소자;
 상기 발광 소자를 구동하고, 구동 전압 라인과 전기적으로 연결된 제1 노드, 게이트 노드인 제2 노드 및 상기 발광 소자와 전기적으로 연결된 제3 노드를 갖는 구동 트랜지스터; 및
 상기 제3 노드와 상기 데이터 라인 사이에 전기적으로 연결된 스캔 트랜지스터를 포함하고,
 저속 구동 모드에서 하나의 프레임 기간 중, 제1 기간에 상기 데이터 라인으로 데이터 전압이 인가되고, 제2 기간에 상기 데이터 라인으로 리셋 전압이 적어도 1회 이상 인가되며,
 상기 제1 기간에 측정된 상기 디스플레이 패널의 휘도 파형의 최저 레벨은 상기 제2 기간에 측정된 상기 디스플레이 패널의 휘도 파형의 최저 레벨과 동일하며,
 상기 스캔 트랜지스터는,
 상기 제2 기간에서 상기 리셋 전압이 인가되는 기간 중 적어도 일부 기간에 턴-온 상태인 디스플레이 장치.

청구항 2

제1항에 있어서,
 상기 리셋 전압의 레벨은 상기 저속 구동 모드의 구동 주파수에 따라 설정된 디스플레이 장치.

청구항 3

제1항에 있어서,
 상기 리셋 전압의 레벨은 상기 저속 구동 모드에서 상기 디스플레이 패널의 휘도에 따라 설정된 디스플레이 장치.

청구항 4

제1항에 있어서,
 상기 리셋 전압의 레벨은 상기 저속 구동 모드에서 상기 데이터 전압이 인가되는 상기 서브픽셀이 나타내는 컬러에 따라 설정된 디스플레이 장치.

청구항 5

제1항에 있어서,

상기 리셋 전압은 상기 제2 기간에 주기적으로 인가되는 디스플레이 장치.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 제3 노드와 상기 발광 소자 사이에 전기적으로 연결된 제1 발광 트랜지스터를 더 포함하고,

상기 제1 발광 트랜지스터는,

상기 제1 기간에서 상기 데이터 전압이 인가되는 기간에 턴-오프 상태이고, 상기 제2 기간에서 상기 리셋 전압이 인가되는 기간에 턴-온 상태인 디스플레이 장치.

청구항 8

제1항에 있어서,

상기 제1 노드와 상기 구동 전압 라인 사이에 전기적으로 연결된 제2 발광 트랜지스터를 더 포함하고,

상기 제2 발광 트랜지스터는,

상기 제2 기간에서 상기 리셋 전압이 인가되는 기간에 턴-오프 상태인 디스플레이 장치.

청구항 9

제1항에 있어서,

상기 제1 노드와 상기 제2 노드 사이에 전기적으로 연결된 보상 트랜지스터를 더 포함하고,

상기 보상 트랜지스터는,

상기 제1 기간에서 상기 데이터 전압이 인가되는 기간 중 적어도 일부 기간에 턴-온 상태이고, 상기 제2 기간에서 상기 리셋 전압이 인가되는 기간에 턴-오프 상태인 디스플레이 장치.

청구항 10

다수의 게이트 라인;

다수의 데이터 라인; 및

상기 게이트 라인과 상기 데이터 라인의 교차에 의해 정의되는 영역에 배치된 다수의 서브픽셀을 포함하고,

상기 다수의 서브픽셀 각각은,

발광 소자;

상기 발광 소자를 구동하고, 구동 전압 라인과 전기적으로 연결된 제1 노드, 게이트 노드인 제2 노드 및 상기 발광 소자와 전기적으로 연결된 제3 노드를 갖는 구동 트랜지스터; 및

상기 제3 노드와 상기 데이터 라인 사이에 전기적으로 연결된 스캔 트랜지스터를 포함하고,

저속 구동 모드에서 하나의 프레임 기간 중, 제1 기간에 상기 데이터 라인으로 데이터 전압이 인가되고, 제2 기간에 상기 데이터 라인으로 리셋 전압이 주기적으로 적어도 1회 이상 인가되며,

상기 제1 기간에 측정된 휘도 파형의 최저 레벨은 상기 제2 기간에 측정된 휘도 파형의 최저 레벨과 동일하며,

상기 스캔 트랜지스터는,
 상기 제2 기간에서 상기 리셋 전압이 인가되는 기간 중 적어도 일부 기간에 턴-온 상태인 디스플레이 패널.

청구항 11

제10항에 있어서,
 상기 리셋 전압의 레벨은,
 상기 저속 구동 모드의 구동 주파수, 상기 저속 구동 모드에서 나타나는 휘도 및 상기 데이터 전압이 인가되는 상기 서브픽셀이 나타내는 컬러 중 적어도 하나에 기초하여 설정된 디스플레이 패널.

청구항 12

삭제

청구항 13

제10항에 있어서,
 상기 제3 노드와 상기 발광 소자 사이에 전기적으로 연결된 제1 발광 트랜지스터를 더 포함하고,
 상기 제1 발광 트랜지스터는,
 상기 제1 기간에서 상기 데이터 전압이 인가되는 기간에 턴-오프 상태이고, 상기 제2 기간에서 상기 리셋 전압이 인가되는 기간에 턴-온 상태인 디스플레이 패널.

청구항 14

제10항에 있어서,
 상기 제1 노드와 상기 구동 전압 라인 사이에 전기적으로 연결된 제2 발광 트랜지스터를 더 포함하고,
 상기 제2 발광 트랜지스터는,
 상기 제2 기간에서 상기 리셋 전압이 인가되는 기간에 턴-오프 상태인 디스플레이 패널.

청구항 15

제10항에 있어서,
 상기 제1 노드와 상기 제2 노드 사이에 전기적으로 연결된 보상 트랜지스터를 더 포함하고,
 상기 보상 트랜지스터는,
 상기 제1 기간에서 상기 데이터 전압이 인가되는 기간 중 적어도 일부 기간에 턴-온 상태이고, 상기 제2 기간에서 상기 리셋 전압이 인가되는 기간에 턴-오프 상태인 디스플레이 패널.

청구항 16

하나의 프레임 기간 중 제1 기간에 데이터 라인으로 데이터 전압을 출력하는 데이터 전압 출력부; 및
 저속 구동 모드에서 상기 하나의 프레임 기간 중 상기 제1 기간 이후의 제2 기간에 상기 데이터 라인으로 리셋 전압을 주기적으로 적어도 1회 이상 출력하는 리셋 전압 출력부를 포함하고,
 상기 리셋 전압의 레벨은,

상기 저속 구동 모드의 구동 주파수, 상기 데이터 전압이 나타내는 휘도 및 상기 데이터 전압이 인가되는 서브 픽셀이 나타내는 컬러 중 적어도 하나에 기초하여 설정되며,

상기 서브픽셀은,

발광 소자;

상기 발광 소자를 구동하고, 구동 전압 라인과 전기적으로 연결된 제1 노드, 게이트 노드인 제2 노드 및 상기 발광 소자와 전기적으로 연결된 제3 노드를 갖는 구동 트랜지스터; 및

상기 제3 노드와 상기 데이터 라인 사이에 전기적으로 연결된 스캔 트랜지스터를 포함하고,

상기 스캔 트랜지스터는,

상기 제2 기간에서 상기 리셋 전압이 인가되는 기간 중 적어도 일부 기간에 턴-온 상태인 데이터 구동 회로.

청구항 17

제16항에 있어서,

상기 리셋 전압 출력부는,

상기 저속 구동 모드에서 상기 제2 기간 중 상기 제1 기간의 길이와 동일한 길이의 기간마다 상기 리셋 전압을 1회 출력하는 데이터 구동 회로.

청구항 18

제16항에 있어서,

상기 리셋 전압 출력부는,

상기 저속 구동 모드의 구동 주파수, 상기 데이터 전압이 나타내는 휘도 및 상기 데이터 전압이 인가되는 서브 픽셀이 나타내는 컬러 중 적어도 하나에 따라, 레벨이 상이한 적어도 둘 이상의 상기 리셋 전압을 출력하는 데이터 구동 회로.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은, 데이터 구동 회로, 디스플레이 패널 및 디스플레이 장치에 관한 것이다.

배경 기술

[0003] 정보화 사회가 발전함에 따라, 화상을 표시하는 디스플레이 장치에 대한 요구가 증가하고 있으며, 액정 디스플레이 장치, 유기발광 디스플레이 장치 등과 같은 다양한 유형의 디스플레이 장치가 활용되고 있다.

[0004] 이러한 디스플레이 장치는, 소비 전력을 저감시키기 위하여, 저전력 모드 또는 저속 구동 모드 등에서 일반 구동 모드의 구동 주파수보다 낮은 구동 주파수로 구동될 수 있다.

[0005] 일 예로, 디스플레이 장치가 오프 된 상태에서, 디스플레이 패널의 일부 영역에 특정 정보(예, 시간 등)를 표시하는 AoD(Always On Display) 모드로 구동되는 기간 동안, 일반 구동 모드의 구동 주파수(예, 60Hz)보다 낮은 구동 주파수(예, 30Hz, 24Hz 등)로 디스플레이 장치가 구동될 수 있다.

[0006] 이러한 경우, 저속 구동 모드에서 한 프레임 기간이 길어짐에 따라 프레임 기간 동안 휘도가 저하되는 폭이 증가할 수 있으며, 이로 인해, 프레임 간의 휘도 편차가 커져 디스플레이 패널 상에서 플리커(Flicker)로 인식될 수 있는 문제점이 존재한다.

발명의 내용

해결하려는 과제

- [0008] 본 발명의 실시예들의 목적은, 디스플레이 장치가 저속 구동 모드로 구동되는 기간 동안 플리커가 인식되는 것을 방지할 수 있도록 하는 데이터 구동 회로, 디스플레이 패널 및 장치를 제공하는 데 있다.
- [0009] 본 발명의 실시예들의 목적은, 저속 구동 모드로 구동되는 디스플레이 장치의 구동 조건이 달라지더라도 디스플레이 패널에서 플리커가 인식되는 것을 방지할 수 있도록 하는 데이터 구동 회로, 디스플레이 패널 및 장치를 제공하는 데 있다.

과제의 해결 수단

- [0011] 일 측면에서, 본 발명의 실시예들은, 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 디스플레이 패널과, 다수의 게이트 라인을 구동하는 게이트 구동 회로와, 다수의 데이터 라인을 구동하는 데이터 구동 회로를 포함하는 디스플레이 장치를 제공한다.
- [0012] 이러한 디스플레이 장치에서, 다수의 서브픽셀 각각은, 발광 소자와, 발광 소자를 구동하고 구동 전압 라인과 전기적으로 연결된 제1 노드, 게이트 노드인 제2 노드 및 발광 소자와 전기적으로 연결된 제3 노드를 갖는 구동 트랜지스터와, 제3 노드와 데이터 라인 사이에 전기적으로 연결된 스캔 트랜지스터를 포함할 수 있다.
- [0013] 그리고, 저속 구동 모드에서 하나의 프레임 기간 중, 제1 기간에 데이터 라인으로 데이터 전압이 인가되고, 제2 기간에 데이터 라인으로 리셋 전압이 적어도 1회 이상 인가되며, 제1 기간에 측정된 디스플레이 패널의 휘도 파형의 최저 레벨은 제2 기간에 측정된 디스플레이 패널의 휘도 파형의 최저 레벨과 동일할 수 있다.
- [0014] 이때, 리셋 전압의 레벨은, 저속 구동 모드의 구동 주파수, 저속 구동 모드에서 나타나는 휘도 및 데이터 전압이 인가되는 서브픽셀이 나타내는 컬러 중 적어도 하나에 기초하여 설정될 수 있다.
- [0015] 다른 측면에서, 본 발명의 실시예들은, 다수의 게이트 라인과, 다수의 데이터 라인과, 게이트 라인과 데이터 라인의 교차에 의해 정의되는 영역에 배치된 다수의 서브픽셀을 포함하고, 다수의 서브픽셀 각각은, 발광 소자와, 발광 소자를 구동하고 구동 전압 라인과 전기적으로 연결된 제1 노드, 게이트 노드인 제2 노드 및 발광 소자와 전기적으로 연결된 제3 노드를 갖는 구동 트랜지스터와, 제3 노드와 데이터 라인 사이에 전기적으로 연결된 스캔 트랜지스터를 포함하며, 저속 구동 모드에서 하나의 프레임 기간 중, 제1 기간에 데이터 라인으로 데이터 전압이 인가되고, 제2 기간에 데이터 라인으로 리셋 전압이 주기적으로 적어도 1회 이상 인가되며, 제1 기간에 측정된 휘도 파형의 최저 레벨은 제2 기간에 측정된 휘도 파형의 최저 레벨과 동일한 디스플레이 패널을 제공한다.
- [0016] 다른 측면에서, 본 발명의 실시예들은, 하나의 프레임 기간 중 제1 기간에 데이터 라인으로 데이터 전압을 출력하는 데이터 전압 출력부와, 저속 구동 모드에서 하나의 프레임 기간 중 제1 기간 이후의 제2 기간에 데이터 라인으로 리셋 전압을 주기적으로 적어도 1회 이상 출력하는 리셋 전압 출력부를 포함하고, 리셋 전압의 레벨은, 저속 구동 모드의 구동 주파수, 데이터 전압이 나타내는 휘도 및 데이터 전압이 인가되는 서브픽셀이 나타내는 컬러 중 적어도 하나에 기초하여 설정된 데이터 구동 회로를 제공한다.

발명의 효과

- [0018] 본 발명의 실시예들에 의하면, 디스플레이 장치가 저속 구동 모드로 구동되는 기간의 홀딩 기간 동안 서브픽셀에 리셋 전압을 주기적으로 공급함으로써, 저속 구동 모드의 홀딩 기간에 플리커가 인식되는 것을 방지할 수 있도록 한다.
- [0019] 본 발명의 실시예들에 의하면, 저속 구동 모드로 구동되는 디스플레이 장치의 구동 주파수, 휘도 및 서브픽셀의 컬러 중 적어도 하나에 기초하여 설정된 리셋 전압을 저속 구동 모드의 홀딩 기간에 주기적으로 공급함으로써, 저속 구동 모드의 구동 조건이 달라지더라도 플리커가 인식되는 것을 방지할 수 있도록 한다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 실시예들에 따른 디스플레이 장치의 개략적인 구성을 나타낸 도면이다.
- 도 2는 본 발명의 실시예들에 따른 디스플레이 장치에 배치된 서브픽셀의 회로 구조의 예시를 나타낸 도면이다.
- 도 3은 도 2에 도시된 서브픽셀의 구동 타이밍의 예시를 나타낸 도면이다.

도 4는 도 3에 도시된 타이밍에 따라 서브픽셀이 구동되는 경우 저속 구동 모드에서 나타나는 휘도 변화의 예시를 나타낸 도면이다.

도 5는 도 2에 도시된 서브픽셀의 구동 타이밍의 다른 예시를 나타낸 도면이다.

도 6 내지 도 8은 도 5에 도시된 타이밍에 따라 서브픽셀이 구동되는 과정의 예시를 나타낸 도면이다.

도 9는 도 5에 도시된 타이밍에 따라 서브픽셀이 구동되는 경우 저속 구동 모드에서 나타나는 휘도 변화의 예시를 나타낸 도면이다.

도 10a 내지 도 10c는 디스플레이 장치의 구동 조건에 따른 플리커 스코어의 예시를 나타낸 도면이다.

도 11은 도 5에 도시된 타이밍에 따른 구동시 구동 조건에 따라 설정된 리셋 전압이 공급되는 경우 저속 구동 모드에서 나타나는 휘도 변화의 예시를 나타낸 도면이다.

도 12는 본 발명의 실시예들에 따른 디스플레이 장치의 구동 조건에 따른 리셋 전압을 설정하는 시스템의 예시를 나타낸 도면이다.

도 13a와 도 13b는 도 12에 도시된 시스템에 의해 리셋 전압을 설정하는 과정의 예시를 나타낸 도면이다.

도 14는 본 발명의 실시예들에 따른 데이터 구동 회로의 구성의 예시를 나타낸 도면이다.

도 15는 본 발명의 실시예들에 따른 데이터 구동 회로의 구동 방법의 과정의 예시를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0023] 또한, 본 발명의 구성요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성요소를 다른 구성요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성요소 사이에 다른 구성요소가 "개재"되거나, 각 구성요소가 다른 구성요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0024] 도 1은 본 발명의 실시예들에 따른 디스플레이 장치(100)의 개략적인 구성을 나타낸 도면이다.
- [0025] 도 1을 참조하면, 본 발명의 실시예들에 따른 디스플레이 장치(100)는, 다수의 서브픽셀(SP)이 배열된 디스플레이 패널(110)과, 디스플레이 패널(110)을 구동하기 위한 게이트 구동 회로(120), 데이터 구동 회로(130) 및 컨트롤러(140) 등을 포함할 수 있다.
- [0026] 디스플레이 패널(110)에는, 다수의 게이트 라인(GL)과 다수의 데이터 라인(DL)이 배치되고, 게이트 라인(GL)과 데이터 라인(DL)이 교차에 의해 정의되는 영역에 서브픽셀(SP)이 배치된다.
- [0027] 게이트 구동 회로(120)는, 컨트롤러(140)에 의해 제어되며, 디스플레이 패널(110)에 배치된 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 출력하여 다수의 서브픽셀(SP)의 구동 타이밍을 제어한다.
- [0028] 이러한 게이트 구동 회로(120)는, 경우에 따라, 서브픽셀(SP)의 구동 타이밍을 제어하는 스캔 신호와, 서브픽셀(SP)의 발광 타이밍을 제어하는 발광 신호를 출력할 수도 있다. 이러한 경우, 스캔 신호를 출력하는 회로와, 발광 신호를 출력하는 회로는 별도의 회로로 구현될 수도 있고, 하나의 회로로 구현될 수도 있다.
- [0029] 게이트 구동 회로(120)는, 하나 이상의 게이트 드라이버 집적 회로(GDIC, Gate Driver Integrated Circuit)를 포함할 수 있으며, 구동 방식에 따라 디스플레이 패널(110)의 일 측에만 위치할 수도 있고 양 측에 위치할 수도 있다.
- [0030] 각 게이트 드라이버 집적 회로(GDIC)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG: Chip On Glass) 방식으로 디스플레이 패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 디스플레이 패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 디스

플레이 패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 게이트 드라이버 집적 회로(GDIC)는, 디스플레이 패널(110)과 연결된 필름 상에 실장되는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수도 있다.

- [0031] 데이터 구동 회로(130)는, 컨트롤러(140)로부터 영상 데이터를 수신하고, 영상 데이터를 아날로그 형태의 데이터 전압으로 변환한다. 그리고, 게이트 라인(GL)을 통해 스캔 신호가 인가되는 타이밍에 맞춰 데이터 전압을 각각의 데이터 라인(DL)으로 출력하여 각각의 서브픽셀(SP)이 영상 데이터에 따른 밝기를 표현하도록 한다.
- [0032] 데이터 구동 회로(130)는, 하나 이상의 소스 드라이버 집적 회로(SDIC, Source Driver Integrated Circuit)를 포함할 수 있다.
- [0033] 각 소스 드라이버 집적 회로(SDIC)는, 시프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.
- [0034] 각 소스 드라이버 집적 회로(SDIC)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG: Chip On Glass) 방식으로 디스플레이 패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 디스플레이 패널(110)에 직접 배치될 수 있으며, 경우에 따라, 디스플레이 패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적 회로(SDIC)는, 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수 있으며, 이 경우, 각 소스 드라이버 집적 회로(SDIC)는, 디스플레이 패널(110)에 연결된 필름 상에 실장되고, 필름 상의 배선들을 통해 디스플레이 패널(110)과 전기적으로 연결될 수 있다.
- [0035] 컨트롤러(140)는, 게이트 구동 회로(120)와 데이터 구동 회로(130)로 각종 제어 신호를 공급하며, 게이트 구동 회로(120)와 데이터 구동 회로(130)의 동작을 제어한다.
- [0036] 컨트롤러(140)는, 인쇄 회로 기판, 가요성 인쇄 회로 등 상에 실장되고, 인쇄 회로 기판, 가요성 인쇄 회로 등을 통해 게이트 구동 회로(120) 및 데이터 구동 회로(130)와 전기적으로 연결될 수 있다.
- [0037] 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 게이트 구동 회로(120)가 스캔 신호를 출력하도록 하며, 외부에서 수신한 영상 데이터를 데이터 구동 회로(130)에서 사용하는 데이터 신호 형식에 맞게 변환하여 변환된 영상 데이터를 데이터 구동 회로(130)로 출력한다.
- [0038] 컨트롤러(140)는, 영상 데이터와 함께 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 입력 데이터 인에이블 신호(DE, Data Enable), 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호를 외부(예, 호스트 시스템)로부터 수신한다.
- [0039] 컨트롤러(140)는, 외부로부터 수신한 각종 타이밍 신호를 이용하여 각종 제어 신호를 생성하고 게이트 구동 회로(120) 및 데이터 구동 회로(130)로 출력할 수 있다.
- [0040] 일 예로, 컨트롤러(140)는, 게이트 구동 회로(120)를 제어하기 위하여, 게이트 스타트 펄스(GSP, Gate Start Pulse), 게이트 시프트 클럭(GSC, Gate Shift Clock), 게이트 출력 인에이블 신호(GOE, Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS)를 출력한다.
- [0041] 여기서, 게이트 스타트 펄스(GSP)는 게이트 구동 회로(120)를 구성하는 하나 이상의 게이트 드라이버 집적 회로(GDIC)의 동작 스타트 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적 회로(GDIC)에 공통으로 입력되는 클럭 신호로서, 스캔 신호의 시프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적 회로(GDIC)의 타이밍 정보를 지정하고 있다.
- [0042] 또한, 컨트롤러(140)는, 데이터 구동 회로(130)를 제어하기 위하여, 소스 스타트 펄스(SSP, Source Start Pulse), 소스 샘플링 클럭(SSC, Source Sampling Clock), 소스 출력 인에이블 신호(SOE, Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS)를 출력한다.
- [0043] 여기서, 소스 스타트 펄스(SSP)는 데이터 구동 회로(130)를 구성하는 하나 이상의 소스 드라이버 집적 회로(SDIC)의 데이터 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적 회로(SDIC) 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 구동 회로(130)의 출력 타이밍을 제어한다.
- [0044] 이러한 디스플레이 장치(100)는, 디스플레이 패널(110), 게이트 구동 회로(120), 데이터 구동 회로(130) 등으로 각종 전압 또는 전류를 공급해주거나, 공급할 각종 전압 또는 전류를 제어하는 전원 관리 집적 회로(미도시)를 더 포함할 수 있다.

- [0045] 각각의 서브픽셀(SP)은, 게이트 라인(GL)과 데이터 라인(DL)의 교차에 의해 정의되며, 디스플레이 장치(100)의 유형에 따라 액정이 배치되거나 발광 소자(EL)가 배치될 수 있다.
- [0046] 도 2는 본 발명의 실시예들에 따른 디스플레이 장치(100)에 배치된 서브픽셀(SP)의 회로 구조의 예시를 나타낸 도면이다.
- [0047] 도 2를 참조하면, 본 발명의 실시예들에 따른 디스플레이 장치(100)의 서브픽셀(SP)에는, 일 예로, 발광 소자(EL)와, 발광 소자(EL)를 구동하기 위한 다수의 트랜지스터(T1, T2, T3, T4, T5, T6)와, 하나의 캐패시터(Cst)가 배치될 수 있다.
- [0048] 즉, 도 2에 도시된 예시는, 6T1C로 구성된 서브픽셀(SP)을 예시로 나타내나, 서브픽셀(SP)에 배치되는 회로 소자는 디스플레이 장치(100)의 유형에 따라 다양하게 구현될 수 있다.
- [0049] 또한, 도 2는 서브픽셀(SP)에 배치된 트랜지스터가 N 타입인 경우를 예시로 나타내나, 경우에 따라, P 타입의 트랜지스터로 서브픽셀(SP)이 구성될 수 있다.
- [0050] 서브픽셀(SP)이 6T1C로 구성된 경우, 각각의 서브픽셀(SP)에는, 6개의 트랜지스터(T1, T2, T3, T4, T5, T6)와 1개의 캐패시터(Cst)가 배치될 수 있다.
- [0051] 제1 트랜지스터(T1)는, 제2 스캔 라인(SCL2)로 인가되는 제2 스캔 신호(SCAN2)에 의해 제어되고, 데이터 전압(Vdata)이 인가되는 데이터 라인(DL)과 제4 노드(N4) 사이에 전기적으로 연결될 수 있다. 이러한 제1 트랜지스터(T1)는, "스캔 트랜지스터"라고 할 수도 있다.
- [0052] 제2 트랜지스터(T2)는, 제1 노드(N1), 제2 노드(N2) 및 제3 노드(N3)를 가질 수 있다. 제1 노드(N1)는, 드레인 노드 또는 소스 노드일 수 있으며, 구동 전압 라인(DVL)과 전기적으로 연결될 수 있다. 제2 노드(N2)는, 게이트 노드일 수 있다. 제3 노드(N3)는, 소스 노드 또는 드레인 노드일 수 있으며, 발광 소자(EL)의 애노드 전극과 전기적으로 연결될 수 있다. 이러한 제2 트랜지스터(T2)는, "구동 트랜지스터"라고 할 수도 있다.
- [0053] 제3 트랜지스터(T3)는, 제1 스캔 라인(SCL1)으로 인가되는 제1 스캔 신호(SCAN1)에 의해 제어되고, 제2 트랜지스터(T2)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결될 수 있다. 이러한 제3 트랜지스터(T3)는, "보상 트랜지스터"라고 할 수도 있다.
- [0054] 제4 트랜지스터(T4)는, 제1 발광 제어 라인(EML1)으로 인가되는 제1 발광 신호(EM1)에 의해 제어되고, 제3 노드(N3)와 제4 노드(N4) 사이에 전기적으로 연결될 수 있다. 이러한 제4 트랜지스터(T4)는, "제1 발광 트랜지스터"라고 할 수도 있다.
- [0055] 제5 트랜지스터(T5)는, 제2 발광 제어 라인(EML2)으로 인가되는 제2 발광 신호(EM2)에 의해 제어되고, 구동 전압 라인(DVL)과 제1 노드(N1) 사이에 전기적으로 연결될 수 있다. 이러한 제5 트랜지스터(T5)는, "제2 발광 트랜지스터"라고 할 수도 있다.
- [0056] 제6 트랜지스터(T6)는, 제1 스캔 라인(SCL1)으로 인가되는 제1 스캔 신호(SCAN1)에 의해 제어되고, 초기화 전압 라인(IVL)과 제4 노드(N4) 사이에 전기적으로 연결될 수 있다. 이러한 제6 트랜지스터(T6)는, "초기화 트랜지스터"라고 할 수도 있다.
- [0057] 캐패시터(Cst)는, 제2 노드(N2)와 제4 노드(N4) 사이에 전기적으로 연결되고, 데이터 전압(Vdata)을 한 프레임 동안 유지시켜줄 수 있다.
- [0058] 발광 소자(EL)는, 제4 노드(N4)와 기저 전압(VSS)이 인가되는 라인 사이에 전기적으로 연결되고, 일 예로, 유기 발광다이오드(OLED)일 수 있다.
- [0059] 도 3은 도 2에 도시된 서브픽셀(SP)의 구동 타이밍의 예시를 나타낸 도면이다.
- [0060] 도 3을 참조하면, 하나의 프레임 기간은 동기 신호(SYNC)에 맞춰 리프레시 기간(또는 제1 기간)과 홀딩 기간(또는 제2 기간)으로 구분될 수 있다.
- [0061] 리프레시 기간에, 서브픽셀(SP)로 서브픽셀(SP)의 구동을 위한 데이터 전압(Vdata)과 초기화 전압(Vini)이 인가될 수 있다.
- [0062] 구체적으로, 리프레시 기간에, 제1 발광 신호(EM1)와 제2 발광 신호(EM2)가 로우 레벨로 인가된 상태에서, 제1 스캔 신호(SCAN1)와 제2 스캔 신호(SCAN2)가 하이 레벨로 인가될 수 있다.

- [0063] 제1 발광 신호(EM1)와 제2 발광 신호(EM2)가 로우 레벨로 인가되므로, 제4 트랜지스터(T4)와 제5 트랜지스터(T5)는 턴-오프 상태가 된다.
- [0064] 그리고, 제1 스캔 신호(SCAN1)가 하이 레벨로 인가됨에 따라, 제3 트랜지스터(T3)와 제6 트랜지스터(T6)가 턴-온 상태가 된다. 또한, 제2 스캔 신호(SCAN2)가 하이 레벨로 인가됨에 따라, 제1 트랜지스터(T1)가 턴-온 상태가 된다.
- [0065] 여기서, 제2 스캔 신호(SCAN2)가 제1 스캔 신호(SCAN1)보다 앞서 하이 레벨로 인가되는 경우를 예시로 나타내고 있으나, 경우에 따라, 제1 스캔 신호(SCAN1)가 제2 스캔 신호(SCAN2)보다 앞서 하이 레벨로 인가될 수도 있다.
- [0066] 제1 트랜지스터(T1)가 턴-온 상태이므로, 데이터 전압(Vdata)이 제3 노드(N3)로 인가될 수 있다. 그리고, 제3 트랜지스터(T3)가 턴-온 상태이므로, 제3 노드(N3)에 인가된 데이터 전압(Vdata)이 제1 노드(N1)를 거쳐 제2 노드(N2)에 인가되게 된다.
- [0067] 이때, 데이터 전압(Vdata)에서 제2 트랜지스터(T2)의 문턱 전압이 감해진 전압이 제2 노드(N2)에 인가될 수 있으며, 이에 따라, 제2 트랜지스터(T2)의 문턱 전압에 대한 보상이 이루어질 수 있다.
- [0068] 그리고, 제6 트랜지스터(T6)가 턴-온 상태이므로, 초기화 전압(Vini)이 제4 노드(N4)에 인가되어, 캐패시터(Cst)의 양단에 데이터 전압(Vdata)과 초기화 전압(Vini)이 인가된 상태가 될 수 있다.
- [0069] 리프레시 기간 이후의 홀딩 기간에는, 서브픽셀(SP)로 인가된 데이터 전압(Vdata)에 따라 발광 소자(EL)가 발광할 수 있다.
- [0070] 구체적으로, 홀딩 기간에, 제1 스캔 신호(SCAN1)와 제2 스캔 신호(SCAN2)가 로우 레벨로 인가되고, 제1 발광 신호(EM1)와 제2 발광 신호(EM2)가 하이 레벨로 인가될 수 있다.
- [0071] 제1 스캔 신호(SCAN1)와 제2 스캔 신호(SCAN2)가 로우 레벨로 인가되므로, 제1 트랜지스터(T1), 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)가 턴-오프 상태가 된다.
- [0072] 그리고, 제1 발광 신호(EM1)와 제2 발광 신호(EM2)가 하이 레벨로 인가됨에 따라, 제4 트랜지스터(T4)와 제5 트랜지스터(T5)가 턴-온 상태가 될 수 있다.
- [0073] 여기서, 제2 트랜지스터(T2)의 게이트 노드인 제2 노드(N2)에 데이터 전압(Vdata)이 인가된 상태이므로, 제2 트랜지스터(T2)를 통해 데이터 전압(Vdata)에 대응하는 전류가 흘러 발광 소자(EL)가 데이터 전압(Vdata)에 따른 밝기를 나타내며 구동될 수 있다.
- [0074] 즉, 하나의 프레임 기간 중 리프레시 기간에 초기화와 데이터 전압(Vdata)의 인가가 수행되고, 홀딩 기간에 발광 소자(EL)의 발광이 이루어질 수 있다.
- [0075] 이때, 디스플레이 장치(100)의 소비 전력을 저감시키기 위하여, 저속 구동 모드로 구동되는 경우, 하나의 프레임 기간 중 홀딩 기간의 길이가 길어질 수 있다. 그리고, 홀딩 기간이 길어짐에 따라 하나의 프레임 기간 동안 서브픽셀(SP)이 나타내는 휘도가 저하되는 폭이 커질 수 있다.
- [0076] 도 4는 도 3에 도시된 타이밍에 따라 서브픽셀(SP)이 구동되는 경우 저속 구동 모드에서 나타나는 휘도 변화의 예시를 나타낸 도면이다.
- [0077] 도 4를 참조하면, 리프레시 기간에는, 제4 트랜지스터(T4)와 제5 트랜지스터(T5)가 턴-오프 된 상태에서, 데이터 전압(Vdata)과 초기화 전압(Vini)이 인가되므로, 서브픽셀(SP)이 나타내는 휘도가 순간적으로 낮아질 수 있다.
- [0078] 그리고, 초기화와 데이터 전압(Vdata)의 인가가 완료되고, 제4 트랜지스터(T4)와 제5 트랜지스터(T5)가 턴-온 되면, 발광 소자(EL)가 발광을 시작하므로 서브픽셀(SP)이 나타내는 휘도가 증가할 수 있다.
- [0079] 이후 홀딩 기간에는, 서브픽셀(SP)이 나타내는 휘도가 점차적으로 감소할 수 있으며, 저속 구동 모드로 구동되는 경우에는, 홀딩 기간의 길이가 길어지므로 홀딩 기간 동안 휘도가 감소되는 폭(ΔL)이 증가할 수 있다.
- [0080] 따라서, 저속 구동 모드로 구동되는 경우, 프레임 간 휘도 편차가 증가하므로, 플리커로 인식될 수 있는 문제점이 존재한다.
- [0081] 본 발명의 실시예들은, 디스플레이 장치(100)가 저속 구동 모드로 구동되는 경우, 홀딩 기간에 주기적으로 특정 전압을 서브픽셀(SP)로 공급해줌으로써, 디스플레이 패널(110) 상에서 플리커가 인식되는 것을 방지할 수 있다.

록 한다.

- [0082] 도 5는 도 2에 도시된 서브픽셀(SP)의 구동 타이밍의 다른 예시를 나타낸 도면이다.
- [0083] 도 5를 참조하면, 하나의 프레임 기간은 동기 신호(SYNC)에 맞춰 리프레시 기간과 홀딩 기간으로 구분될 수 있으며, 리프레시 기간에 서브픽셀(SP)로 서브픽셀(SP)의 구동을 위한 데이터 전압(Vdata)과 초기화 전압(Vini)이 인가될 수 있다.
- [0084] 리프레시 기간에서의 구동 방식은 도 3을 통해 설명된 리프레시 기간에서의 구동 방식과 동일할 수 있다.
- [0085] 그리고, 홀딩 기간에 제1 스캔 신호(SCAN1)와 제2 스캔 신호(SCAN2)가 로우 레벨로 인가되고, 제1 발광 신호(EM1)와 제2 발광 신호(EM2)가 하이 레벨로 인가되며, 서브픽셀(SP)에 배치된 발광 소자(EL)가 발광할 수 있다.
- [0086] 이때, 홀딩 기간 동안 주기적으로 발광 소자(EL)의 애노드 전극의 리셋을 위한 리셋 전압(Vrst)이 데이터 라인(DL)을 통해 공급될 수 있다.
- [0087] 구체적으로, 홀딩 기간에서, 발광 소자(EL)의 애노드 전극의 리셋이 이루어지는 기간에, 제2 스캔 신호(SCAN2)가 하이 레벨로 인가되고, 제2 발광 신호(EM2)가 로우 레벨로 인가될 수 있다.
- [0088] 즉, 제1 스캔 신호(SCAN1)의 로우 레벨과, 제1 발광 신호(EM1)의 하이 레벨을 유지한 상태에서, 제2 스캔 신호(SCAN2)와 제2 발광 신호(EM2)의 레벨이 변경될 수 있다.
- [0089] 그리고, 제2 스캔 신호(SCAN2)가 하이 레벨로 인가되는 기간에 데이터 라인(DL)을 통해 리셋 전압(Vrst)이 공급될 수 있다.
- [0090] 제2 스캔 신호(SCAN2)와 제1 발광 신호(EM1)가 하이 레벨로 인가된 상태이므로, 제1 트랜지스터(T1)와 제4 트랜지스터(T4)는 턴-온 상태가 될 수 있다.
- [0091] 따라서, 데이터 라인(DL)을 통해 공급된 리셋 전압(Vrst)은, 제1 트랜지스터(T1)와 제4 트랜지스터(T4)를 통해, 제4 노드(N4), 즉, 발광 소자(EL)의 애노드 전극에 인가될 수 있다.
- [0092] 그리고, 홀딩 기간 중 발광 소자(EL)의 애노드 전극에 리셋 전압(Vrst)이 인가되므로, 발광 소자(EL)가 나타내는 밝기가 리셋 전압(Vrst)에 따라 변동될 수 있다.
- [0093] 여기서, 리셋 전압(Vrst)은, 저속 구동 모드에서 플리커가 인식되는 것을 방지하기 위한 전압으로서, 발광 소자(EL)가 나타내는 휘도를 리프레시 기간에 나타나는 휘도로 맞춰주기 위한 전압일 수 있다.
- [0094] 또한, 리셋 전압(Vrst)은, 홀딩 기간 중 리프레시 기간과 동일한 기간마다 1회씩 공급될 수 있다.
- [0095] 즉, 홀딩 기간에, 발광 소자(EL)가 리프레시 기간에 나타내는 휘도 파형이 반복적으로 나타나도록 함으로써, 저속 구동 모드에서 홀딩 기간에서의 휘도 저하로 인해 플리커가 인식되는 것을 방지할 수 있도록 한다.
- [0096] 도 6 내지 도 8은 도 5에 도시된 타이밍에 따라 서브픽셀(SP)이 구동되는 과정의 예시를 나타낸 도면이다.
- [0097] 도 6을 참조하면, 본 발명의 실시예들에 따른 디스플레이 장치(100)의 저속 구동 모드에서, 리프레시 기간에 서브픽셀(SP)의 구동을 나타낸 것이다.
- [0098] 리프레시 기간에, 제1 발광 신호(EM1)와 제2 발광 신호(EM2)가 로우 레벨인 상태에서, 제1 스캔 신호(SCAN1)와 제2 스캔 신호(SCAN2)이 하이 레벨로 인가된다.
- [0099] 그리고, 제1 스캔 신호(SCAN1)가 하이 레벨로 인가되는 기간에 데이터 라인(DL)을 통해 데이터 전압(Vdata)이 공급될 수 있다.
- [0100] 따라서, 데이터 라인(DL)을 통해 공급된 데이터 전압(Vdata)이 구동 트랜지스터인 제2 트랜지스터(T2)의 게이트 노드, 즉, 제2 노드(N2)에 인가될 수 있다.
- [0101] 이때, 데이터 라인(DL)을 통해 공급된 데이터 전압(Vdata)이 제2 트랜지스터(T2)를 통해 제2 노드(N2)로 인가된다. 따라서, 데이터 전압(Vdata)에서 제2 트랜지스터(T2)의 문턱 전압이 감해진 전압이 제2 노드(N2)에 인가되어 제2 트랜지스터(T2)의 문턱 전압에 대한 보상이 이루어질 수 있다.
- [0102] 그리고, 초기화 전압(Vini)이 제4 노드(N4)로 인가되어 리프레시 기간 동안 초기화와 데이터 전압(Vdata)의 인가가 수행된다.
- [0103] 도 7을 참조하면, 홀딩 기간에 제1 스캔 신호(SCAN1)와 제2 스캔 신호(SCAN2)가 로우 레벨로 인가되고, 제1 발

광 신호(EM1)와 제2 발광 신호(EM2)가 하이 레벨로 인가된다.

- [0104] 따라서, 제1 트랜지스터(T1), 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)가 턴-오프 된 상태에서, 제4 트랜지스터(T4)와 제5 트랜지스터(T5)가 턴-온 된다.
- [0105] 그리고, 제2 트랜지스터(T2)의 게이트 노드에 데이터 전압(Vdata)이 인가되고 제4 노드(N4)에 초기화 전압(Vini)이 인가된 상태이므로, 제2 트랜지스터(T2)를 통해 데이터 전압(Vdata)에 대응하는 전류 Iel이 흐르면서 발광 소자(EL)가 발광을 시작하게 된다.
- [0106] 도 8을 참조하면, 홀딩 기간 중 제1 스캔 신호(SCAN1)가 로우 레벨이고 제1 발광 신호(EM1)가 하이 레벨인 상태에서, 주기적으로 제2 스캔 신호(SCAN2)가 하이 레벨로 인가되고 제2 발광 신호(EM2)가 로우 레벨로 인가될 수 있다.
- [0107] 그리고, 제2 스캔 신호(SCAN2)가 하이 레벨로 인가되는 기간에 데이터 라인(DL)을 통해 리셋 전압(Vrst)이 공급될 수 있다.
- [0108] 제2 스캔 신호(SCAN2)와 제1 발광 신호(EM1)에 의해 제1 트랜지스터(T1)와 제4 트랜지스터(T4)가 턴-온 된 상태이므로, 데이터 라인(DL)을 통해 공급된 리셋 전압(Vrst)이 제4 노드(N4), 즉, 발광 소자(EL)의 애노드 전극에 인가되게 된다.
- [0109] 따라서, 리셋 전압(Vrst)이 인가됨에 따라, 홀딩 기간에 발광 소자(EL)가 나타내는 휘도 레벨이 변동될 수 있다. 그리고, 휘도 레벨의 변동에 따라 발광 소자(EL)가 나타내는 휘도 파형이 리프레시 기간에 나타나는 휘도 파형과 동일해짐으로써, 저속 구동 모드의 홀딩 기간에서 플리커가 인식되지 않도록 할 수 있다.
- [0110] 도 9는 도 5에 도시된 타이밍에 따라 서브픽셀(SP)이 구동되는 경우 저속 구동 모드에서 나타나는 휘도 변화의 예시를 나타낸 도면이다.
- [0111] 도 9를 참조하면, 저속 구동 모드의 홀딩 기간 중 주기적으로 리셋 전압(Vrst)이 공급됨에 따라, 홀딩 기간에 발광 소자(EL)가 나타내는 휘도 파형이 리프레시 기간에 나타나는 휘도 파형과 동일해질 수 있다.
- [0112] 이를 통해, 저속 구동 모드의 홀딩 기간에 플리커가 인식되는 것을 방지할 수 있다.
- [0113] 이때, 경우에 따라서는, 도 9에 도시된 예시와 같이, 리프레시 기간에 나타나는 휘도 파형의 최저 레벨과 홀딩 기간에 나타나는 휘도 파형의 최저 레벨 간의 편차가 발생할 수 있다.
- [0114] 즉, 도 9에 도시된 예시와 같이, 홀딩 기간에 리셋 전압(Vrst)을 주기적으로 인가함으로써, 홀딩 기간에 나타나는 휘도 파형이 리프레시 기간에 나타나는 휘도 파형과 유사한 형태를 가질 수 있으나, 휘도 파형이 나타내는 최저 레벨 사이에 차이가 발생할 수 있다.
- [0115] 이는 저속 구동 모드에서, 디스플레이 장치(100)의 구동 조건에 따라 나타나는 플리커와, 플리커 방지를 위한 최적의 리셋 전압(Vrst)이 일정하지 않음으로 인해 나타날 수 있다. 즉, 구동 조건에 따른 플리커 특성이 상이함으로 인해 나타날 수 있다.
- [0116] 도 10a 내지 도 10c는 디스플레이 장치(100)의 구동 조건에 따른 플리커 스코어의 예시를 나타낸 도면이다.
- [0117] 도 10a를 참조하면, 디스플레이 장치(100)의 리프레시 레이트, 즉, 구동 주파수에 따라 측정되는 플리커 스코어의 예시를 나타낸다.
- [0118] 도 10a에 도시된 바와 같이, 저속 구동 모드에서, 상대적으로 높은 구동 주파수(예, 24Hz)로 구동되는 경우의 플리커 스코어가 상대적으로 낮은 구동 주파수(예, 1Hz)로 구동되는 경우의 플리커 스코어보다 높게 나타날 수 있다.
- [0119] 도 10b는 디스플레이 장치(100)가 나타내는 휘도에 따라 측정되는 플리커 스코어의 예시를 나타낸 것으로서, 상대적으로 낮은 휘도(예, 1nit)에서의 플리커 스코어가 상대적으로 높은 휘도(예, 10nit)에서의 플리커 스코어보다 높게 나타날 수 있다.
- [0120] 이러한 휘도의 차이는, 제조에 따른 데이터 전압(Vdata)의 차이에 의한 것일 수도 있고, 데이터 전압(Vdata)의 생성에 이용되는 감마 전압의 범위, 즉, 밴드의 차이에 의한 것일 수도 있다.
- [0121] 도 10c는 디스플레이 장치(100)에 배치된 서브픽셀(SP)이 나타내는 컬러에 따른 플리커 특성을 나타낸 것으로서, 소자 특성 등에 의해 동일한 데이터 전압(Vdata)이 인가되더라도 녹색 발광 소자(EL)의 휘도 저하 폭

이 더 크게 나타날 수 있다. 이러한 서브픽셀(SP)이 나타내는 컬러에 따른 플리커 특성은, 백색 발광 소자(EL) 상에 컬러 필터가 배치된 경우에도 유사하게 나타날 수도 있다.

- [0122] 이와 같이, 저속 구동 모드에서 구동 주파수, 휘도 또는 서브픽셀(SP)이 나타내는 컬러 등에 따라 나타나는 플리커에 차이가 있으므로, 디스플레이 장치(100)의 구동 조건에 따라 인가되는 리셋 전압(Vrst)이 가변될 필요가 있다.
- [0123] 본 발명의 실시예들은, 저속 구동 모드의 홀딩 기간에 리셋 전압(Vrst)을 주기적으로 공급함에 있어서, 구동 주파수, 휘도 및 서브픽셀(SP)이 나타내는 컬러 중 적어도 하나에 기초하여 설정된 리셋 전압(Vrst)을 공급함으로써, 구동 조건이 달라지더라도 홀딩 기간에 나타나는 휘도 파형이 리프레시 기간과 동일해질 수 있도록 한다.
- [0124] 따라서, 고정된 리셋 전압(Vrst)이 공급되는 경우에 구동 조건에 따라 발생할 수 있는 플리커를 방지하여, 저속 구동 모드의 다양한 구동 조건에서 플리커가 인식되는 현상을 개선할 수 있도록 한다.
- [0125] 도 11은 도 5에 도시된 타이밍에 따른 구동시 구동 조건에 따라 설정된 리셋 전압(Vrst)이 공급되는 경우 저속 구동 모드에서 나타나는 휘도 변화의 예시를 나타낸 도면이다.
- [0126] 도 11을 참조하면, 본 발명의 실시예들에 따른 디스플레이 장치(100)는, 저속 구동 모드의 홀딩 기간에 리셋 전압(Vrst)을 발광 소자(EL)의 애노드 전극에 주기적으로 인가한다.
- [0127] 따라서, 홀딩 기간에 나타나는 휘도 파형이 리프레시 기간과 유사한 파형을 나타낼 수 있다.
- [0128] 이때, 홀딩 기간에 공급되는 리셋 전압(Vrst)을 고정된 전압으로 공급하는 경우에는, 구동 조건에 따라 홀딩 기간에 나타나는 휘도 파형의 최저 레벨이 리프레시 기간에 나타나는 휘도 파형의 최저 레벨과 차이가 발생할 수 있다.
- [0129] 반면, 홀딩 기간에 공급되는 리셋 전압(Vrst)을 디스플레이 장치(100)의 구동 조건, 일 예로, 구동 주파수, 휘도 또는 서브픽셀(SP)이 나타내는 컬러 등에 따라 가변하여 공급하는 경우에는, 구동 조건이 달라지더라도 홀딩 기간에 나타나는 휘도 파형의 최저 레벨이 리프레시 기간에 나타나는 휘도 파형의 최저 레벨과 동일해지도록 할 수 있다.
- [0130] 따라서, 디스플레이 장치(100)가 저속 구동 모드로 구동되는 동안, 구동 조건에 따라 설정된 리셋 전압(Vrst)을 공급해줌으로써, 저속 구동 모드의 다양한 구동 조건에서 플리커 현상을 방지하고 저속 구동 모드에서의 화상 품질을 더욱 개선할 수 있도록 한다.
- [0131] 도 12는 본 발명의 실시예들에 따른 디스플레이 장치(100)의 구동 조건에 따른 리셋 전압(Vrst)을 설정하는 시스템의 예시를 나타낸 도면이다.
- [0132] 도 12를 참조하면, 저속 구동 모드에서 플리커 방지를 위한 리셋 전압(Vrst)의 설정은, 일 예로, 광학 센싱 장치(1210)와 광학 보상 소프트웨어(1220)에 의해 수행될 수 있다.
- [0133] 광학 센싱 장치(1210)는, 디스플레이 패널(110)이 나타내는 휘도 파형을 측정하고, 측정된 휘도 파형을 광학 보상 소프트웨어(1220)로 제공할 수 있다.
- [0134] 광학 보상 소프트웨어(1220)는, 리셋 전압(Vrst)을 설정하기 위한, 즉, 디스플레이 패널(110)이 나타내는 휘도에 대한 광학 보상을 위한 구동 조건에 따라 디스플레이 패널(110)을 구동한다.
- [0135] 그리고, 광학 보상 소프트웨어(1220)는, 광학 보상 장치(1210)로부터 수신되는 휘도 파형에 따라 리셋 전압(Vrst)을 가변하며 디스플레이 패널(110)을 구동할 수 있다.
- [0136] 광학 보상 소프트웨어(1220)는, 광학 보상 장치(1210)로부터 수신되는 휘도 파형이 플리커를 방지할 수 있는 휘도 파형으로 확인되면, 해당 휘도 파형이 나타나도록 한 리셋 전압(Vrst)을 해당 구동 조건에 대한 리셋 전압(Vrst)으로 설정한다.
- [0137] 광학 보상 소프트웨어(1220)는, 구동 조건을 변경하며 구동 조건에 따른 리셋 전압(Vrst)의 설정을 수행하고, 구동 조건에 따라 설정된 리셋 전압(Vrst)을 데이터 구동 회로(130)에 저장한다.
- [0138] 따라서, 데이터 구동 회로(130)가 디스플레이 장치(100)의 구동 조건에 따라 설정된 리셋 전압(Vrst)을 이용하여, 저속 구동 모드의 홀딩 기간에 발광 소자(EL)의 애노드 전극을 리셋시켜 줌으로써, 다양한 구동 조건에서 최적화된 리셋 전압(Vrst)에 의해 플리커를 방지할 수 있도록 한다.

- [0139] 도 13a와 도 13b는 도 12에 도시된 시스템에 의해 리셋 전압(Vrst)을 설정하는 과정의 예시들을 나타낸 도면이다.
- [0140] 도 13a를 참조하면, 광학 보상 소프트웨어(1220)가 저속 구동 모드의 구동 주파수에 따른 리셋 전압(Vrst)을 설정하는 과정의 예시를 나타낸다.
- [0141] 광학 보상 소프트웨어(1220)는, 디스플레이 장치(100)의 구동 주파수를 설정하고(S1310), 해당 구동 주파수에 대한 리셋 전압(Vrst)의 후보 중 하나를 리셋 전압(Vrst)으로 설정한다(S1311).
- [0142] 여기서, 각각의 구동 주파수에서 디스플레이 패널(110)로 공급되는 데이터 전압(Vdata), 즉, 계조에 따라 리셋 전압(Vrst)의 설정이 이루어질 수 있다.
- [0143] 그리고, 광학 보상 소프트웨어(1220)는, 광학 센싱 장치(1210)로부터 수신된 휘도 파형에 기초하여 디스플레이 패널(110)이 나타내는 플리커 스코어를 측정한다(S1312).
- [0144] 광학 보상 소프트웨어(1220)는, 측정된 플리커 스코어가 타겟 값과 동일하거나 타겟 값으로부터 일정한 범위 이내이면(S1313), 측정에 이용된 리셋 전압(Vrst)을 해당 구동 주파수에 대한 리셋 전압(Vrst)으로 설정한다(S1314).
- [0145] 광학 보상 소프트웨어(1220)는, 측정된 플리커 스코어와 타겟 값의 차이가 일정 수준 이상이면, 리셋 전압(Vrst)을 변경하고(S1315), 플리커 스코어의 측정 및 타겟 값과의 비교를 다시 수행한다.
- [0146] 광학 보상 소프트웨어(1220)는, 리셋 전압(Vrst)을 설정하고자 하는 모든 구동 주파수에 대한 리셋 전압(Vrst) 설정을 완료하면(S1316), 프로세스를 종료한다.
- [0147] 다른 예로, 도 13b는, 광학 보상 소프트웨어(1220)가 저속 구동 모드에서의 휘도에 따라 리셋 전압(Vrst)을 설정하는 과정의 예시를 나타낸다.
- [0148] 광학 보상 소프트웨어(1220)는, 디스플레이 패널(110)의 구동을 위한 감마 전압의 범위를 의미하는 밴드를 설정하고(S1320), 해당 밴드에 대한 리셋 전압(Vrst)을 설정한다(S1321).
- [0149] 여기서, 리셋 전압(Vrst)은, 해당 밴드 내에서 디스플레이 패널(110)로 공급되는 데이터 전압(Vdata), 즉, 계조에 따라 설정될 수 있다.
- [0150] 광학 보상 소프트웨어(1220)는, 광학 센싱 장치(1210)로부터 수신된 휘도 파형에 기초하여 플리커 스코어를 측정하고(S1322), 측정된 플리커 스코어를 타겟 값과 비교한다(S1323).
- [0151] 광학 보상 소프트웨어(1220)는, 측정 값이 타겟 값과 동일하거나 타겟 값으로부터 일정한 범위 이내이면, 측정에 이용된 리셋 전압(Vrst)을 해당 밴드에 대한 리셋 전압(Vrst)으로 설정한다(S1324).
- [0152] 그리고, 측정 값이 타겟 값의 차이가 일정 수준 이상이면, 리셋 전압(Vrst)을 변경하고(S1325), 전술한 프로세스를 다시 수행한다.
- [0153] 광학 보상 소프트웨어(1220)는, 리셋 전압(Vrst)의 설정이 요구되는 모든 밴드에 대한 리셋 전압(Vrst) 설정을 완료하면(S1326), 프로세스를 종료한다.
- [0154] 또한, 서브픽셀(SP)이 나타내는 컬러에 따른 리셋 전압(Vrst)의 설정도 전술한 과정과 유사한 방식으로 수행될 수 있다.
- [0155] 전술한 예시와 같이, 광학 보상 소프트웨어(1220)에 의해, 구동 주파수, 밴드 또는 서브픽셀(SP)이 나타내는 컬러 별로 설정된 리셋 전압(Vrst)을 데이터 구동 회로(130)에 저장하여, 디스플레이 장치(100)가 저속 구동 모드로 구동되는 경우 구동 조건에 따라 설정된 최적의 리셋 전압(Vrst)이 이용될 수 있도록 한다.
- [0156] 도 14는 본 발명의 실시예들에 따른 데이터 구동 회로(130)의 구성의 예시를 나타낸 도면이다.
- [0157] 도 14를 참조하면, 본 발명의 실시예들에 따른 데이터 구동 회로(130)는, 데이터 전압 출력부(131), 리셋 전압 출력부(132) 및 메모리(133)를 포함할 수 있다.
- [0158] 데이터 전압 출력부(131)는, 하나의 프레임 기간 중 리프레시 기간에 컨트롤러(140)로부터 수신되는 영상 데이터에 대응하는 데이터 전압(Vdata)을 출력한다.
- [0159] 이러한 데이터 전압 출력부(131)는, 일반 구동 모드와 저속 구동 모드에서 유사한 구동 방식으로 데이터 전압

(Vdata)을 출력할 수 있다.

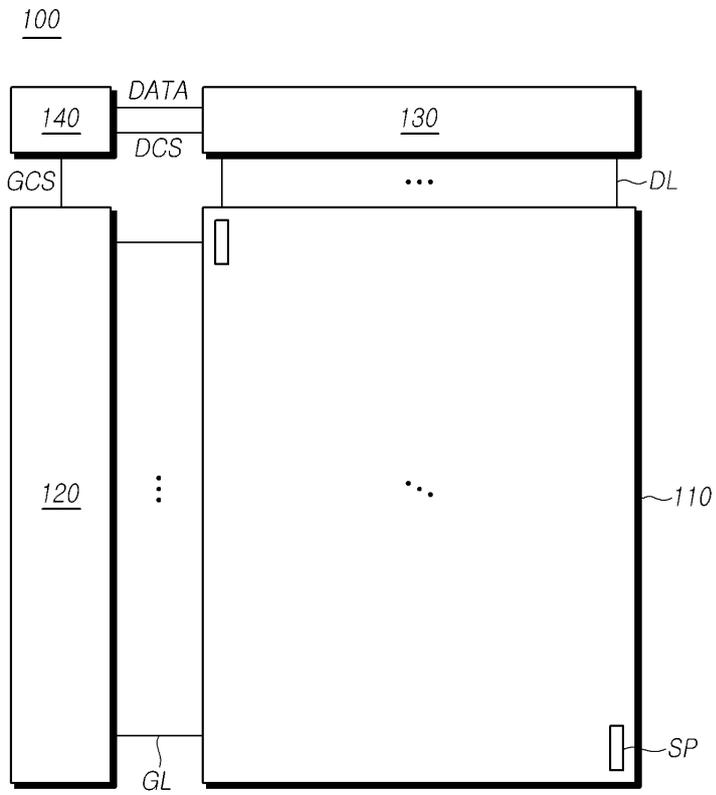
- [0160] 리셋 전압 출력부(132)는, 디스플레이 장치(100)가 저속 구동 모드로 구동되는 기간의 홀딩 기간에 리셋 전압(Vrst)을 주기적으로 출력한다.
- [0161] 즉, 리셋 전압 출력부(132)는, 디스플레이 장치(100)가 일반 구동 모드로 구동되는 기간에는 리셋 전압(Vrst)을 출력하지 않고, 저속 구동 모드의 홀딩 기간에만 구동될 수도 있다.
- [0162] 이때, 리셋 전압 출력부(132)는, 메모리(133)에 저장된 디스플레이 장치(100)의 구동 조건에 따라 설정된 리셋 전압(Vrst)을 확인하고, 리셋 전압(Vrst)을 가변하여 출력할 수 있다.
- [0163] 일 예로, 리셋 전압 출력부(132)는, 저속 구동 모드에서 구동 주파수, 데이터 전압 출력부(131)가 출력하는 데이터 전압(Vdata)에 따라 나타나는 휘도 및 데이터 전압(Vdata)이 공급되는 서브픽셀(SP)이 나타내는 컬러 중 적어도 하나에 기초하여 설정된 리셋 전압(Vrst)을 메모리(133)로부터 확인한 후, 디스플레이 패널(110)로 출력할 수 있다.
- [0164] 따라서, 디스플레이 장치(100)의 구동 조건에 따라 설정된 리셋 전압(Vrst)이 공급되므로, 구동 조건이 달라져도 저속 구동 모드의 홀딩 기간에 나타나는 휘도 파형의 최저 레벨이 리프레시 기간에 나타나는 휘도 레벨의 최저 레벨과 동일하게 나타나도록 할 수 있다.
- [0165] 도 15는 본 발명의 실시예들에 따른 데이터 구동 회로(130)의 구동 방법의 과정의 예시를 나타낸 도면이다.
- [0166] 도 15를 참조하면, 데이터 구동 회로(130)는, 제1 기간, 즉, 리프레시 기간에 데이터 전압(Vdata)을 출력한다(S1510).
- [0167] 그리고, 데이터 구동 회로(130)는, 디스플레이 장치(100)가 저속 구동 모드로 구동되는 경우(S1520), 구동 조건에 따른 리셋 전압(Vrst)을 확인한다(S1530).
- [0168] 데이터 구동 회로(130)는, 제2 기간, 즉, 홀딩 기간에 주기적으로 구동 조건에 따라 설정된 리셋 전압(Vrst)을 출력하여(S1540), 저속 구동 모드에서 플리커가 인식되는 것을 방지해줄 수 있다.
- [0169] 전술한 본 발명의 실시예들에 의하면, 디스플레이 장치(100)가 저속 구동 모드로 구동되는 경우, 홀딩 기간에 주기적으로 발광 소자(EL)의 애노드 전극을 리셋시키는 리셋 전압(Vrst)을 공급함으로써, 저속 구동 모드로 구동시 플리커가 인식되는 것을 방지할 수 있다.
- [0170] 또한, 디스플레이 장치(100)의 구동 조건, 일 예로, 구동 주파수, 휘도 및 서브픽셀(SP)이 나타내는 컬러에 따라 독립적으로 설정된 리셋 전압(Vrst)을 공급해줌으로써, 저속 구동 모드의 다양한 구동 조건에서 홀딩 기간의 휘도 파형이 리프레시 기간의 휘도 파형과 동일 또는 유사해질 수 있도록 하난.
- [0171] 따라서, 저속 구동 모드의 다양한 구동 조건에서 최적화된 리셋 전압(Vrst)의 공급을 통해, 저속 구동 모드로 구동시 플리커가 인식되는 현상을 더욱 개선할 수 있도록 한다.
- [0172] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 또한, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이므로 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

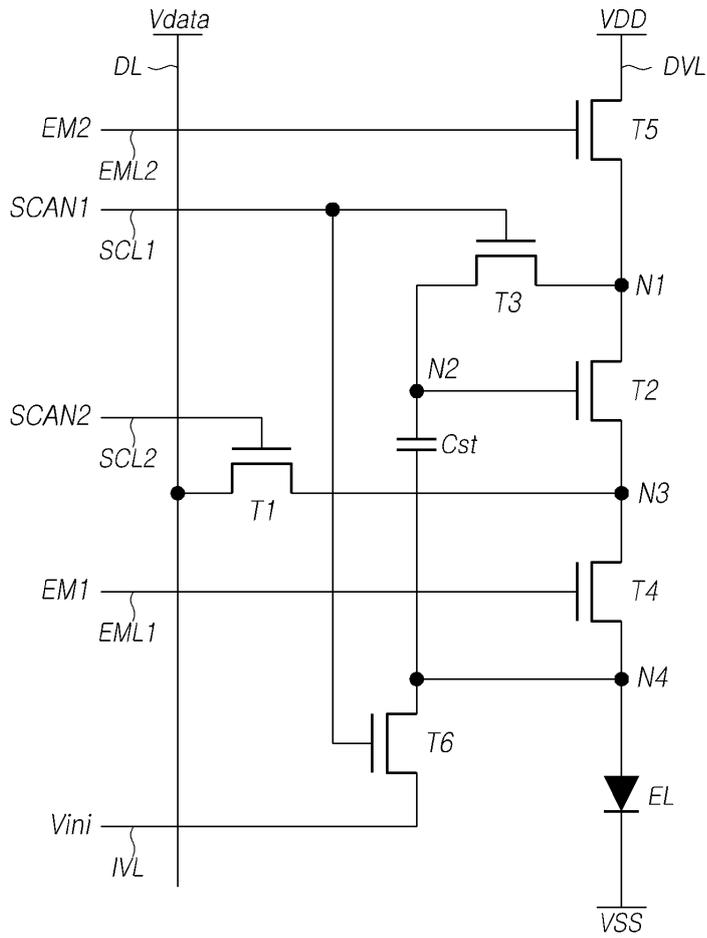
- [0174] 100: 디스플레이 장치 110: 디스플레이 패널
- 120: 게이트 구동 회로 130: 데이터 구동 회로
- 131: 데이터 전압 출력부 132: 리셋 전압 출력부
- 133: 메모리 140: 컨트롤러
- 1210: 광학 센싱 장치 1220: 광학 보상 소프트웨어

도면

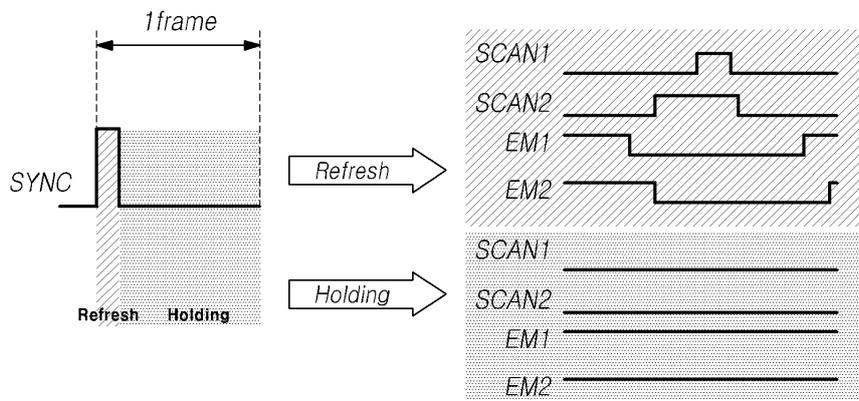
도면1



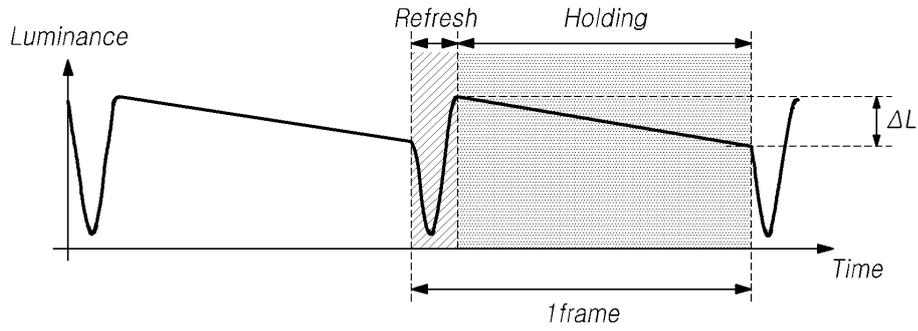
도면2



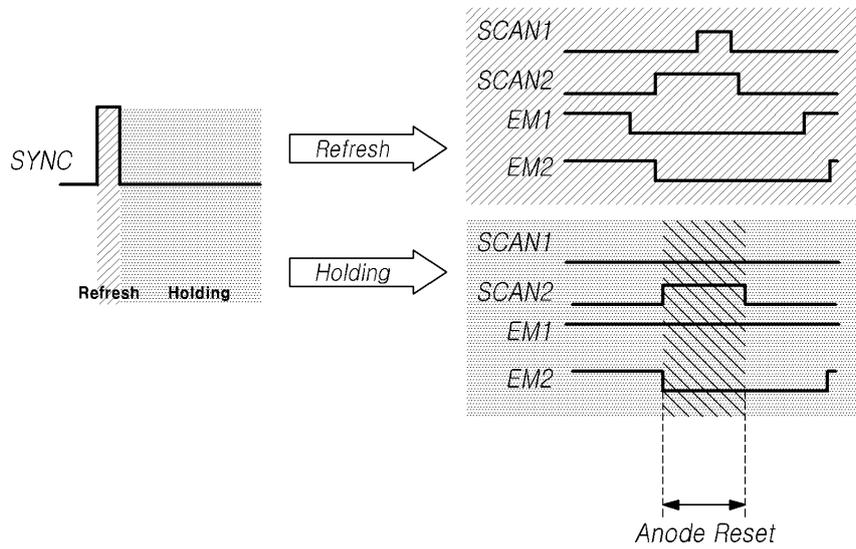
도면3



도면4

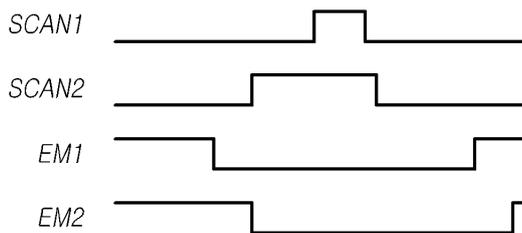
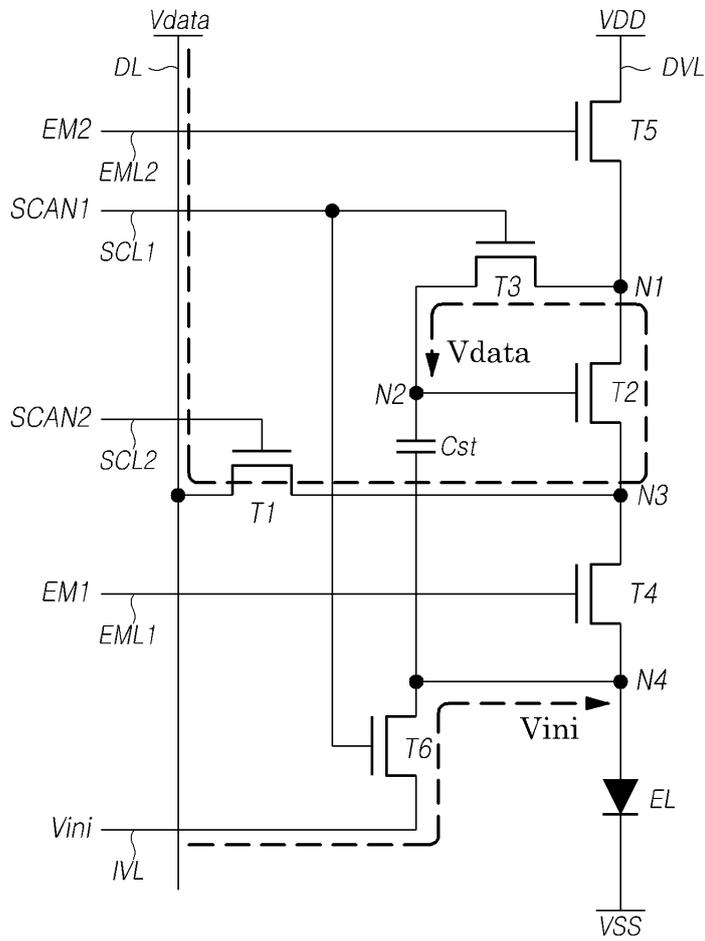


도면5



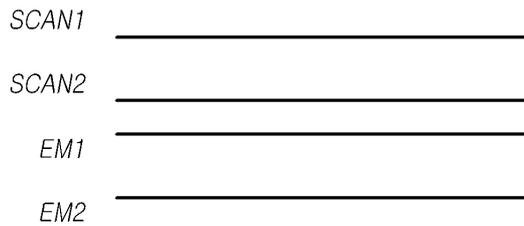
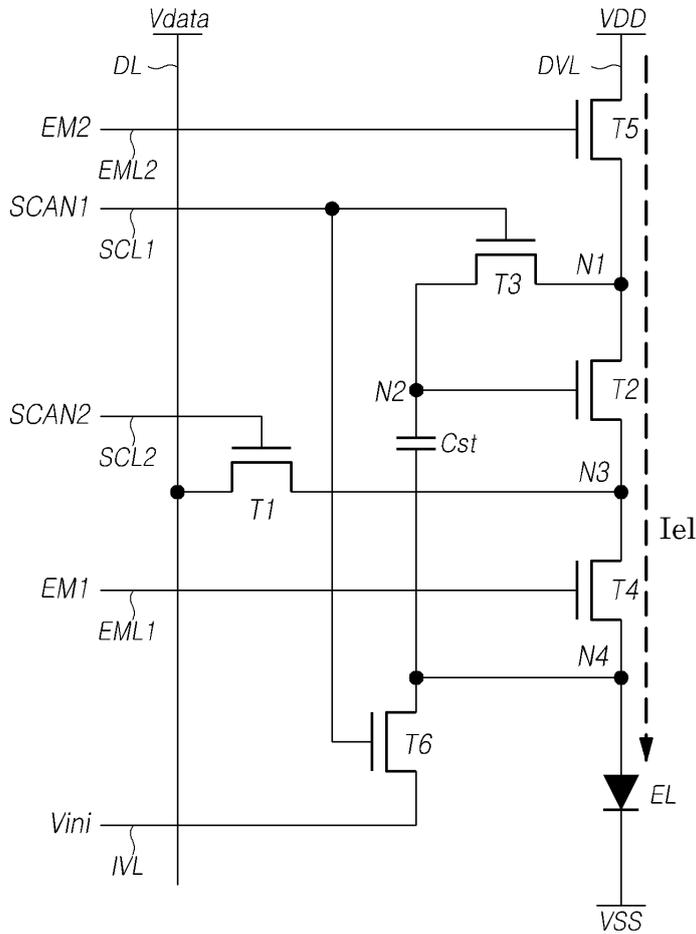
도면6

Refresh



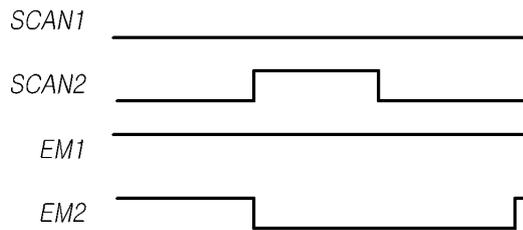
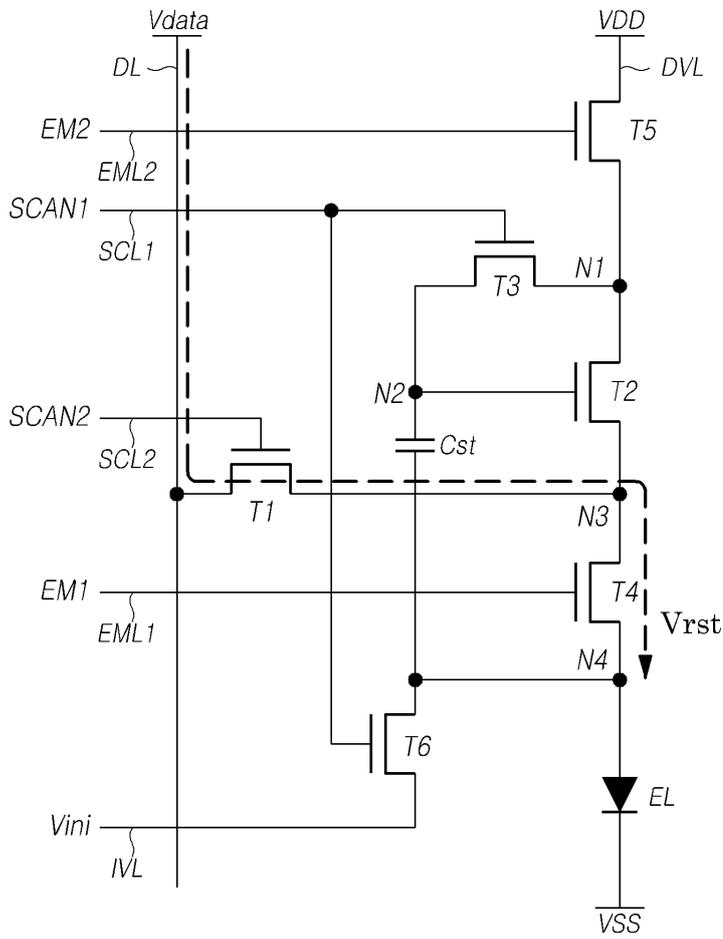
도면7

Holding

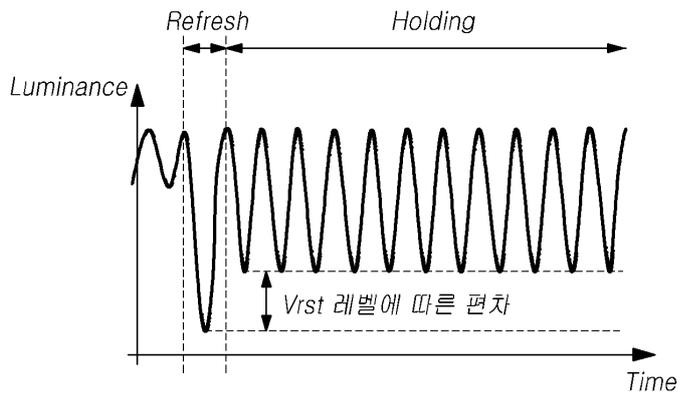


도면8

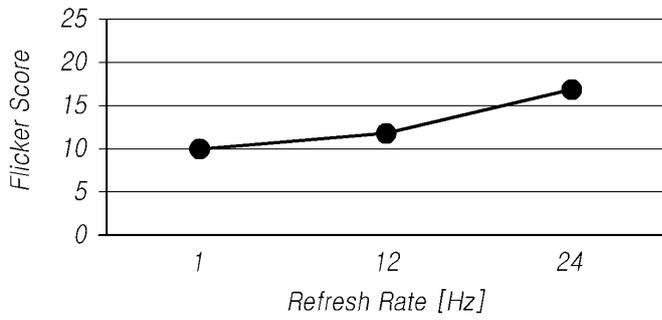
Anode Reset



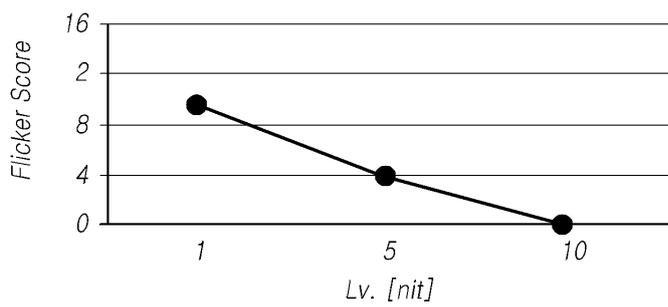
도면9



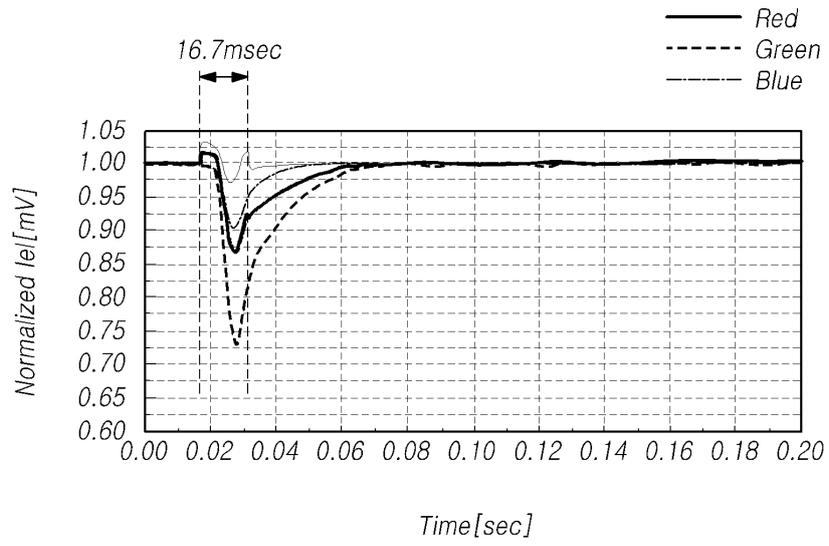
도면10a



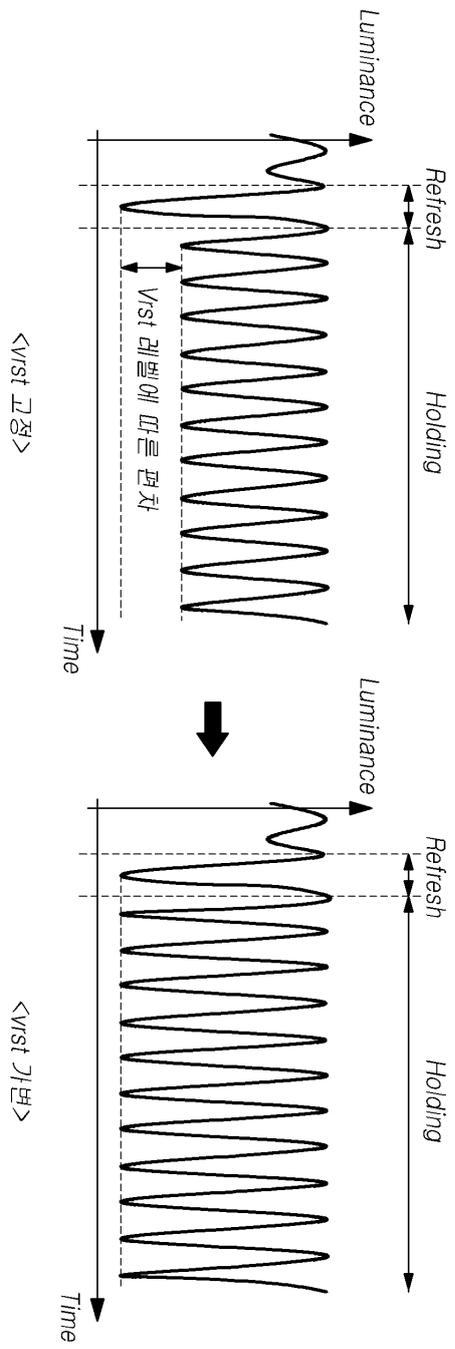
도면10b



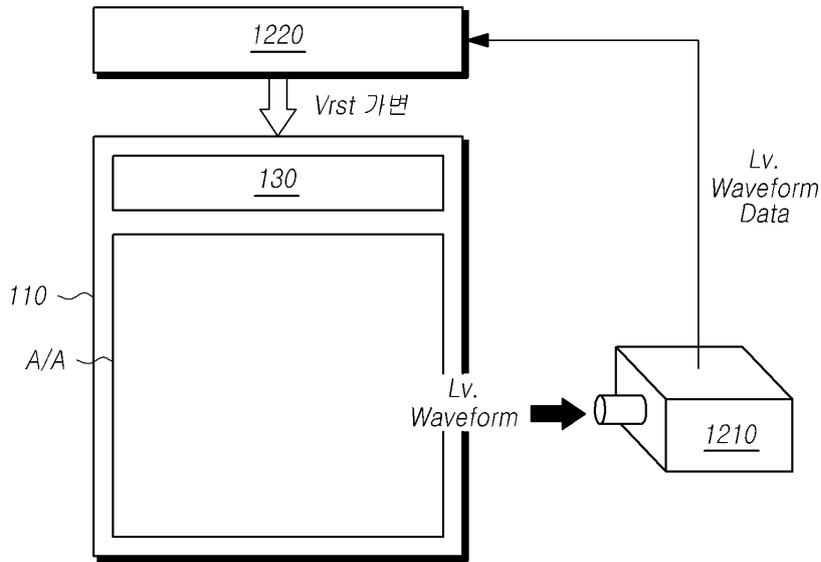
도면10c



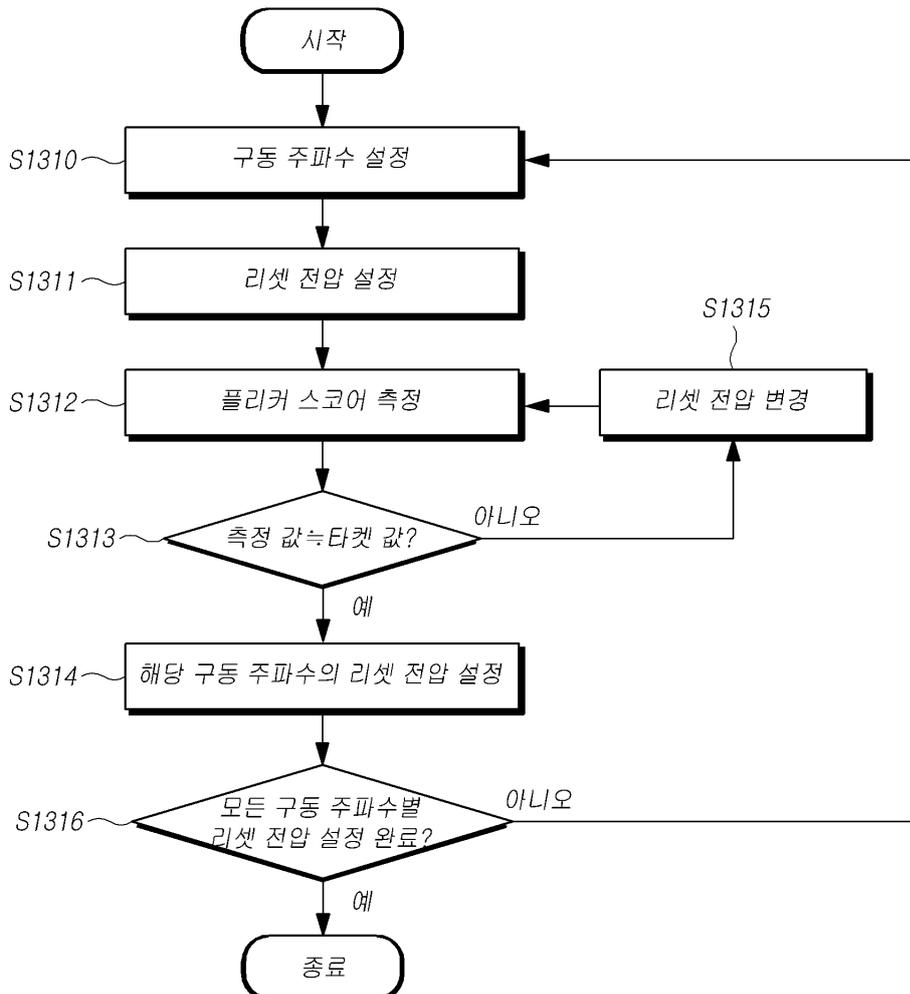
도면11



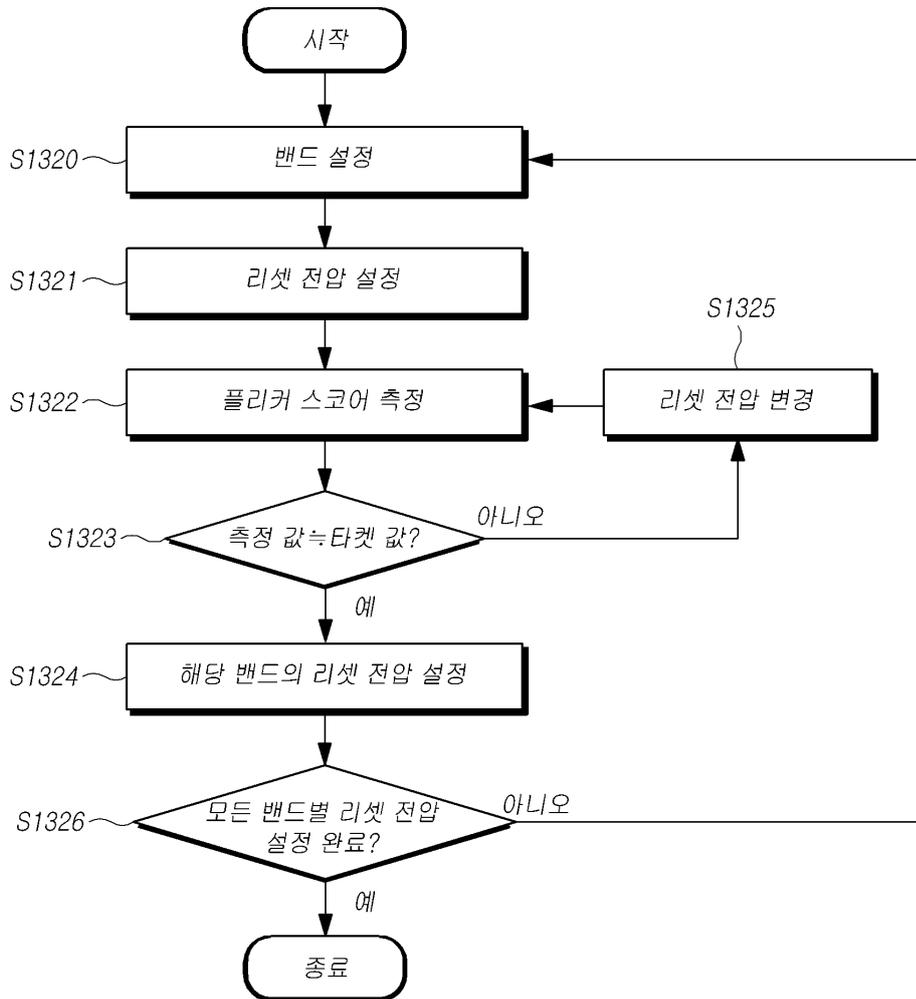
도면12



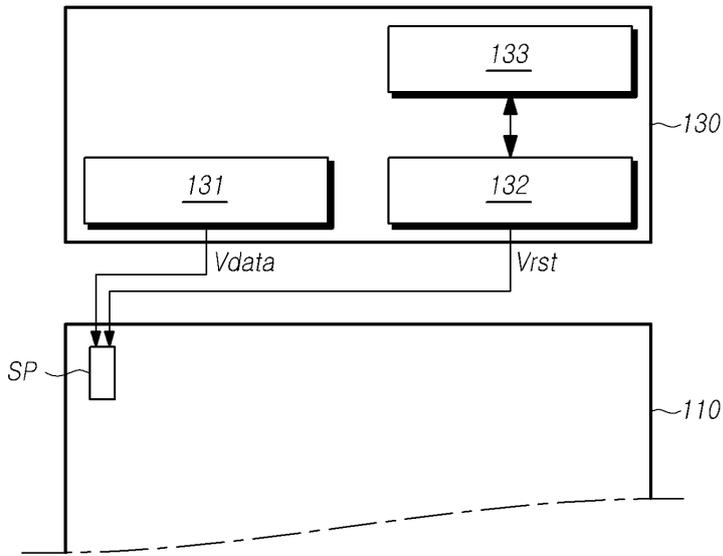
도면13a



도면13b



도면14



도면15

