

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication : **2 583 540**
(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : **85 12931**

⑤1 Int Cl⁴ : G 06 F 12/08.

⑫ **DEMANDE DE BREVET D'INVENTION**

A1

②2 Date de dépôt : 30 août 1985.

③0 Priorité : US, 13 juin 1985, n° 06/744.389.

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 51 du 19 décembre 1986.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : *INTEL CORPORATION.* — US.

⑦2 Inventeur(s) : John H. Crawford et Paul S. Ries.

⑦3 Titulaire(s) :

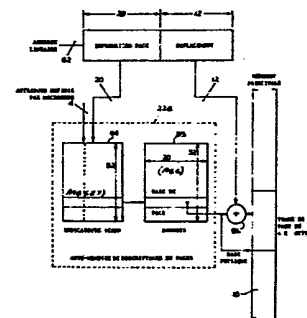
⑦4 Mandataire(s) : Cabinet Regimbeau, Corre, Martin,
Schrimpf, Warcoin, Ahner.

⑤4 Gestion de mémoire pour système à microprocesseur.

⑤7 L'invention concerne une architecture de microprocesseur pour un dispositif de traduction d'adresse qui fait intervenir deux niveaux d'une anté-mémoire 22a.

Des registres de segmentation et une table de segmentation associée se trouvant dans la mémoire principale 13 établissent un premier niveau de gestion de mémoire qui fait intervenir des bits d'attributs 4 utilisés pour des fonctions de protection, de priorité, etc.; une seconde anté-mémoire de niveaux de pages, qui comprend un répertoire de pages et une table de pages en mémoire principale 13 établit un second niveau de gestion, avec une protection indépendante à un niveau de page.

Application au domaine informatique.



FR 2 583 540 - A1

D

La présente invention concerne le domaine des dispositifs de traduction d'adresses pour gestion de mémoire, en particulier dans un système à microprocesseur.

Il existe de nombreux dispositifs bien connus pour
5 une gestion de mémoire. Dans certains systèmes, une grande adresse (adresse virtuelle) est traduite en une adresse physique plus petite. Dans d'autres, une petite adresse est utilisée pour accéder à un grand espace de mémoire, par exemple en utilisant une commutation par blocs. La présente invention se rapporte à la première catégorie, c'est-à-dire où une grande adresse virtuelle est utilisée pour accéder à une mémoire physique limitée.

Dans des systèmes de gestion de mémoire, il est également connu de prévoir différents mécanismes de protection.
15 Par exemple un système peut empêcher un utilisateur d'écrire dans un système opérationnel ou même il peut empêcher d'effectuer la lecture du système opérationnel à des portes extérieures. Comme on le voit, la présente invention concerne un mécanisme de protection faisant partie d'un système de commande plus important, qui affecte des "attributs" à des données à deux niveaux distincts.

L'art antérieur le plus rapproché et connu de la demanderesse est celui décrit dans le brevet US 4 442 484. Ce brevet décrit le mécanisme de gestion et de protection de mémoire qui est incorporé à un microprocesseur disponible dans le commerce, à savoir Intel 286. Ce microprocesseur comporte des registres de descripteurs de segmentation contenant des adresses de base de segments, une information limite et des attributs (par exemple des bits de protection). La table
25 de descripteurs de segments et les registres de descripteurs de segments contiennent des bits définissant différents mécanismes de commande, comme un niveau privilégié, des types de protection, etc. Ces mécanismes de commande sont décrits en détail dans le brevet US 4 442 484.

35 Un problème posé par le microprocesseur Intel 286 est que le décalage de segments est limité à 64 k.octets. Il nécessite également des emplacements consécutifs dans une mémoire physique pour

un segment qui n'est pas toujours aisé à maintenir. Comme on le voit, un avantage du système inventé consiste en ce que le décalage de segments est aussi grand que l'espace d'adressage physique. Ainsi le système inventé possède également une compatibilité avec le mécanisme de segmentation connu qui est appliqué dans Intel 286. D'autres avantages et différences entre le système de l'art antérieur décrit dans le brevet mentionné ci-dessus et sa réalisation commerciale (microprocesseur de Intel 286) seront mis en évidence dans la description détaillée de la présente invention.

On va décrire un perfectionnement apporté à un système à microprocesseur, qui comprend un microprocesseur et une mémoire de données. Le microprocesseur comporte un mécanisme de segmentation pour traduire une adresse de mémoire virtuelle en une seconde adresse de mémoire (adresse linéaire) et pour tester et commander des attributs de segments de mémoire de données. Le perfectionnement apporté par la présente invention comprend une anté-mémoire de pages prévue dans le microprocesseur pour traduire une première zone provenant de l'adresse linéaire pour une condition de concordance ou d'adaptation. La mémoire de données mémorise également des données de localisation de pages, spécifiquement un répertoire de pages et une table de pages. La première zone assure l'accès au répertoire de pages et à la table de pages si aucune concordance n'est établie dans l'anté-mémoire de pages. Le signal de sortie de l'anté-mémoire de pages ou de la table de pages établit une adresse de base physique pour une page dans la mémoire. Une autre zone de l'adresse linéaire définit un décalage à l'intérieur de la page.

A la fois l'anté-mémoire de pages et des données de localisation de pages se trouvant dans la mémoire de données mémorisent des signaux représentant des attributs des données se trouvant dans une page particulière. Ces attributs comprennent une protection de lecture et d'écriture, une indication précisant si la page a été précédemment écrite, et une autre information. Avantagement, la protection de niveau de page établit un second degré de contrôle de don-

nées dans la mémoire, lequel est séparé et distinct des attributs de segments.

D'autres caractéristiques et avantages de l'invention seront mis en évidence dans la description qui va suivre, donnée à titre d'exemple non limitatif, en référence
5 aux dessins annexés dans lesquels:

La figure 1 est un schéma synoptique montrant l'architecture d'ensemble du microprocesseur auquel la présente invention est appliquée;

10 la figure 2 est un schéma synoptique montrant le mécanisme de segmentation incorporé au microprocesseur de la figure 1;

la figure 3 est un schéma synoptique illustrant la localisation d'une zone de page pour une concordance ou adaptation dans l'anté-mémoire de pages;

15 la figure 4 est un schéma synoptique illustrant la localisation d'une zone de page en l'absence de concordance ou d'adaptation dans l'anté-mémoire de pages de la figure 3; pour cette condition, le répertoire de pages et la table de pages de la mémoire principale sont utilisés et, en conséquence, sont représentés sur la figure 4;

la figure 5 est un diagramme utilisé pour illustrer les attributs mémorisés dans le répertoire de pages, la table de pages et l'anté-mémoire de pages;

25 la figure 6 est un schéma synoptique montrant l'organisation de la mémoire adressable par le contenu et des données placées dans l'anté-mémoire de pages;

la figure 7 est un schéma électrique d'une partie de la mémoire adressable par le contenu de la figure 6;

30 la figure 8 est un schéma électrique des circuits logiques associés au détecteur de la figure 6.

Un système à microprocesseur, et en particulier un mécanisme de gestion de mémoire pour ce système, vont être décrits dans la suite. On donnera de nombreux détails spécifiques, tels que le nombre spécifique de bits, etc..., de façon à permettre une bonne compréhension de la présente invention. Cependant il est évident pour un spécialiste en la
35

matière que la présente invention peut être mise en pratique sans ces détails spécifiques. Dans d'autres cas, des structures bien connues ne sont pas représentées et décrites en détail afin de ne pas obscurcir inutilement la présente invention.

Dans le mode de réalisation couramment préféré, le système à microprocesseur comprend le microprocesseur 10 de la figure 1. Ce microprocesseur est réalisé sur un seul substrat en silicium en utilisant un traitement métal-oxyde-semi-conducteur complémentaire (CMOS). On peut utiliser l'un quelconque des procédés CMOS bien connus mais cependant il va de soi que la présente invention peut être mise en oeuvre avec d'autres technologies, par exemple à canal-n, bipolaire, SOS, etc...

Le mécanisme de gestion de mémoire nécessite dans certaines conditions un accès à des tables mémorisées dans la mémoire principale. Une mémoire à accès sélectif (RAM) 13, qui fonctionne comme la mémoire principale pour le système est représentée sur la figure 1. On peut utiliser une mémoire RAM ordinaire, par exemple une qui fait intervenir des mémoires dynamiques.

Comme indiqué sur la figure 1, le microprocesseur 10 a une adresse physique de 32 bits et le processeur proprement dit est un processeur de 32 bits. D'autres composants d'un système à microprocesseur couramment utilisés, tels que des éléments de commande, des processeurs mathématiques, etc., ne sont pas représentés sur la figure 1.

Le système de gestion de mémoire conforme à l'invention utilise à la fois une segmentation et une pagination. Des segments sont définis par un ensemble de tables de descripteurs de segments, qui sont séparées des tables de pages utilisées pour décrire la traduction des pages. Les deux mécanismes sont complètement séparés et indépendants. Une adresse virtuelle est traduite en une adresse physique dans deux étapes distinctes, en utilisant deux mécanismes de localisation distincts. Une technique de segmentation est utilisée pour la première étape de traduction et

une technique de pagination est utilisée pour la seconde étape de traduction. La traduction de pagination peut être arrêtée de façon à produire une traduction en une étape avec seulement une segmentation, ce qui est compatible avec
5 le microprocesseur Intel 286.

Une segmentation (la première traduction) traduit une adresse virtuelle de 48 bits en une adresse linéaire (intermédiaire) de 32 bits. L'adresse virtuelle de 48 bits est composée d'un sélecteur de segment de 16 bits et d'un
10 décalage de 32 bits à l'intérieur de ce segment. Le sélecteur de segment de 16 bits identifie le segment et est utilisé pour accéder à une entrée dans la table de descripteurs de segments. Cette entrée de descripteur de segment contient une adresse de base du segment, la taille (limite) du segment
15 et différents attributs de ce segment. L'étape de traduction ajoute la base de segment au décalage de 32 bits de l'adresse virtuelle de façon à obtenir une adresse linéaire de 32 bits. En même temps, le décalage de 32 bits se trouvant dans l'adresse virtuelle est comparé avec la limite de segment
20 et le type de l'accès est contrôlé par rapport aux attributs du segment. Une interruption est produite et le processus d'adressage est arrêté, si le décalage de 32 bits est situé à l'extérieur de la limite de segment, ou bien si le type d'accès n'est pas autorisé par les attributs du segment.

25 Une pagination (la seconde traduction) traduit une adresse linéaire de 32 bits en une adresse physique de 32 bits en utilisant une table de pagination à deux niveaux, dans un processus décrit en détail dans la suite.

Les deux étapes sont totalement indépendantes. Cela
30 la permet à un (grand) segment d'être composé de plusieurs pages, ou bien à une page d'être composée de plusieurs (petits) segments.

Un segment peut commencer à n'importe quelle limite, et il peut avoir une dimension arbitraire; il n'est pas
35 astreint à commencer à une limite de page et il ne doit également pas avoir une longueur qui soit un multiple exact de pages. Cela permet à des segments de décrire des zones pro-

tégées séparément d'une mémoire, qui commencent à des adresses arbitraires et qui ont des dimensions arbitraires.

Une segmentation peut être utilisée pour grouper un certain nombre de petits segments en une seule page, 5 chaque segment possédant ses attributs particuliers de protection et une dimension particulière. Dans ce cas une segmentation définit des attributs de protection et une pagination fournit un moyen commode de localisation dans une mémoire physique d'un groupe d'unités correspondant qui doit 10 être protégées séparément.

Une pagination peut être utilisée pour décomposer de très grands segments en petites unités en vue d'une gestion de mémoire physique. Cela fait intervenir un seul identificateur (le sélecteur de segment) et un seul descripteur 15 (le descripteur de segment) pour une unité séparément protégée de la mémoire, au lieu de nécessiter l'utilisation d'une multitude de descripteurs de pages. A l'intérieur d'un segment, une pagination établit un niveau additionnel de localisation qui permet de localiser de grands segments dans 20 des pages séparées ne devant pas être contiguës dans une mémoire physique. En fait, une pagination permet de localiser un grand segment de telle sorte que seulement quelques pages se trouvent à un moment donné dans une mémoire physique, alors que les parties restantes du segment sont enregistrées 25 sur un disque. Une pagination facilite également la définition d'une sous-structure à l'intérieur d'un grand segment, par exemple pour protéger contre une écriture certaines pages d'un grand segment alors que d'autres pages peuvent être écrites.

30 Une segmentation établit un modèle de protection pré-complet qui opère sur les unités "naturelles" utilisées par un programmeur, à savoir des éléments de dimensions arbitraires d'une mémoire adressée linéairement. Une pagination fournit le moyen le plus commode pour gérer une mémoire 35 physique, à savoir à la fois la mémoire principale du système et une mémoire d'appoint à disques. La combinaison des deux procédés dans la présente invention permet d'obtenir

un modèle de protection de mémoire très souple et très efficace.

On va maintenant décrire l'architecture d'ensemble du microprocesseur. Sur la figure 1, le microprocesseur comprend une unité 14 formant interface de bus. L'unité d'interface de bus comprend des mémoires tampons permettant une transmission des signaux d'adresses de 32 bits ainsi qu'une émission et une réception des 32 bits de données. A l'intérieur du microprocesseur, l'unité 14 communique par l'intermédiaire du bus interne 19. L'unité d'interface comprend une unité de pré-extraction pour extraire des instructions de la mémoire RAM 12 et une file d'attente de pré-extraction qui communique avec l'unité d'instruction de l'unité de décodage d'instructions 16. Les instructions mises en file d'attente sont traitées dans l'unité d'exécution 18 (unité logique arithmétique) qui comprend un fichier à registre de 32 bits. Cette unité, ainsi que l'unité de décodage, communique avec le bus interne 19.

La présente invention est centrée sur l'unité de traduction d'adresses 20. Cette unité remplit deux fonctions, dont l'une est associée aux registres de descripteurs de segments tandis que l'autre est associée à l'anté-mémoire de descripteurs de pages. Les registres de segments sont en majeure partie connus dans l'art antérieur; il seront cependant décrits de façon plus détaillée en référence à la figure 2. L'anté-mémoire de pages et son interaction avec le répertoire de pages et la table de pages mémorisées dans la mémoire principale 13 seront décrites en relation avec les figures 3 à 7 et forment la base de la présente invention.

On va d'abord décrire le mécanisme de segmentation. L'unité de segmentation de la figure 1 reçoit une adresse virtuelle provenant de l'unité d'exécution 18 et accède à l'information de segmentation de registre approprié. Le registre contient l'adresse de base de segment, qui est transmise, en même temps que le décalage provenant de l'adresse virtuelle, à l'unité de pagination par l'inter-

médiaire de lignes 23.

La figure 2 montre l'accès à des tables de la mémoire principale lorsque les registres de segmentation sont chargés avec une information de localisation concernant un nouveau segment. La zone de segment indexe la table de descripteurs de segments dans la mémoire principale 13. Les contenus de la table fournissent une adresse de base et additionnellement des attributs associés aux données se trouvant dans le segment. L'adresse de base et le décalage sont comparés avec les limites de segment dans le comparateur 27; le signal de sortie de ce comparateur constituant un signal d'interruption. L'additionneur 26, qui fait partie du microprocesseur, combine l'adresse de base et le décalage pour transmettre une adresse "physique" dans les lignes 31. Cette adresse peut être utilisée par le microprocesseur comme une adresse physique ou bien peut être utilisée par l'unité de pagination. Cela est réalisé pour créer une compatibilité avec certains programmes établis pour un microprocesseur connu (Intel 286). Pour le microprocesseur Intel 286, l'espace d'adresse physique est de 24 bits.

Les attributs de segments, incluant des détails sur les descripteurs utilisés, comme les différents niveaux privilégiés, ont été décrits dans le brevet US 4 442 484.

Le fait que le mécanisme de segmentation est connu dans l'art antérieur est représenté sur la figure 2 par la ligne en trait interrompu 28, sur la gauche de laquelle sont indiquées des structures de l'art antérieur.

Le bloc de localisation de zones de pages 30, qui comprend l'unité de pagination de la figure 1 ainsi que son système d'interaction avec le répertoire de pages et la table de pages qui sont mémorisés dans la mémoire principale, est représenté sur les figures 3 à 7.

Bien que, dans le mode de réalisation présentement préféré, le mécanisme de segmentation utilise des registres de masquage, il pourrait également être réalisé avec une anté-mémoire comme le mécanisme de pagination.

On va maintenant décrire l'anté-mémoire de descrip-

teurs de pages. Sur la figure 3, l'anté-mémoire de descripteurs de pages de l'unité de pagination 22 de la figure 1 est représentés à l'intérieur de la ligne en trait interrompu 22a. Cette mémoire comprend deux ensembles, à savoir une
5 mémoire à contenu adressable (CAM) 34 et une mémoire de données (bases) de pages 35. Les deux mémoires comportent des cellules de mémorisation statique. L'organisation des mémoires 34 et 35 est décrite en référence à la figure 6. Les circuits spécifiques utilisés pour la mémoire CAM 34 ainsi
10 que sa nouvelle caractéristique de masquage sont décrits en référence aux figures 7 et 8.

Les adresses linéaires provenant de l'unité de segmentation 21 sont appliquées à l'unité de pagination 22 de la figure 1. Comme le montre la figure 3, cette adresse linéaire
15 comprend deux zones, à savoir la zone d'information de page (20 bits) et une zone de déplacement (12 bits). Additionnellement, il est prévu une zone d'attributs de pages à 4 bits, établie par le microcode. La zone d'information de page de 20 bits est comparée avec les contenus de la mémoire CAM 34.
20 Egalement les 4 bits d'attribut ("incorrect", "valable", "U/S", et "W/R") doivent également correspondre à ceux se trouvant dans la mémoire CAM avant qu'une coïncidence se produise. (Il existe une exception à cela lorsqu'une "masquage" est utilisé comme cela sera décrit).

25 Pour une condition de coïncidence, la mémoire 35 fournit un mot de base de 20 bits qui est combiné avec la zone de déplacement de 12 bits de l'adresse linéaire, comme représenté par l'additionneur 36 de la figure 3, et l'adresse physique résultante est sélectionnée dans une trame de
30 page de 4 k.octets dans la mémoire principale 13.

On va maintenant décrire un adressage de page pour la condition de non-coïncidence. Un répertoire de pages 13a et une table de pages 13b sont mémorisés dans la mémoire principale 13 (cf. figure 4). L'adresse de page pour le ré-
35 pertoire de pages est fournie par le microprocesseur et est indiquée sur la figure 4 comme la base de répertoire de pages 38. Dix bits de la zone d'information de page sont uti-

lisés comme un index (après une pondération par un facteur de 4) dans le répertoire de page, comme indiqué par l'additionneur 40 sur la figure 4. Le répertoire de pages fournit un mot de 32 bits. Vingt bits de ce mot sont utilisés comme
5 base pour la table de pages. Les dix autres bits de la zone d'information de page sont utilisés de façon semblable comme un index (à nouveau avec une pondération par le facteur 4) dans la table de pages, comme indiqué par l'additionneur 41. La table de pages fournit également un mot de 32 bits,
10 dont 20 bits définissent la base de page de l'adresse physique. Cette adresse de base de page est combinée, comme indiqué par l'additionneur 42, avec la zone de déplacement de 12 bits de façon à former une adresse physique de 32 bits.

Cinq bits des zones à 12 bits du répertoire de pages et de la table de pages sont utilisés pour des attributs,
15 en particulier "incorrect", "accès", "U/S", "R/W" et "présent". Ceux-ci seront décrits de façon plus détaillée en relation avec la figure 5. Les bits restants de cette zone ne sont pas effectués.

20 Les attributs mémorisés du répertoire et de la table de pages sont transmis à un circuit logique de commande 75 en même temps que les 4 bits de l'information d'attribut associés à l'adresse linéaire. Des parties de ce circuit logique sont représentées sur les figures suivantes qui vont
25 être décrites en référence à ces figures.

Sur la figure 5, on a à nouveau indiqué le mot de répertoire de pages, le mot de table de pages et le mot de mémoire CAM. Les attributs de protection/commande affectés aux quatre bits du mot de répertoire de pages sont indiqués
30 en regard de la parenthèse 43. Les quatre mêmes attributs, avec un attribut supplémentaire, sont utilisés pour le mot de table de pages et sont indiqués en regard de la parenthèse 44. Les quatre attributs utilisés pour le mot de mémoire CAM sont indiqués en regard de la parenthèse 45.

35 Les attributs sont utilisés pour les fonctions suivantes:

1. INCORRECT : Ce bit indique si une page a été écri-

te. Le bit est changé une fois qu'une page a été écrite. Ce bit est utilisé, par exemple, pour informer le système opérationnel qu'une page complète n'est pas "propre". Ce bit est mémorisé dans la table de pages et dans la mémoire CAM
5 (et non dans le répertoire de pages). Le processeur assure l'activation de ce bit dans la table de pages lorsqu'une page est écrite.

2. ACCES : Ce bit est mémorisé seulement dans le répertoire de page et la table de pages (et non dans la mémoire CAM) et il est utilisé pour indiquer qu'une page a fait l'objet d'un accès. Une fois qu'une page a fait l'objet d'un accès, ce bit est changé dans la mémoire par le processeur. A la différence du bit "incorrect", ce bit indique si une page a fait l'objet d'un accès pour une écriture ou pour une
15 lecture.

3. U/S : L'état de ce bit indique si le contenu de la page est accessible à un utilisateur et à un superviseur (1 binaire) ou bien seulement à un superviseur (0 binaire).

4. R/W : Ce bit de protection de lecture et d'écriture doit avoir l'état binaire 1 pour permettre à la page d'être écrite par un programme d'utilisateur.
20

5. PRESENT : Ce bit placé dans la table de pages indique si la page associée est présente dans la mémoire physique. Ce bit placé dans le répertoire de pages indique si la table de pages associée est présente dans la mémoire physique.
25

6. VALABLE : Ce bit, qui est mémorisé seulement dans la mémoire CAM, est utilisé pour indiquer si le contenu de la mémoire CAM est valable. Ce bit est placé dans un premier état lors d'une initialisation puis il est changé lorsqu'un mot valable de la mémoire CAM est chargé.
30

Les cinq bits du répertoire de pages et de la table de pages sont appliqués au circuit logique de commande 75 pour produire des signaux appropriés d'interruption à l'intérieur du microprocesseur.

35 Des bits d'utilisateur/superviseur provenant du répertoire de pages et de la table de pages sont soumis à une combinaison logique ET, comme indiqué par la porte 46, pour

produire le bit R/W mémorisé dans la mémoire CAM 34 de la figure 3. De façon analogue, les bits de lecture/écriture provenant du répertoire et de la table de pages sont soumis à une combinaison logique ET par l'intermédiaire d'une porte
5 47 de façon à produire le bit W/R mémorisé dans la mémoire CAM. Le bit "incorrect" provenant de la table de pages est mémorisé dans la mémoire CAM. Ces portes font partie du circuit logique 75 de la figure 4.

Les attributs mémorisés dans la mémoire CAM sont
10 "automatiquement" testés puisqu'ils sont traités comme une partie de l'adresse et qu'ils sont adaptés aux quatre bits provenant du microcode. Une condition d'interruption se produit même si une base de page valable est mémorisée dans la mémoire CAM, par exemple quand l'adresse linéaire indique
15 qu'un cycle d'écriture par "utilisateur" doit se produire dans une page pour $R/W = 0$.

La combinaison logique ET des bits U/S provenant du répertoire et de la table de pages fait en sorte que le "cas le plus défavorable" soit mémorisé dans l'anté-mémoire.
20 De façon analogue, la combinaison logique ET des bits R/W fournit le cas le plus défavorable à l'anté-mémoire.

On va maintenant décrire l'organisation de l'anté-mémoire de descripteurs de pages. La mémoire CAM 34, comme indiqué sur la figure 6, est organisée en 8 ensembles, avec
25 4 mots dans chaque ensemble. Vingt-et un bits (17 pour l'adresse et 4 pour les attributs) sont utilisés pour trouver une correspondance dans cet ensemble. Les quatre lignes de comparaison correspondant aux quatre mots mémorisés dans chaque ensemble sont reliées à un détecteur. Par exemple les
30 lignes de comparaison des quatre mots de l'ensemble 1 sont reliées au détecteur 53. De façon analogue, les lignes de comparaison des quatre mots des ensembles 2 à 8 sont reliées à des détecteurs. Les lignes de comparaison sont explorées par les détecteurs de façon à déterminer quel mot de l'ensemble correspond à l'entrée (21 bits) de la mémoire CAM.
35 Chacun des détecteurs contient un circuit logique "câblé matériellement" qui permet une sélection d'un des détecteurs

en fonction de l'état des 3 bits contenus dans la zone d'information de page de 20 bits qui est reliée aux détecteurs. (Il est à noter que les 17 autres bits de cette zone d'information de pages sont reliés à la mémoire CAM).

5 Dans un but d'explication, huit détecteurs ont été représenté sur la figure 6. Dans le présent mode de réalisation, un seul détecteur est utilisé avec les trois bits, en sélectionnant un ensemble de quatre lignes pour un couplage avec le détecteur. Le détecteur proprement dit est
10 représenté sur la figure 8.

La partie de mémorisation de données de l'anté-mémoire est organisée en quatre groupes, représentés par les groupes 35a-d. Les mots de données correspondant à chaque ensemble de la mémoire CAM sont répartis de façon qu'un
15 mot soit mémorisé dans chacun des quatre groupes. Par exemple, le mot de données (adresse de base) sélectionné par une coïncidence avec le mot 1 de l'ensemble 1 est situé dans le groupe 35a, le mot de données sélectionné par une coïncidence avec le mot 2 de l'ensemble 1 est situé dans
20 le groupe 35b, etc. Les trois bits utilisés pour sélectionner un détecteur sont également employer pour sélectionner un mot dans chacun des groupes. En conséquence, simultanément, des mots sont sélectionnés dans chacun des quatre groupes. La sélection finale d'un mot dans les groupes est
25 effectuée par l'intermédiaire du multiplexeur 55. Ce multiplexeur est commandé par les quatre lignes de comparaison dans le détecteur.

Lorsque l'anté-mémoire fait l'objet d'un accès, le processus d'adaptation, qui est un processus relativement
30 lent, commence par l'utilisation des 21 bits. Les trois autres bits sont capables de sélectionner immédiatement un ensemble de quatre lignes et le détecteur est préparé pour détecter une baisse de potentiel dans les lignes de comparaison. (Comme cela sera précisé, toutes les lignes de comparaison (rangées) sont préchargées, la ligne sélectionnée
35 (coïncidence) restant chargée alors que les lignes non sélectionnées se déchargent). Simultanément quatre mots prove-

nant de l'ensemble sélectionné font l'objet d'un accès dans les groupes 35a - 35d. Si et quand une correspondance se produit, le détecteur est capable d'identifier le mot à l'intérieur de l'ensemble et cette information est transmise au
5 multiplexeur 55 en permettant la sélection du mot de données. Cette organisation améliore le temps d'accès à l'anté-mémoire.

On va maintenant décrire la mémoire adressable par le contenu (CAM). Sur la figure 7, les 21 bits qui sont reliés à la mémoire CAM sont à nouveau représentés de telle sorte que 17
10 bits soient reliés au circuit prioritaire et générateur de complément 56 tandis que les 4 bits d'attribut sont reliés au circuit logique VUDW 57. Les 3 bits associés à la sélection des détecteurs décrits en référence à la figure 6 ne sont pas représentés sur la figure 7.

15 Le circuit 56 produit le signal vrai et le signal complémentaire pour chacun des signaux d'adresse et il transmet ces signaux à la mémoire CAM par des lignes parallèles, comme les lignes 59 et 60. De façon analogue, le circuit logique VUDW 57 produit à la fois le signal vrai et le signal
20 complémentaire pour les bits d'attribut et les transmet à la mémoire par des lignes parallèles. Les lignes 59 et 60 interviennent en double pour chacune des lignes de bits vrais et de bits de complément (c'est-à-dire 21 paires de lignes de bits vrais et de bits de complément).

25 Chacune des 32 rangées de la mémoire CAM comporte une paire de lignes de rangées parallèles, telles que les lignes 68 et 70. Une cellule de mémoire statique ordinaire, telle que la cellule 67 est branchée entre chacune des lignes de bits vrais et de bits de complément (colonnes) et
30 est associée à la paire de lignes de rangées. Dans le mode de réalisation présentement préféré, les cellules de mémoire comprennent des cellules statiques ordinaires à bascule utilisant des transistors à canal-p. Une ligne de chaque paire de lignes de rangées (ligne 70) permet à la cellule de mémoire
35 d'être reliée à la ligne de bits vrais et à la ligne de bits de complément lorsqu'une donnée est écrite dans le groupe. Autrement le contenu de la cellule de mémoire est compa-

ré aux données se trouvant dans les lignes de colonnes et le résultat de la comparaison est transmis à la ligne de coïncidence 68. La comparaison est effectuée par des comparateurs, un comparateur étant associé à chaque cellule.

5 Le comparateur comprend les transistors à canal-n désignés par 61 à 64. Chaque paire de transistors de comparaison, par exemple les transistors 61 et 62, sont branchés entre un côté de la cellule de mémoire et la ligne de bit opposée.

10 On va supposer qu'une donnée est mémorisée dans la cellule de mémoire 67 et que le point de la cellule la plus proche de la ligne de bits 59 se trouve au niveau haut. Lorsque les contenus de la mémoire CAM sont examinés, en premier lieu la ligne de coïncidence 68 est préchargée par
15 l'intermédiaire du transistor 69. Ensuite les signaux appliqués à la mémoire CAM sont placés dans les lignes de colonnes. On va d'abord supposer que la ligne 69 se trouve au niveau haut. Le transistor 62 n'est pas conducteur puisque la ligne 60 est au niveau bas. Le transistor 63 n'est pas conducteur
20 puisque le côté de la cellule auquel il est relié est au niveau bas. Dans ces conditions, la ligne 68 n'est pas déchargée et indique qu'une correspondance s'est produite dans la cellule. La ligne de coïncidence 68 assure une combinaison logique ET des comparaisons se produisant le long de la
25 rangée. Si une correspondance ne se produit pas, un ou plusieurs des comparateurs assurent une décharge de la ligne de coïncidence.

Pendant une précharge, les circuits 56 et 57 engendrent un signal prioritaire faisant en sorte que toutes les
30 ligne de colonnes (bits et bits de complément) passent à un niveau bas. Cela empêche les comparateurs d'évacuer la charge des lignes de coïncidence avant que la comparaison ne commence.

Il est à noter que les comparateurs examinent la condition "1 binaire" et qu'ils ignorent en fait la condition "0 binaire". Ainsi par exemple si l'électrode de commande du transistor 64 se trouve à un niveau haut (ligne
35 59 au niveau haut), alors les transistors 63 et 64 comman-

dent la comparaison. De façon analogue, si la ligne de bit 60 se trouve au niveau haut, alors les transistors 61 et 62 commandent la comparaison. Cette particularité du comparateur permet à des cellules d'être ignorées. En conséquence, lorsqu'un mot est appliqué à la mémoire CAM, certains bits peuvent être masqués dans le processus de correspondance en faisant passer à la fois la ligne de bits vrais et la ligne de bits de complément au niveau bas. Cela fait apparaître que les contenus de la cellule s'adaptent à la condition existant dans les lignes de colonnes. Cette particularité est utilisée par le circuit logique VUDW 57.

Des signaux de microcode appliqués au circuit logique 57 font en sorte que la ligne de bits vrais et la ligne de bits de complément correspondant à des bits sélectionnés parmi les bits d'attribut soient placées à un niveau bas en fonction des bits de microcode. Il en résulte que l'attribut associé à ce bit est ignoré. Cette particularité est utilisée, par exemple, pour ignorer le bit U/S dans le mode de superviseur. Ainsi le mode de superviseur peut accéder à des données d'utilisateur. De façon analogue, le bit de lecture/écriture peut être ignoré lors d'une lecture ou bien lorsque le mode de superviseur est enclenché. Le bit "incorrect" est également ignoré lors d'une lecture (cette particularité n'est pas utilisée pour le bit "valable").

Lorsque les bits d'attributs sont mémorisés dans la mémoire principale, ils peuvent faire l'objet d'un accès et d'un examen et des circuits logiques sont utilisés pour commander un accès, par exemple sur la base de l'état 1 ou 0 du bit U/S. Cependant, aucun circuit logique séparé n'est utilisé avec l'anté-mémoire. La commutation au niveau bas des lignes de bits vrais et de bits de complément provoque en fait l'autorisation d'une correspondance (ou l'empêchement d'une interruption) même si les motifs de bits des bits d'attributs ne sont pas adaptés.

Le détecteur de la figure 6, comme le montre la figure 8, comprend plusieurs portes NI, telles que les portes 81, 82, 83 et 84. Trois des lignes de coïncidence provenant

de l'ensemble sélectionné des lignes de la mémoire CAM sont reliées à la porte 81 et elles sont désignées par les lignes A, B et C. Une combinaison différente de lignes est reliée à chacune des autres portes NI. Par exemple la porte NI 84 reçoit les lignes de coïncidence D, A et B. La sortie de chacune des portes NI est une entrée pour une porte NON-ET telle que la porte NON-ET 86. Une ligne de coïncidence fournit un signal d'entrée à chaque porte NON-ET. Cette ligne est celle (parmi les quatre A, B, C, D) qui ne constitue pas une ligne d'entrée pour la porte NI. Elle constitue également la ligne de bits provenant de l'entrée d'ensemble à sélectionner. Par exemple la porte 86 sélectionnerait l'ensemble qui est associé à la ligne de coïncidence D. Ainsi, dans le cas de la porte NI 81, la ligne de coïncidence D est couplée avec la porte NON-ET 86. De façon analogue, pour la porte NON-ET 90, la ligne de coïncidence C constitue, en addition à la sortie de la porte 84, une ligne d'entrée pour cette porte. Un signal de validation de lecture est également appliqué aux portes NON-ET afin d'empêcher les sorties de ces portes logiques d'être validées pour une écriture. Les sorties des portes NON-ET, comme la ligne 87, sont utilisées pour commander le multiplexeur 55 de la figure 6. En pratique le signal provenant de la porte NON-ET, comme le signal transmis par la ligne 87, commande le multiplexeur par l'intermédiaire de transistors à canal-p. Pour faciliter l'explication, un inverseur additionnel 88 est représenté avec une ligne de sortie 89.

L'avantage de ce détecteur est qu'il permet d'utiliser des lignes de précharge dans le multiplexeur 55. En variante, on pourrait utiliser un agencement statique, mais cela nécessiterait beaucoup plus de courant. Avec l'agencement représenté sur la figure 8, la sortie des inverseurs reste dans le même état jusqu'à ce qu'une des lignes de coïncidence diminue de potentiel. Quand cela se produit, une seule sortie diminue le potentiel, en permettant au multiplexeur de sélectionner le mot correct.

En conséquence, on a décrit un nouveau dispositif de

traduction d'adresses, qui utilise deux niveaux d'une anté-mémoire, à savoir un niveau pour la segmentation et un niveau pour la pagination. Une commande indépendante de données et d'attributs (par exemple une protection) est prévue

5 à chaque niveau

REVENDICATIONS

1. Système à microprocesseur, qui comprend un micro-
processeur et une mémoire de données, le microprocesseur
comportant un mécanisme de segmentation pour traduire une
5 adresse de mémoire virtuelle en une seconde adresse de mé-
moire et pour commander des données sur la base d'attributs,
caractérisé en ce qu'il comprend: une anté-mémoire de pages
(22) intégrée audit microprocesseur (10) pour recevoir une
première zone de ladite seconde adresse de mémoire et pour
10 comparer celle-ci avec des contenus de ladite anté-mémoire
de pages afin d'établir une seconde zone dans certaine con-
dition; ladite mémoire de données (13) comprenant une partie
de mémorisation de données de localisation de pages, ladite
première zone de ladite seconde adresse de mémoire étant cou-
15 plée avec ladite mémoire de données (13) pour sélectionner
une troisième zone dans lesdites données de pages quand les-
dites certaines conditions de ladite anté-mémoire de pages
(22) ne sont pas satisfaites; ledit système à microprocesseur
comprenant un circuit (75) pour combiner une desdites seconde
20 et troisième zones avec une zone de décalage de la première
adresse afin de créer une adresse physique pour ladite mémoi-
re de données (35); en vue d'améliorer ainsi la capacité
d'adressage physique de ladite mémoire de données (13).

2. Système à microprocesseur selon la revendication
25 1, caractérisé en ce que ladite anté-mémoire de pages (22)
et ladite partie de mémorisation de données de pages con-
tiennent des informations concernant les attributs de pages
de mémoire.

3. Système à microprocesseur selon la revendication
30 2, caractérisé en ce que ladite partie de mémorisation de
données de localisation de pages comprend au moins un réper-
toire de pages (13a) et au moins une table de pages (13b).

4. Système à microprocesseur selon la revendication
3, caractérisé en ce que ledit répertoire de pages (13a) et
35 ladite table de pages (13b) mémorisent chacun lesdits attri-
buts desdites pages de mémoire.

5. Système à microprocesseur selon la revendication

4, caractérisé en ce qu'au moins certains desdits attributs mémorisés dans ledit répertoire de pages (13a) et ladite table de pages (13b) sont combinés logiquement et mémorisés dans ladite anté-mémoire de pages (22).

5 6. Système à microprocesseur selon la revendication 5, caractérisé en ce que ledit microprocesseur (10) établit une base de répertoire de pages (38) pour ledit répertoire de pages (13a).

10 7. Système à microprocesseur selon la revendication 6, caractérisé en ce qu'une première partie de ladite première zone établit dans ladite base de répertoire de pages (38) un index pour un emplacement dans le répertoire de pages (13a).

15 8. Système à microprocesseur selon la revendication 7, caractérisé en ce que lesdits emplacements dans le répertoire de pages (13a) contiennent des bases de table de pages et en ce qu'une seconde partie de ladite première zone établit dans ladite table de pages un index pour un emplacement de table de pages dans ladite mémoire de données (13).

20 9. Système à microprocesseur selon la revendication 8, caractérisé en ce que lesdits emplacements de ladite table de pages (13b) établissent une base pour des pages dans ladite mémoire de données (13).

25 10. Système à microprocesseur selon la revendication 2, caractérisé en ce que ladite anté-mémoire de pages (22) comprend une mémoire adressable par le contenu (CAM) (34) et une mémoire de bases de pages, la sortie de ladite mémoire (CAM) sélectionnant des bases de pages pour ladite mémoire de données (13) à partir de ladite mémoire de bases de pages.

30 11. Système à microprocesseur selon la revendication 10, caractérisé en ce que ladite mémoire (CAM) (34) mémorise des attributs de pages de la mémoire de données (13).

35 12. Système à microprocesseur selon la revendication 11, caractérisé en ce que ladite mémoire (CAM) (34) comprend des moyens pour masquer sélectivement au moins un desdits attributs pendant ladite comparaison.

 13. Système à microprocesseur à gestion de mémoire perfectionné, caractérisé en ce qu'il comprend: un micro-

processeur (10) comportant un mécanisme de segmentation pour traduire une adresse de mémoire virtuelle en une seconde adresse de mémoire et pour tester des attributs de segments d'une mémoire de données (13); une mémoire de données (13)
5 reliée audit microprocesseur (10) ledit microprocesseur comprenant une anté-mémoire de pages (22) intégrée audit microprocesseur de manière à recevoir une première zone de ladite seconde adresse de mémoire et pour la comparer avec des contenus de ladite anté-mémoire afin d'établir une se-
10 conde zone dans certaines conditions; ladite mémoire de données (13) comprenant une partie de mémorisation de données de l'organisation de pages, ladite première zone de ladite seconde adresse de mémoire étant couplée avec ladite mémoire de données (13) pour sélectionner une troisième zone à
15 partir desdites données de pages lorsque lesdites certaines conditions de ladite anté-mémoire de pages (22) ne sont pas satisfaites; ledit système à microprocesseur comprenant un circuit (75) pour combiner une desdites seconde et troisième zones avec une zone de décalage de la première adresse
20 afin d'établir une adresse physique pour ladite mémoire de données (13); ce qui permet d'améliorer la capacité d'adressage physique de ladite mémoire de données (13).

14. Système à microprocesseur selon la revendication 13, caractérisé en ce que ledit mécanisme de segmentation
25 comprend: des registres de descripteurs de segments (21) intégrés audit microprocesseur (10) de façon à établir une base de segment; et en ce que ladite mémoire de données (13) comprend une table de descripteurs de segments (25) qui fait l'objet d'un accès par une zone de segment de ladite
30 première adresse.

15. Système à microprocesseur selon la revendication 14, caractérisé en ce que ladite anté-mémoire de pages (22) et ladite partie de mémorisation de données de pages contiennent des informations sur les attributs de pages de mémoire.

35 16. Système à microprocesseur selon la revendication 15, caractérisé en ce que ladite partie de mémorisation desdites données de localisation de pages comprend un répertoire-

re de pages (13a) et une table de pages (13b).

17. Système à microprocesseur selon la revendication 16, caractérisé en ce que ledit répertoire de pages (13a) et ladite table de pages (13b) contiennent chacun lesdits attributs pour lesdites pages de mémoire.

18. Système à microprocesseur selon la revendication 17, caractérisé en ce qu'au moins certains desdits attributs mémorisés dans ledit répertoire de pages (13a) et ladite table de pages (13b) sont combinés logiquement et mémorisés dans ladite anté-mémoire de pages (22).

19. Système à microprocesseur selon la revendication 10, caractérisé en ce qu'il comprend une mémoire adressable par le contenu (CAM) comprenant, une pluralité de mémoires tampons, servant chacun à recevoir des premiers signaux et à fournir lesdits premiers signaux et des seconds signaux, lesdits seconds signaux étant des compléments desdits premiers signaux; une pluralité de paires de lignes généralement parallèles (59, 60) chaque paire étant couplée de façon à recevoir un desdits premiers et seconds signaux; une pluralité de cellules de mémoire (67) couplées entre deux lignes (59, 60) de chaque paire, lesdites cellules étant disposées en rangées généralement perpendiculaires auxdites paires de lignes (59, 60); une pluralité de lignes de comparateurs de rangées qui sont chacune associée à chacune desdites rangées de cellules (67); une pluralité de comparateurs (27) qui sont chacun branchés entre chacune desdites cellules de mémoire, la paire respective de lignes et l'une desdites lignes de comparateurs, lesdits comparateurs servant à comparer un état binaire mémorisé dans ladite cellule de mémoire (67) avec lesdits premiers et seconds signaux; un moyen de chargement pour charger des données provenant desdites paires de lignes dans lesdites cellules; lesdits comparateurs (27) étant empêchés d'opérer lorsque leurs paires respectives de lignes sont toutes deux maintenues à un certain état binaire; de façon que, en faisant

en sorte qu'au moins certaines desdites mémoires tampons établissent ledit certain état binaire pour lesdits premiers et seconds signaux, des cellules sélectionnées puissent être ignorées dans ladite comparaison.

5 20. Système à microprocesseur selon la revendication 19, caractérisé en ce que lesdites lignes de comparateurs de rangées sont des lignes préchargées.

 21. Système à microprocesseur selon la revendication 20, comprenant une partie de mémorisation se composant d'une pluralité de sections, caractérisé en ce que des données font
10 l'objet d'un accès simultané dans toutes lesdites sections et en ce qu'un signal de sortie d'une desdites sections est sélectionné par l'intermédiaire desdites lignes de rangées.

 22. Système à microprocesseur selon la revendication 21, caractérisé en ce qu'elle comprend des détecteurs reliés à un nombre prédéterminé desdites lignes de rangées, lesdits détecteurs servant à détecter celle dudit nombre prédéterminé de
15 lignes qui reste chargée.

 23. Système à microprocesseur selon la revendication 22, caractérisé en ce que ladite sélection dudit signal de sortie d'une
20 desdites sections est effectuée par lesdits détecteurs.

 24. Un dispositif de traduction d'adresses agencé comme une partie d'un microprocesseur pour opérer avec une mémoire de données, caractérisé en ce qu'il comprend: des
25 registres de descripteurs de segments (21) pour recevoir une adresse virtuelle et pour établir une base de segment; ledit microprocesseur (10) établissant une adresse pour la mémoire de données (13) de façon à permettre l'adressage d'une table de descripteur de segments (25) dans ladite mémoire de
30 données (13), ladite table de descripteur de segments (25) établissant ladite adresse de base de segment; ledit microprocesseur (10) utilisant ladite seconde adresse de base et une partie de ladite adresse virtuelle pour établir une seconde adresse de mémoire; une anté-mémoire de base (22) pour
35 recevoir une première zone de ladite seconde adresse de mémoire et pour la comparer avec les contenus de ladite anté-

mémoire de pages (22) afin d'établir une seconde zone dans certaines secondes conditions; ledit microprocesseur (10) fournissant ladite première zone à une table de données de pages se trouvant dans ladite mémoire de données (13) pour
5 établir ladite seconde zone si lesdites secondes conditions ne sont pas satisfaites; ladite seconde zone établissant une base de page pour ladite mémoire de données (13), ce qui permet d'améliorer la capacité d'adressage physique de ladite mémoire de données (13).

10 25. Dispositif selon la revendication 24, caractérisé en ce que lesdits registres de descripteurs de segments (21) contiennent des attributs de données de segments et en ce que ladite anté-mémoire de pages (22) contient des attributs de données de pages.

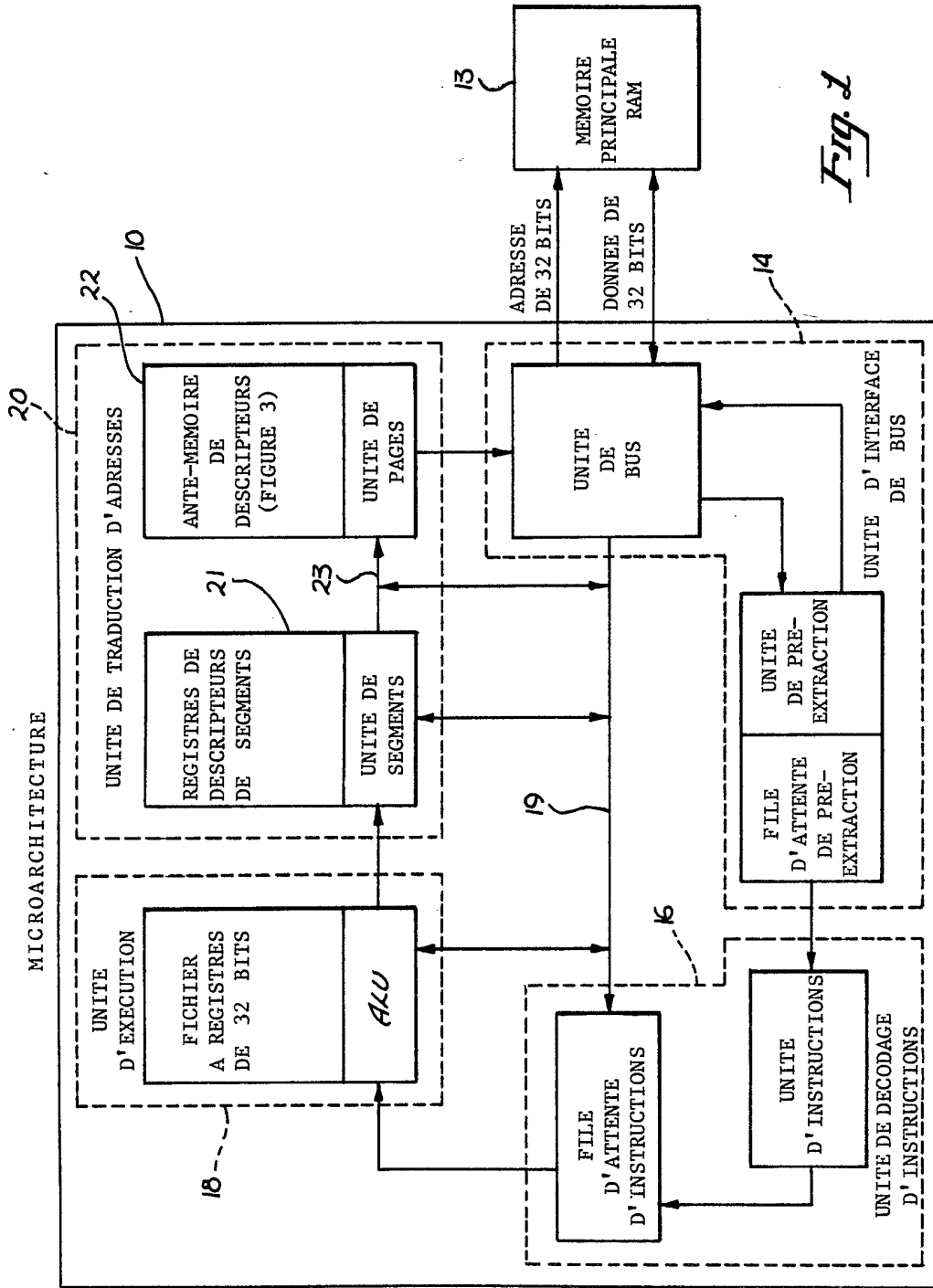


Fig. 1

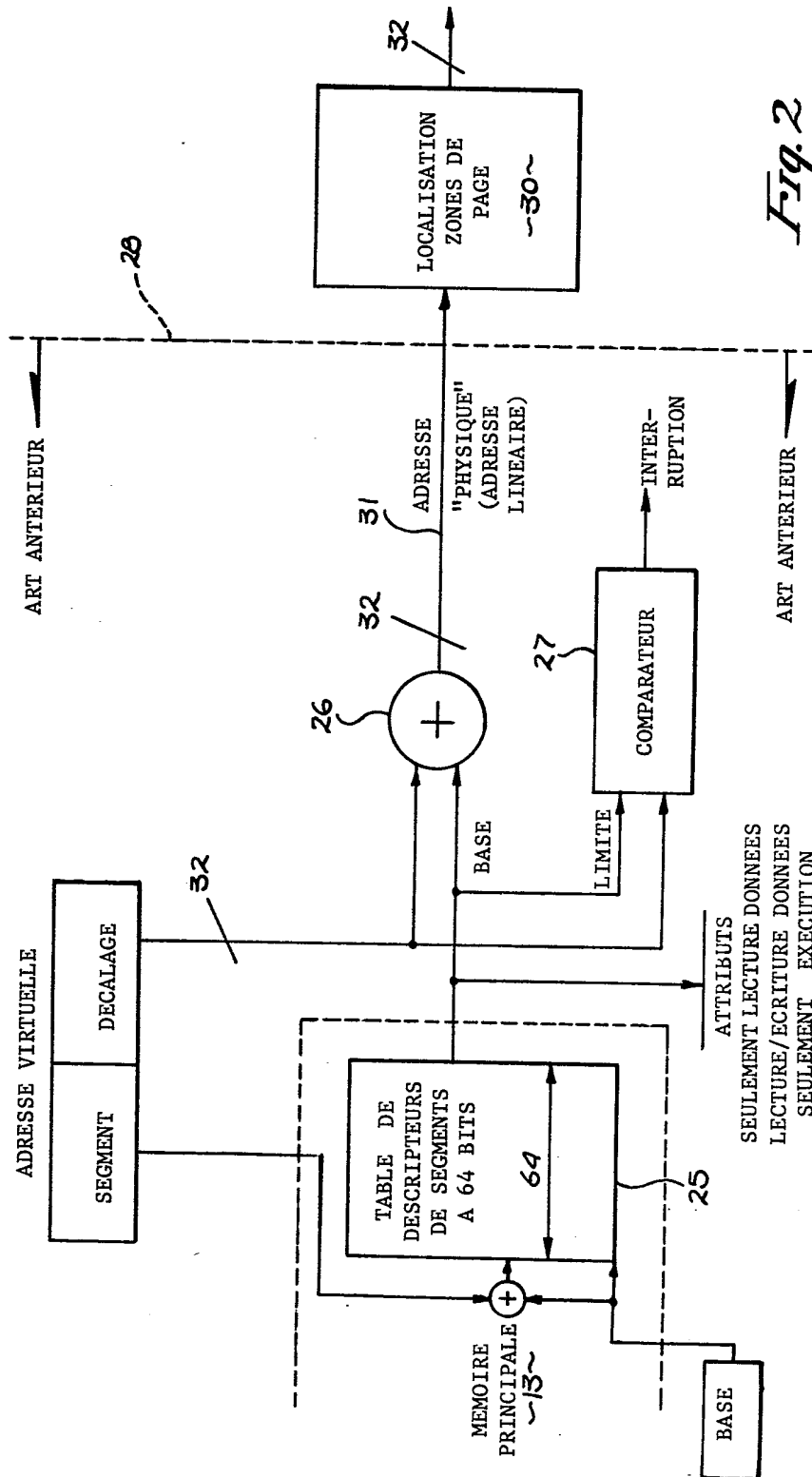


Fig. 2

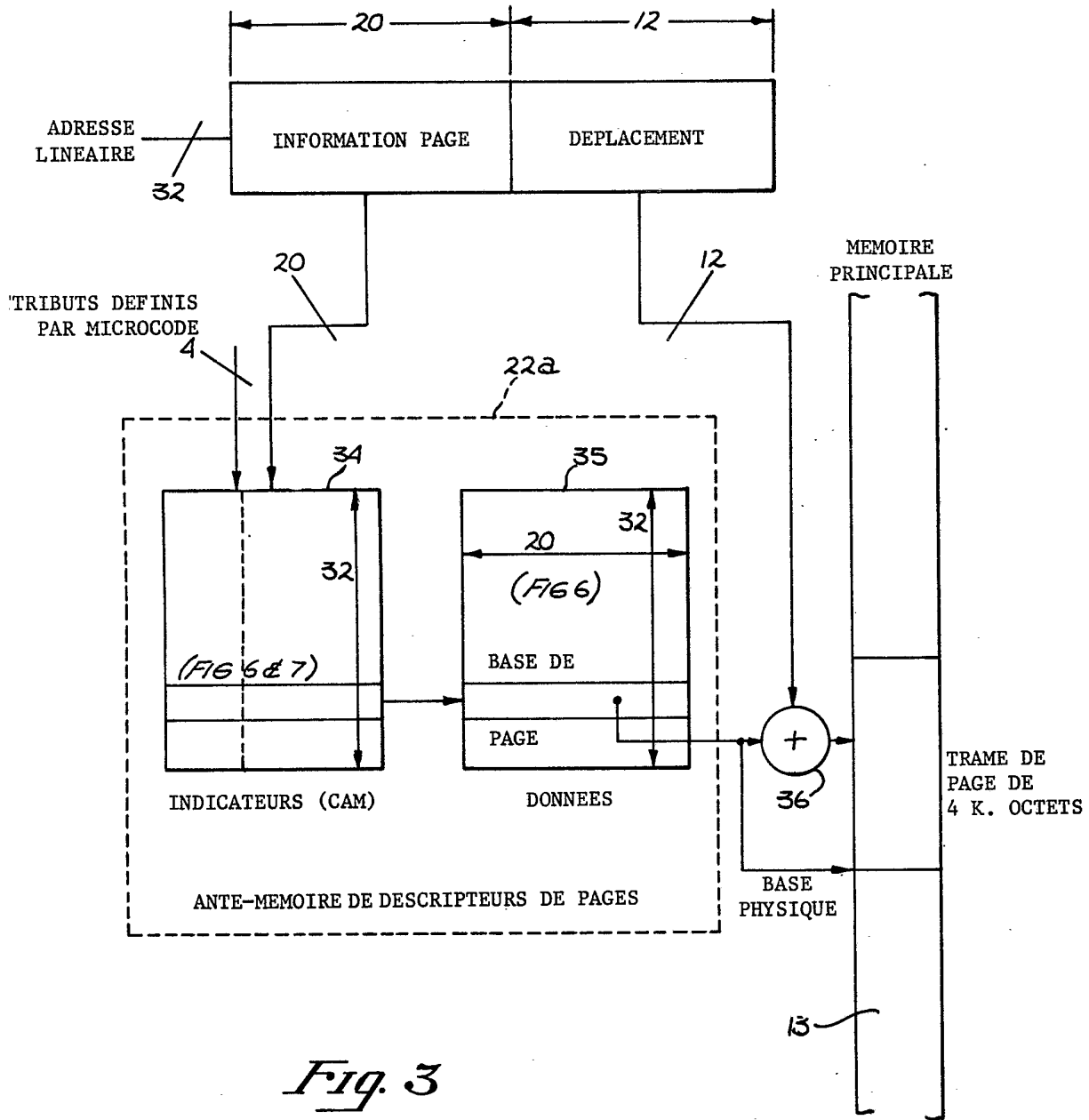


Fig. 3

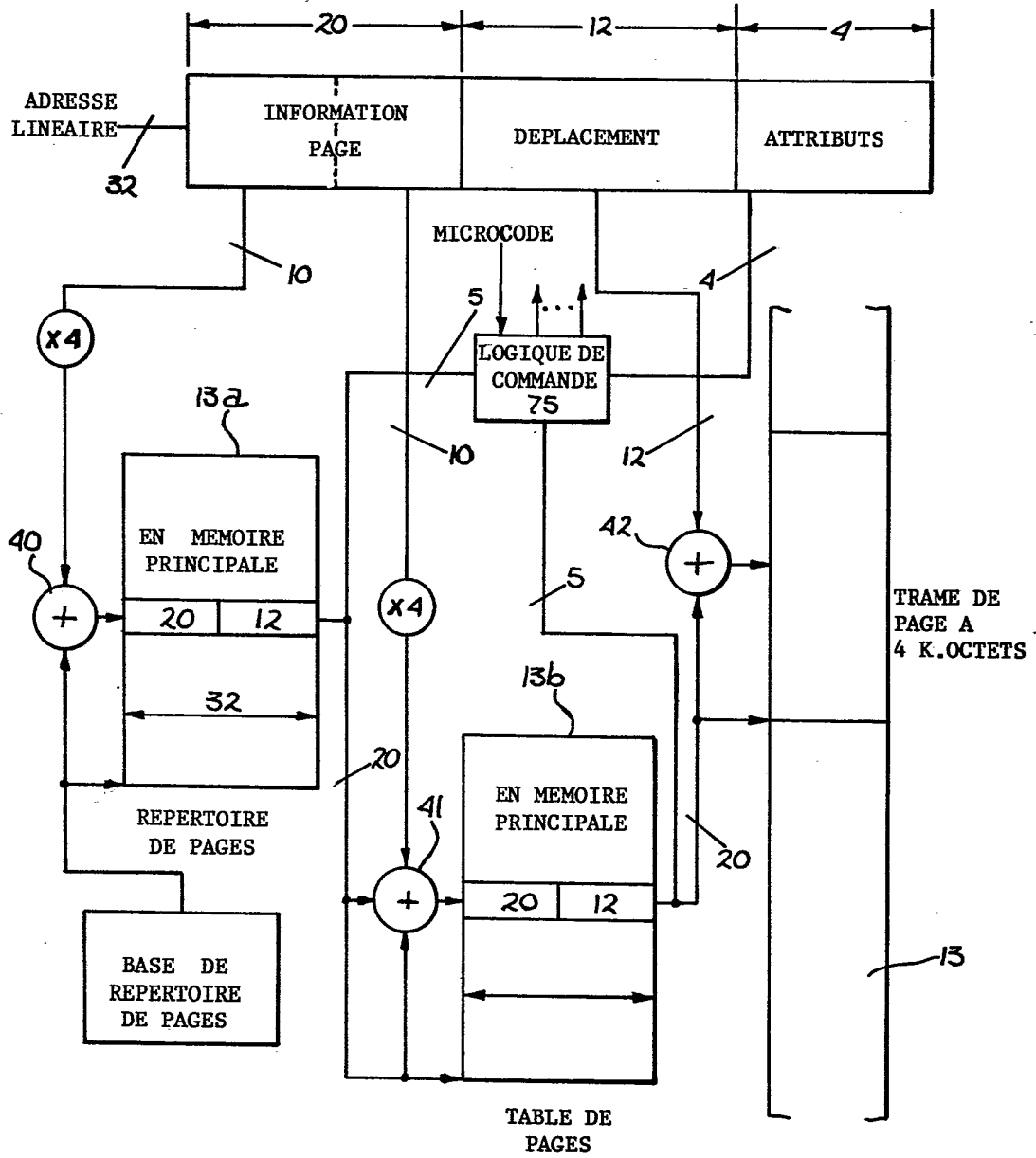


Fig. 4

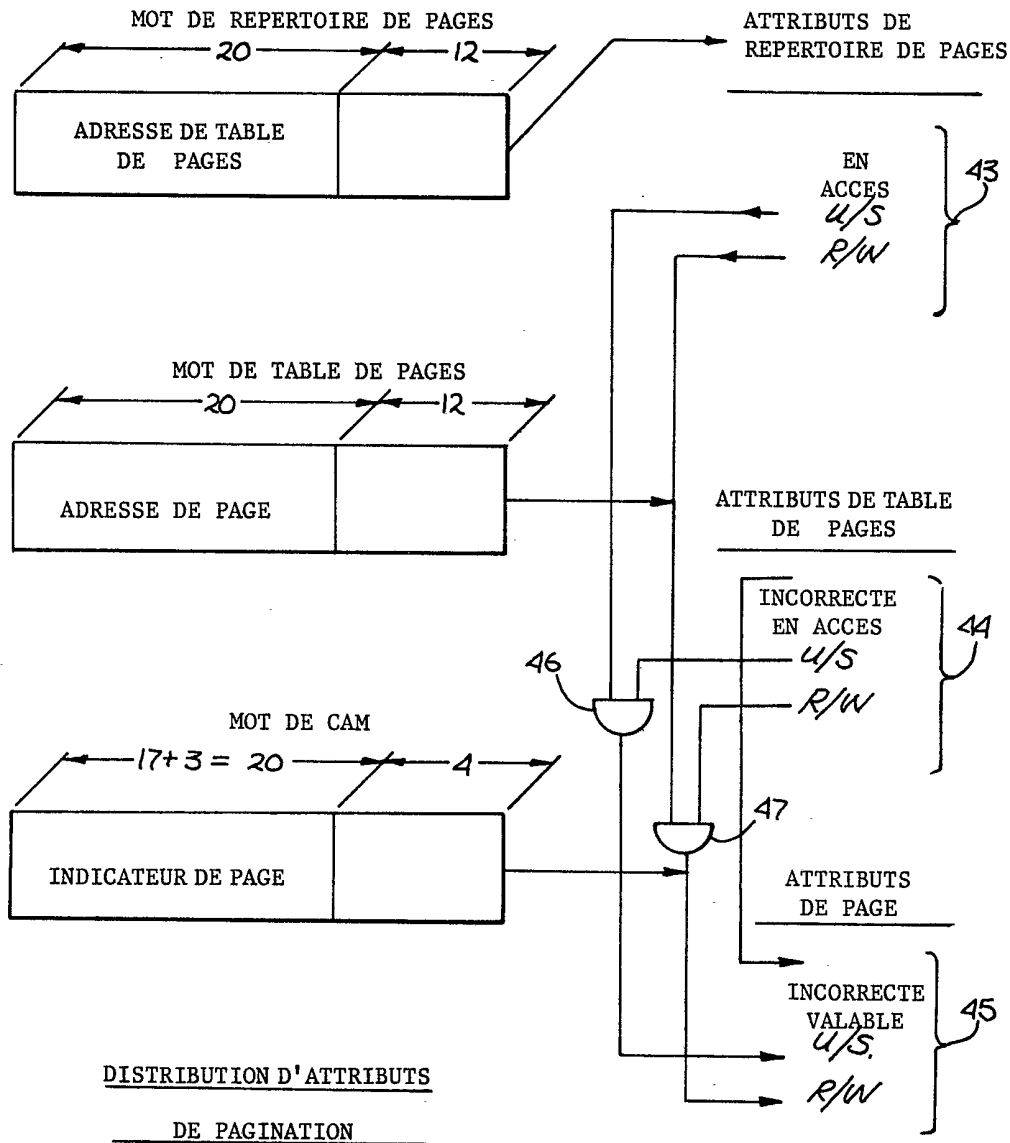


Fig. 5

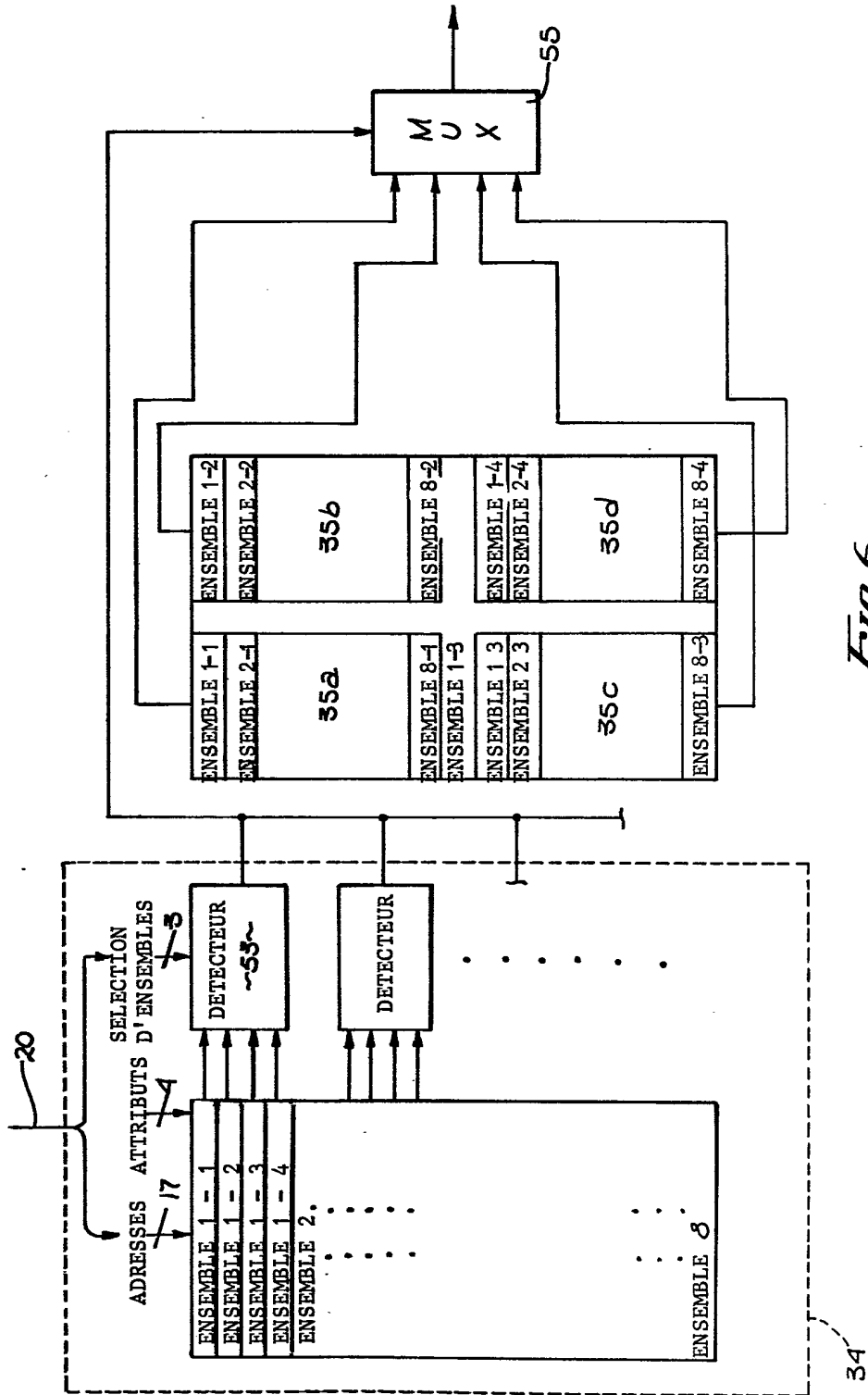


Fig. 6

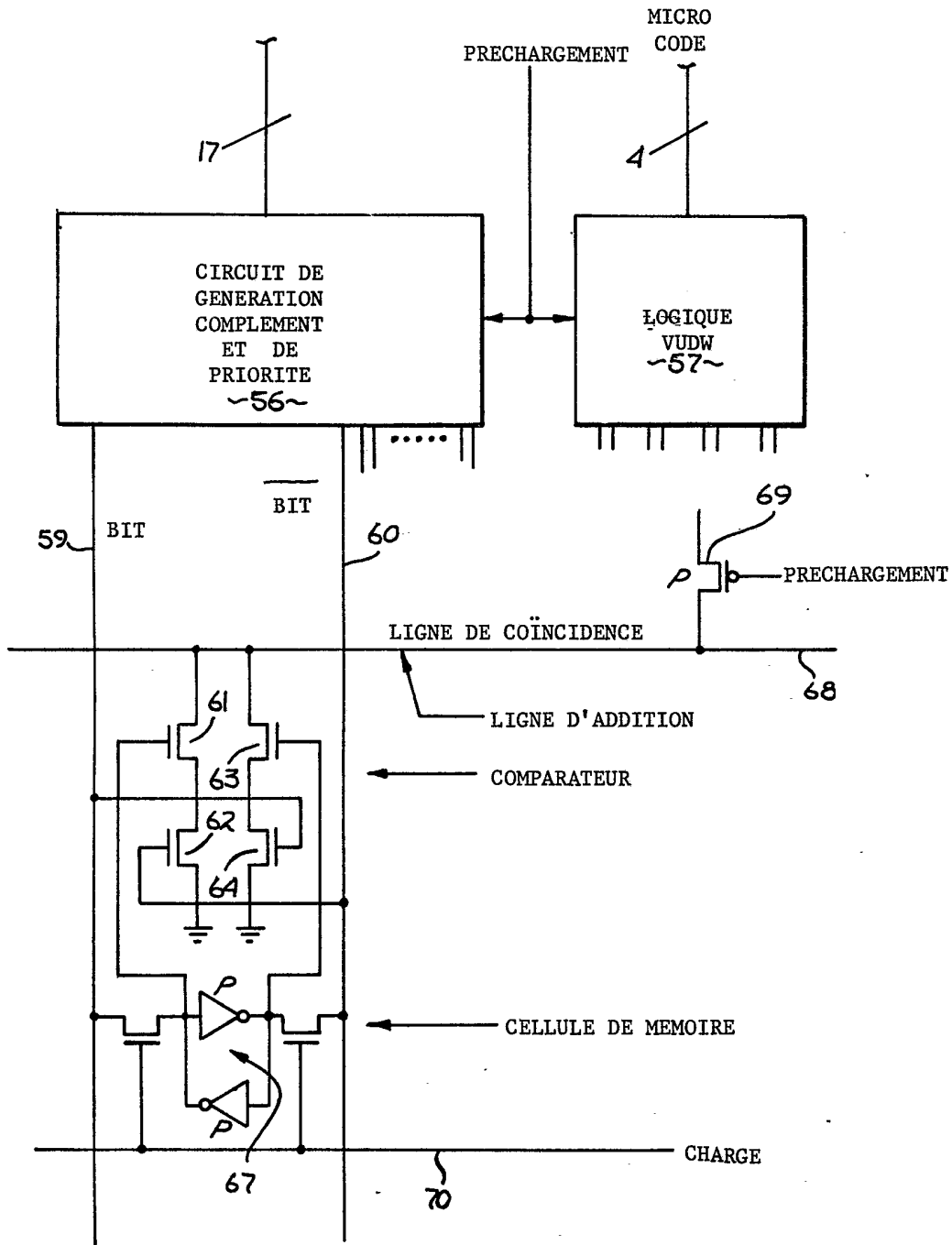


Fig. 7

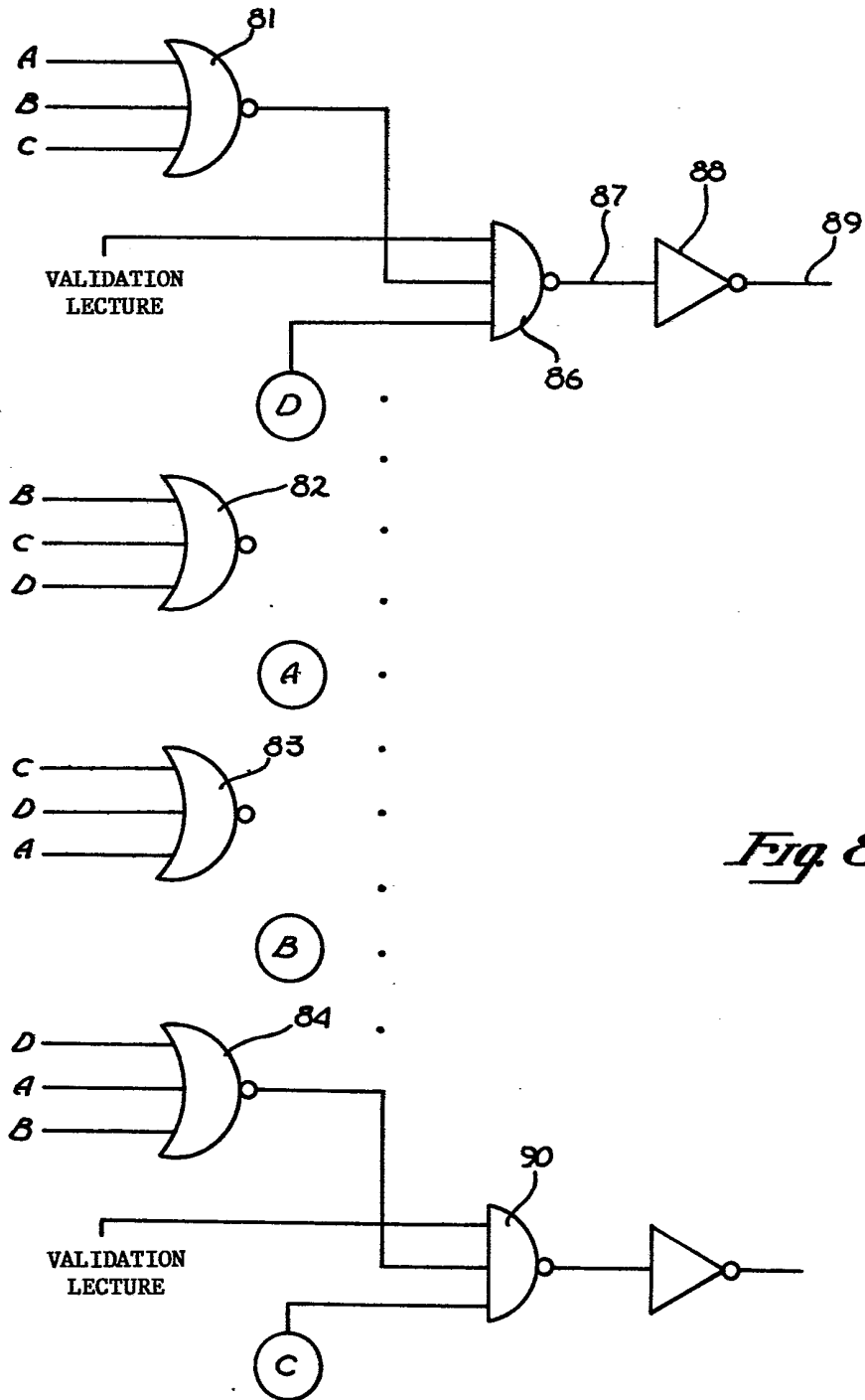


Fig. 8