

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5914865号
(P5914865)

(45) 発行日 平成28年5月11日(2016.5.11)

(24) 登録日 平成28年4月15日(2016.4.15)

(51) Int.Cl.	F I				
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 2 N		
HO 1 L 29/12 (2006.01)	HO 1 L	29/78	6 5 2 T		
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 5 2 Q		
HO 1 L 21/316 (2006.01)	HO 1 L	29/78	6 5 8 G		
	HO 1 L	29/78	6 5 8 F		
請求項の数 8 (全 21 頁) 最終頁に続く					

(21) 出願番号	特願2014-209717 (P2014-209717)	(73) 特許権者	314012076
(22) 出願日	平成26年10月14日(2014.10.14)		パナソニックIPマネジメント株式会社
(65) 公開番号	特開2015-109421 (P2015-109421A)		大阪府大阪市中央区城見2丁目1番61号
(43) 公開日	平成27年6月11日(2015.6.11)	(74) 代理人	110001427
審査請求日	平成26年10月14日(2014.10.14)		特許業務法人前田特許事務所
(31) 優先権主張番号	特願2013-218094 (P2013-218094)	(72) 発明者	工藤 千秋
(32) 優先日	平成25年10月21日(2013.10.21)		大阪府門真市大字門真1006番地 パナソニック株式会社内
(33) 優先権主張国	日本国(JP)		
		審査官	早川 朋一
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板上に、セル領域および配線領域が設けられた半導体装置であって、
前記基板の主面側に設けられた半導体層と、
前記セル領域において、前記半導体層上に配置されたゲート絶縁膜と、
前記ゲート絶縁膜上に配置されたゲート電極と、
前記配線領域において、前記半導体層上に配置されたフィールド絶縁膜と、
前記フィールド絶縁膜上に配置され、前記ゲート電極と電気的に接続されたゲート配線とを備え、

前記フィールド絶縁膜は、前記ゲート絶縁膜よりも厚く、
前記フィールド絶縁膜の端部は、前記基板の主面に垂直な断面において、凸状の形状を有しており、

前記フィールド絶縁膜の上面は、前記ゲート配線のうち前記フィールド絶縁膜が下に配置されていない部分の上面よりも、粗く、

前記フィールド絶縁膜は、
前記半導体層上に配置され、ポリシリコンにより構成された第1の絶縁膜と、
前記第1の絶縁膜上に配置され、酸化シリコンにより構成された第2の絶縁膜とを備える

る

半導体装置。

【請求項2】

請求項 1 記載の半導体装置において、

前記フィールド絶縁膜の上面は、中心線平均粗さが、 $0.025\ \mu\text{m}$ から $0.1\ \mu\text{m}$ の範囲である

半導体装置。

【請求項 3】

請求項 1 または 2 記載の半導体装置において、

前記基板の主面に垂直な断面において、

前記フィールド絶縁膜の端部が前記半導体層と接する部分の接線が前記半導体層の上面となす角度が、 80 度以上で 90 度未満であり、

前記フィールド絶縁膜の端部が前記フィールド絶縁膜の上面の中心線と交わる部分の接線が当該中心線となす角度が、 5 度以上で 30 度以下である

半導体装置。

【請求項 4】

請求項 1 から 3 のうちいずれか 1 項記載の半導体装置において、

前記ゲート電極および前記ゲート配線は、ポリシリコンにより構成される

半導体装置。

【請求項 5】

請求項 1 から 4 のうちいずれか 1 項記載の半導体装置において、

前記半導体層は、炭化珪素により構成される

半導体装置。

【請求項 6】

請求項 1 から 5 のうちいずれか 1 項記載の半導体装置において、

前記フィールド絶縁膜の膜厚は、前記ゲート絶縁膜の膜厚の 3 倍から 6 倍の範囲である半導体装置。

【請求項 7】

請求項 1 から 5 のうちいずれか 1 項記載の半導体装置において、

前記フィールド絶縁膜のうち前記第 2 の絶縁膜の膜厚は、前記ゲート絶縁膜の膜厚の 4 倍から 6 倍の範囲である

半導体装置。

【請求項 8】

請求項 1 から 7 のうちいずれか 1 項に記載の半導体装置において、

前記半導体層は、

前記配線領域において、第 1 導電型の第 1 不純物領域と、前記第 1 不純物領域上に配置された、第 2 導電型の第 2 不純物領域とを有し、

前記ゲート配線のうち前記フィールド絶縁膜が下に配置されていない部分は、前記第 2 不純物領域との間に、前記ゲート絶縁膜が配置されており、

前記基板の主面に垂直な断面において、前記フィールド絶縁膜の下における前記第 2 不純物領域の厚さを D_1 、前記ゲート絶縁膜の下における前記第 2 不純物領域の厚さを D_2 とすると、 $D_1 > D_2$ の関係を有する

半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置に関する。

【背景技術】

【0002】

近年、電力供給の逼迫および地球環境保護の観点から、電力損失を低減できる電力用半導体装置が着目され、多くの開発例が報告、実用化されている。一般に電力用半導体装置では、ゲート電極と半導体基板との間に高電圧が印加される。ゲート電極配線は、能動素子に用いられるだけでなく、ゲート電極の電位を与えるための配線としても使用される

10

20

30

40

50

。能動素子においては、半導体基板側の構造を工夫することにより空乏層を形成して耐圧を向上する取り組みが行われている。一方で、配線として使用される部分では、上層配線とのコンタクト形成および配線抵抗の低減のため広い面積が必要となり、半導体基板側での対策が困難である。このような半導体装置では、ゲート配線と半導体基板との間に厚いフィールド絶縁膜を形成することにより、耐圧を確保している（例えば、特許文献1から3参照）。

【0003】

一般的なフィールド絶縁膜の形成方法としては、LOCOS (Local Oxidation of Silicon) 法が知られている。

【先行技術文献】

10

【特許文献】

【0004】

【特許文献1】特許第3998288号公報

【特許文献2】特開2006-128407号公報

【特許文献3】特開昭57-62542号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、従来のフィールド絶縁膜の形成方法には、以下の問題がある。

【0006】

20

LOCOS法では、その製造方法の特徴から、フィールド絶縁膜の端部にバズピークと呼ばれる形状が形成される。すなわち、フィールド絶縁膜の端部が凹形状になる。このため、フィールド絶縁膜の上にゲート配線を形成する際、リソグラフィ工程においてフィールド絶縁膜の端部が凹面鏡として機能してしまい、ミラー効果により、ゲート配線パターンの細りが発生する。

【0007】

そこで本開示の一態様は、ゲート配線と基板との間にフィールド絶縁膜を備える半導体装置であって、フィールド絶縁膜の端部におけるゲート配線パターンの細りを抑制することができる半導体装置を提供する。

【課題を解決するための手段】

30

【0008】

本明細書において開示される半導体装置の一形態は、基板上にセル領域および配線領域が設けられており、基板の主面側に設けられた半導体層と、セル領域において半導体層上に配置されたゲート絶縁膜と、ゲート絶縁膜上に配置されたゲート電極と、配線領域において半導体層上に配置されたフィールド絶縁膜と、フィールド絶縁膜上に配置され、ゲート電極と電気的に接続されたゲート配線とを備え、フィールド絶縁膜はゲート絶縁膜よりも厚く、フィールド絶縁膜の端部は、基板の主面に垂直な断面において、凸状の形状を有しており、フィールド絶縁膜の上面は、ゲート配線のうちフィールド絶縁膜が下に配置されていない部分の上面よりも粗い。

【0009】

40

なお、これらの包括的または具体的な態様は、システム、または方法で実現されてもよく、システム、装置、および方法の任意な組み合わせで実現されてもよい。

【発明の効果】

【0010】

本明細書において開示される技術によれば、ゲート配線と基板との間にフィールド絶縁膜を備える半導体装置であって、フィールド絶縁膜の端部におけるゲート配線パターンの細りが抑制された半導体装置を実現することが可能となる。

【図面の簡単な説明】

【0011】

【図1】一実施形態に係る半導体装置の構成を示す断面図

50

【図2】一実施形態に係る半導体装置の構成を示す平面図

【図3】(a), (b)は図2の平面図の部分拡大図

【図4】(a), (b)は一実施形態に係る半導体装置のフィールド絶縁膜の断面SEM写真

【図5】一実施形態に係る半導体装置の他の構成を示す断面図

【図6】変形例に係る半導体装置の構成を示す断面図

【図7】(a), (b), (c)は一実施形態に係る半導体装置の製造工程を示す断面図

【図8】(a), (b), (c)は一実施形態に係る半導体装置の製造工程を示す断面図

【図9】(a), (b), (c)は一実施形態に係る半導体装置の製造工程を示す断面図

【図10】(a), (b), (c)は一実施形態に係る半導体装置の製造工程を示す断面図

10

【図11】(a), (b)は一実施形態に係る半導体装置の製造工程を示す断面図

【図12】(a), (b), (c)は変形例に係る半導体装置の製造工程を示す断面図

【図13】(a), (b)は変形例に係る半導体装置の製造工程を示す断面図

【発明を実施するための形態】

【0012】

本開示の第1態様では、基板上にセル領域および配線領域が設けられた半導体装置は、前記基板の主面側に設けられた半導体層と、前記セル領域において前記半導体層上に配置されたゲート絶縁膜と、前記ゲート絶縁膜上に配置されたゲート電極と、前記配線領域において前記半導体層上に配置されたフィールド絶縁膜と、前記フィールド絶縁膜上に配置され、前記ゲート電極と電気的に接続されたゲート配線とを備え、前記フィールド絶縁膜は前記ゲート絶縁膜よりも厚く、前記フィールド絶縁膜の端部は、前記基板の主面に垂直な断面において、凸状の形状を有しており、前記フィールド絶縁膜の上面は、前記ゲート配線のうち前記フィールド絶縁膜が下に配置されていない部分の上面よりも、粗く、前記フィールド絶縁膜は、前記半導体層上に配置され、ポリシリコンにより構成された第1の絶縁膜と、前記第1の絶縁膜上に配置され、酸化シリコンにより構成された第2の絶縁膜とを備えている。

20

【0013】

この態様によると、フィールド絶縁膜の端部が、基板の主面に垂直な断面において凸状の形状を有しているため、その上に形成されるゲート配線のパターン細りを小さく抑えることができ、したがって、ゲート配線を制御性良く形成することができる。

30

【0014】

また、この態様によると、フィールド絶縁膜の上面が粗いので、フィールド絶縁膜とゲート配線との密着性を向上させることができる。また、ゲートパッド領域において、プロビングおよびボンディングによるストレスを分散させることができるため、フィールド絶縁膜の破壊を抑制することができる。

【0015】

また、この態様によると、ゲートパッド領域において、プロビングおよびボンディングによるストレスをさらに分散させることができるため、フィールド絶縁膜の破壊を抑制することができる。

40

【0016】

本開示の第2態様では、第1態様の半導体装置において、前記フィールド絶縁膜の上面は、中心線平均粗さが、 $0.025\ \mu\text{m}$ から $0.1\ \mu\text{m}$ の範囲である。

【0017】

この態様によると、フィールド絶縁膜とゲート配線との密着性を確実に向上させることができる。また、ゲートパッド領域において、プロビングおよびボンディングによるストレスを確実に分散させることができるため、フィールド絶縁膜の破壊を確実に抑制することができる。

【0018】

本開示の第3態様では、第1または第2態様の半導体装置において、前記基板の主面に

50

垂直な断面において、前記フィールド絶縁膜の端部が前記半導体層と接する部分の接線が前記半導体層の上面となす角度が、80度以上で90度未満であり、前記フィールド絶縁膜の端部が前記フィールド絶縁膜の上面の中心線と交わる部分の接線が当該中心線となす角度が、5度以上で30度以下である。

【0019】

この態様によると、ゲート配線のパターン細りを確実に小さく抑えることができる。

【0020】

本開示の第4態様では、第1から第3態様のうちいずれかの半導体装置において、前記ゲート電極および前記ゲート配線は、ポリシリコンにより構成される。

【0021】

本開示の第5態様では、第1から第4態様のうちいずれかの半導体装置において、前記半導体層は、炭化珪素により構成される。

【0022】

本開示の第6態様では、第1から第5態様のうちいずれかの半導体装置において、前記フィールド絶縁膜の膜厚は、前記ゲート絶縁膜の膜厚の3倍から6倍の範囲である。

【0023】

本開示の第7態様では、第1から第5態様のうちいずれかの半導体装置において、前記フィールド絶縁膜のうち前記第2の絶縁膜の膜厚は、前記ゲート絶縁膜の膜厚の4倍から6倍の範囲である。

【0024】

本開示の第8態様では、第1から第7態様のうちいずれかの半導体装置において、前記半導体層は、前記配線領域において、第1導電型の第1不純物領域と、前記第1不純物領域上に配置された、第2導電型の第2不純物領域とを有し、前記ゲート配線のうち前記フィールド絶縁膜が下に配置されていない部分は、前記第2不純物領域との間に前記ゲート絶縁膜が配置されており、前記基板の主面に垂直な断面において、前記フィールド絶縁膜の下における前記第2不純物領域の厚さをD1、前記ゲート絶縁膜の下における前記第2不純物領域の厚さをD2とすると、 $D1 > D2$ の関係を有する。

【0025】

この態様によると、フィールド絶縁膜の下に配置された第2不純物領域はシート抵抗が低減されることになり、このため、ターンオフ時の電流による電位降下を小さくすることができ、ゲート絶縁膜破壊を抑制することができる。

【0026】

LOCOS法では、半導体基板を酸化するため、炭化珪素(SiC: Silicon Carbide)等の難酸化材料に対しては適用が極めて困難である。たとえばシリコン材料に対して一般的に用いられる乾燥酸素雰囲気における950の酸化では、炭化珪素は酸化レートの早い(000-1)C面においても20nm/hとシリコン材料と比較して1/6程度の酸化レートであり、酸化レートが遅い(0001)Si面では5nm/hとシリコン材料と比較して1/25程度の酸化レートとなる。この比率は温度が上昇しても大きくは変化しないため、炭化珪素の厚膜酸化膜を形成することは非常に困難である。

【0027】

従来のフィールド絶縁膜の形成方法としてはLOCOS法以外に、STI(Shallow Trench Isolation)法及び堆積膜形成法が挙げられる。STI法については非常に複雑で高コストな製法が必要であるためコスト上昇が避けられない。さらに微細なパターンについてはトレンチの平坦化が容易であるが大きな面積領域については格段の工夫が必要となる。

【0028】

また、堆積膜形成法では堆積膜をエッチングによりパターン形成を行う。このときに異方性エッチングを採用した場合には端部が垂直に近い構造となるため、その後のゲート配線形成時にエッチングが困難となり、エッチング残りによる配線リーク、寄生容量増加およびパーティクル発生の要因となる。等方性エッチングを用いた場合にはLOCOS法と

10

20

30

40

50

同じように端部が凹形状となるため、前述と同じ問題が発生する。

【0029】

また、従来のフィールド絶縁膜の形成方法では、フィールド絶縁膜の上面は平坦な酸化膜となる。平坦である場合には以下の二つの問題が発生する。一点目はゲート配線との密着性低下である。特に細く長い配線を形成した場合には、工程中のストレスによりゲート配線が剥がれてしまうことがある。二点目はストレス耐性の劣化である。ボンディングパッド下にゲート配線を適用した場合には、プロービングおよびボンディング時のストレスによるフィールド絶縁膜の割れが発生するおそれがある。

【0030】

また、動作時の課題として、MOSトランジスタのターンオフ時に電流がゲート配線下のボディ領域に流れることにより、電圧降下で電位差が発生する。この電位差によりゲート酸化膜に大きな電界がかかりゲート酸化膜破壊が発生することがある。

10

【0031】

これに対して、本開示の半導体装置の一態様によれば、ゲート配線の下に配置されたフィールド絶縁膜の端部を、基板の主面に垂直な断面において凸状の形状とすることにより、フィールド絶縁膜の端部上におけるゲート配線のパターン細りを抑制することができる。また、本開示の半導体装置の他の態様によれば、フィールド絶縁膜の上面を、凹凸を有する形状とすることができるので、ゲート配線との密着性の向上およびボンディングストレスの拡散を行うことができる。さらに、本開示の半導体装置の他の態様によれば、ゲート絶縁膜を形成する工程において、フィールド絶縁膜下の半導体層に対する酸化量を低減することにより、第2導電型の第2不純物領域であるボディ領域の抵抗を低減できる。これらにより、半導体装置の歩留まり及び信頼性の向上を実現できる。

20

【0032】

ここでは、半導体層が炭化珪素により構成された炭化珪素半導体であり、炭化珪素半導体層上にフィールド絶縁膜が配置された例について説明する。半導体層は炭化珪素に限らず、シリコン等の半導体でも良い。

【0033】

炭化珪素半導体層とは、基板の主面上に結晶成長させた炭化珪素半導体層だけでなく、炭化珪素半導体からなる基板自体であっても、半導体として用いられている場合は炭化珪素半導体層に含まれる。炭化珪素半導体層を結晶成長させる基板は、炭化珪素基板に限らず、炭化珪素半導体層を形成できれば、シリコン等の半導体基板、サファイア等の絶縁性基板であってもよい。

30

【0034】

(実施形態)

一実施形態に係る半導体装置は、例えば、炭化珪素(SiC)半導体から構成されるパワー半導体デバイスであり、高耐圧、大電流、高速動作に好適に使用される。以下、本実施形態に係る半導体装置の具体的な構成例を次に示す。

【0035】

図1は一実施形態に係る半導体装置10の断面構成を示している。半導体装置10は、主面101a及び裏面101bを有し、炭化珪素を含むn型の半導体基板101を含む。半導体基板101の主面101aの上には、トランジスタとして動作するMOS(Metal Oxide Semiconductor)構造が配置されたセル領域Aと、トランジスタのゲート電極に電気的に接続された配線が配置された配線領域Bとが設けられている。半導体基板101の主面101aの上に、半導体基板101よりも不純物濃度が低いn型の半導体層120が設けられている。半導体層120は炭化珪素により構成されている。

40

【0036】

セル領域Aにおいて、半導体層120には、ボディ領域として機能するp型の第1領域104が選択的に設けられており、第1領域104内にはソース領域として機能するn型の第2領域103が設けられている。第2領域103におけるn型不純物の濃度は、半

50

導体基板 101 における n 型不純物の濃度よりも高い。半導体層 120 のうち、第 1 領域 104 以外の領域は、ドリフト領域 102 となる。従って、ドリフト領域 102 における n 型不純物の濃度は半導体基板 101 における n 型不純物の濃度よりも低い。ドリフト領域 102 のうち隣接する第 1 領域 104 同士に挟まれた部分を、J F E T (J u n c t i o n F i e l d - E f f e c t T r a n s i s t o r) 領域 160 と呼ぶ。本明細書において、ドリフト領域 102 が第 1 導電型の第 1 不純物領域に相当し、第 1 領域 104 が第 2 導電型の第 2 不純物領域に相当する。

【0037】

半導体層 120 の上面 120a から所定の深さまでの領域に第 1 領域 104 が設けられており、第 1 領域 104 内において、上面 120a から所定の深さまでの領域に第 2 領域 103 が設けられている。第 1 領域 104 及び第 2 領域 103 は半導体層 120 の上面 120a に露出している。第 1 領域 104 には、p 型のコンタクト領域 190 が設けられている。コンタクト領域 190 上には、第 1 オーミック電極 122 が設けられている。

10

【0038】

ゲート絶縁膜 107 は、電流パス領域 140 および J F E T 領域 160 の上に直接接するように設けられている。電流パス領域 140 は、第 1 領域 104 における第 2 領域 103 と J F E T 領域 160 との間の部分であり、反転型チャネルとして機能する。ゲート絶縁膜 107 の上にゲート電極 108 が設けられている。

【0039】

半導体層 120 の上面 120a を覆うように層間絶縁膜 109 が設けられており、第 1 オーミック電極 122 を露出するコンタクトホール 115 が設けられている。コンタクトホール 115 内には配線 110 が設けられており、配線 110 は第 1 オーミック電極 122 と接触し、電氣的に接続されている。半導体基板 101 の裏面 101b には第 2 オーミック電極 111 が設けられている。本実施形態の半導体装置において、第 1 オーミック電極 122 はソース電極として機能し、第 2 オーミック電極 111 はドレイン電極として機能する。

20

【0040】

一方、配線領域 B において、半導体層 120 の上面 120a から所定の深さまでの領域に第 1 領域 104 が設けられており、第 1 領域 104 の上部にフィールド絶縁膜 201 が設けられている。フィールド絶縁膜 201 の膜厚は、ゲート絶縁膜 107 の膜厚の 3 倍から 6 倍の範囲で設定されている。

30

【0041】

そして、ゲート配線 202 が、ゲート絶縁膜 107 上からフィールド絶縁膜 201 の上面 201a 上にまで延伸している。ゲート配線 202 は、セル領域 A におけるゲート電極 108 と同じ材料によって形成されており、後述するようにゲート電極 108 と電氣的に接続されている。層間絶縁膜 109 が半導体層 120 の上面 120a を覆うように設けられており、ゲート配線 202 を露出するコンタクトホール 118 が設けられている。コンタクトホール 118 内には配線 110 が設けられており、配線 110 はゲート配線 202 と接触し、電氣的に接続されている。

【0042】

図 2 は半導体装置 10 を平面視した簡略図を示す。セル領域 A の周辺を配線領域 B が取り囲んでいる。配線領域 B の一部において、ゲート配線 202 と配線 110 が大きく形成されたゲートパッド領域 C が形成されている。ゲートパッド領域 C にプロービングおよびボンディングを行うことにより、ゲート電極 108 の電位を制御する。

40

【0043】

図 3 は図 2 における部分 Z の拡大図であり、(a) は配線 110 を含む平面図、(b) は配線 110 および層間絶縁膜 109 を除いた状態を示す平面図である。なお、図 1 は図 3 の a - a' 線における断面図に相当する。図 3 (a) に示すように、セル領域 A では、コンタクトホール 115 の上を含めて配線 110 が形成されており、配線領域 B では、コンタクトホール 118 の上を含めて配線 110 が形成されている。図 3 (b) に示すよう

50

に、セル領域 A ではゲート電極 108 が形成されており、配線領域 B では、フィールド絶縁膜 201 上にゲート配線 202 が設けられており、ゲート配線 202 とゲート電極 108 とは電氣的に接続されている。

【0044】

半導体基板 101 は、六方晶系炭化珪素から構成された基板を用いることができる。半導体基板 101 の厚さは、例えば、 $250\ \mu\text{m}$ 以上、 $350\ \mu\text{m}$ 以下とすることができ、半導体基板 101 の n 型の不純物濃度は、例えば、 $8 \times 10^{18}\ \text{cm}^{-3}$ (n^+) とすることができ、半導体基板 101 の不純物濃度を低く設定する場合には、立方晶系炭化珪素から構成される基板を半導体基板 101 に用いることもできる。

【0045】

半導体層 120 は、半導体基板 101 の主面 101 a 上にエピタキシャル成長によって形成された炭化珪素層とすることができ、半導体層 120 の厚さは、例えば、 $4\ \mu\text{m}$ 以上、 $15\ \mu\text{m}$ 以下とすることができ、n 型の不純物濃度は、例えば、 $5 \times 10^{15}\ \text{cm}^{-3}$ (n^-) とすることができ、半導体基板 101 と半導体層 120 との間に、別のエピタキシャル層（例えば、n 型の不純物濃度が $6 \times 10^{16}\ \text{cm}^{-3}$ の炭化珪素半導体層）を設けてもよい。

【0046】

第 1 領域 104 の厚さ（半導体層 120 の上面 120 a からの深さ）は、例えば、 $0.5\ \mu\text{m}$ 以上、 $1.0\ \mu\text{m}$ 以下とすることができ、第 1 領域 104 の p 型の不純物濃度は、例えば、 $1.5 \times 10^{18}\ \text{cm}^{-3}$ (p^-) とすることができ、また、第 2 領域 103 の厚さ（半導体層 120 の上面 120 a からの深さ）は、例えば、 $0.25\ \mu\text{m}$ とすることができ、第 2 領域 103 の n 型の不純物濃度は、例えば、 $5 \times 10^{19}\ \text{cm}^{-3}$ (n^{++}) とすることができ、

【0047】

フィールド絶縁膜 201 は、ポリシリコン (poly-Si) またはアモルファスシリコンを酸化することにより形成した酸化シリコン (SiO_2) とすることができ、厚さは、例えば、 $350\ \text{nm}$ とすることができ、

【0048】

ゲート絶縁膜 107 は、例えば、酸化シリコン (SiO_2) とすることができ、厚さは、例えば、 $70\ \text{nm}$ とすることができ、ゲート電極 108 は、例えば、ポリシリコンとすればよく、その厚さは、例えば、 $500\ \text{nm}$ とすることができ、第 1 オーミック電極 122 は、例えば、Ni (ニッケル) と Si (シリコン) との合金であるニッケルシリサイドからなり、その厚さは、例えば、 $70\ \text{nm}$ とすることができ、また、第 2 オーミック電極 111 も、例えば、チタンシリサイド又はニッケルシリサイド等によって構成することができ、その厚さは、例えば、 $100\ \text{nm}$ とすることができ、第 2 オーミック電極 111 の上に、半導体装置 10 をプラスチックパッケージに実装する際のはんだ付けを容易にするために、ニッケル (Ni) と銀 (Ag) 又はニッケル (Ni) と金 (Au) とを堆積してもよい。

【0049】

本実施形態の構成では、図 1 に示すように、フィールド絶縁膜 201 の端部 201 b が、半導体基板 101 の主面 101 a に垂直な断面において、凸状の形状を有している。これにより、ゲート配線 202 のパターン細りを小さく抑えることができるので、歩留まりと信頼性の高い半導体装置 10 を実現することが可能となる。

【0050】

ここで、フィールド絶縁膜 201 の上面 201 a の中心線 (1) を仮想的に設定する。この中心線 (1) は半導体層 120 の上面と平行である。フィールド絶縁膜 201 の端部 201 b において、中心線 (1) から離れる位置を x とし、また、半導体層 120 の上面と接する位置を y とする。そして、位置 x, y を通る直線 (2) を仮想的に設定する。図 1 の構成では、フィールド絶縁膜 201 の端部 201 b は、直線 (2) よりも、上面側に突出している、あるいは、外側に膨らんでいる。このような状態のとき、フィールド絶縁

10

20

30

40

50

膜 201 の端部 201b が凸状の形状を有している、という。

【0051】

図 4 (a) , (b) は実際のフィールド絶縁膜 201 の断面 SEM (Scanning Electron Microscope) 写真を示す。図 4 (a) と図 4 (b) とは同じ写真である。図 4 (a) , (b) はポリシリコンを 200 nm 堆積し、パターニングの後に乾燥酸素雰囲気において 1200 の酸化処理を行ったものである。炭化珪素の Si 面における熱酸化膜厚は 50 nm である。

【0052】

図 4 (a) では、図 1 で説明した仮想線 (1) , (2) を示している。フィールド絶縁膜 201 の端部が、直線 (2) よりも外側に膨らんでおり、凸状の形状を有しているのが分かる。また、図 4 (b) では、フィールド絶縁膜 201 の端部が半導体層 120 と接する部分の接線が半導体層 120 の上面となす角度 (テーパー角度) と、フィールド絶縁膜 201 の端部が中心線 (1) と交わる部分の接線が中心線 (1) となす角度 (テーパー角度) とを示している。フィールド絶縁膜 201 の端部が凸状の形状を有しているため、角度 θ_1 は、例えば、80 度以上 90 度未満であり、角度 θ_2 は、例えば、5 度以上 30 度以下である。

10

【0053】

また、本実施形態の構成では、図 1 に示すように、フィールド絶縁膜 201 の上面 201a は粗くなっており、凹凸を有している。図 4 (a) , (b) も、フィールド絶縁膜 201 の上面が凹凸を有していることを示している。これにより、フィールド絶縁膜 201 とゲート配線 202 との密着性を向上させることができる。

20

【0054】

フィールド絶縁膜 201 の上面 201a は、例えば、ゲート配線 202 のうちその下にフィールド絶縁膜 201 が形成されていない部分の上面よりも、粗い。また、フィールド絶縁膜 201 の上面 201a の中心線平均粗さ (Ra) は、例えば、0.025 μ m から 0.1 μ m の範囲である。なお、中心線平均粗さ (Ra) は、表面粗さ計による測定、または、断面形状から求めた中心線 (1) と粗さ曲線から、求めることができる。

【0055】

さらに、本実施形態の構成では、フィールド絶縁膜 201 の下に配置された第 1 領域 104 の深さ D1 は、フィールド絶縁膜 201 が存在しない領域における深さよりも大きくなっている。例えば、ゲート配線 202 のうちフィールド絶縁膜 201 が下に形成されていない部分は、第 1 領域 104 との間にゲート絶縁膜 107 が形成されており、このゲート絶縁膜 107 の下における第 1 領域 104 の深さを D2 とする。このとき、 $D1 > D2$ の関係を有している。これにより、フィールド絶縁膜 201 の下に配置された第 1 領域 104 はシート抵抗が低減されることになり、このため、ターンオフ時の電流による電位降下を小さくすることができ、ゲート絶縁膜の破壊を抑制することができる。

30

【0056】

以上のように本実施形態によると、フィールド絶縁膜 201 の端部 201b が凸状の形状を有しているため、ゲート配線 202 のパターン細りを小さく抑えることができる。また、フィールド絶縁膜 201 の上面 201a が凹凸を有しているため、ゲート配線 202 との密着性を向上させることができる。さらに、フィールド絶縁膜 201 の下における第 1 領域 104 の深さ D1 が他の部分よりも深いため、シート抵抗が低減することによって、ターンオフ時の電流による電位降下を小さくできる。さらに、ゲートパッド領域 C において、フィールド絶縁膜 201 の上面 201a が凹凸を有しているため、プロービングおよびボンディングによるストレスを分散させることができる。したがって、歩留まりと信頼性の高い半導体装置 10 を実現することが可能となる。

40

【0057】

なお、ゲート電極 108 とゲート配線 202 を有する構成の半導体装置であれば、本実施形態と同様の効果が得られる。図 1 では反転型チャネルを備えた構成の半導体装置を例として示したが、例えば、図 5 に示すように、第 1 領域 104 とゲート絶縁膜 107 との

50

間に蓄積型チャネルとして機能するチャネル層401を備えている構成の半導体装置10Aとしてもよい。図5の構成において、第1領域104とゲート絶縁膜107との間に、n型のチャネル層401が設けられている。その他の構成については、図1の構成と同様である。ここで、チャネル層401を追加した場合、p型の第1領域104の深さは、フィールド絶縁膜201の下領域とフィールド絶縁膜201が存在しない領域とで変化しない。ただし、チャネル層401と第1領域104とを合わせると、フィールド絶縁膜201の下における深さD3は、フィールド絶縁膜201が存在しない領域における深さD4よりも大きくなっている。ターンオフ時にはチャネル層401と第1領域104の両方に電流が流れるため、図5の構成においても、図1の構成と同様にターンオフ時の電流による電位降下を小さくすることができ、ゲート絶縁膜の破壊を抑制することができる。

10

【0058】

また、図1ではプレーナ型のMOS構造について示したが、例えば、トレンチ型のMOS構造、絶縁ゲートバイポーラトランジスタ(Insulated Gate Bipolar Transistor: IGBT)、横型のデバイス等に適用しても同様の効果が得られる。

【0059】

(変形例)

図6は図1で示した実施形態に対する変形例に係る半導体装置11を示す。図6において、図1と実質的に同様の構成要素については、図1と同一の符号を付しており、その詳細な説明を省略する場合がある。セル領域Aについては図1と同様であるため、説明を省略する。

20

【0060】

図6の構成では、配線領域Bに形成されるフィールド絶縁膜201は、第1の絶縁膜210と、第2の絶縁膜211とを備えている。第1の絶縁膜210の下面は半導体層120の上面に接している。第1の絶縁膜210とゲート配線202との間に、第2の絶縁膜211が設けられている。

【0061】

第1の絶縁膜210は、例えば不純物濃度の小さなポリシリコンにより構成されており、第2の絶縁膜211は、例えば酸化シリコン(SiO_2)により構成されている。第2の絶縁膜211は、第1の絶縁膜210を熱酸化することにより形成してもよい。また、厚さは、例えば、第1の絶縁膜210が100nm、第2の絶縁膜211が350nm、合計450nmとすることができる。

30

【0062】

本変形例の構成では、フィールド絶縁膜201が、第2の絶縁膜211より硬度の小さい第1の絶縁膜210を有している。これにより、図2に示すゲートパッド領域Cにおいて、プロービングおよびボンディングによるストレスをさらに分散させることができるため、フィールド絶縁膜201の破壊を抑制することができる。

【0063】

また、本変形例の構成では、上述の実施形態に係る構成と同様の効果が得られる。すなわち、フィールド絶縁膜201の端部201bが凸状の形状を有しているため、ゲート配線202のパターン細りを小さく抑えることができる。また、フィールド絶縁膜201の上面201aが凹凸を有しているため、ゲート配線202との密着性を向上させることができる。さらに、フィールド絶縁膜201の下における第1領域104の深さD1が他の部分よりも深いため、シート抵抗が低減することによって、ターンオフ時の電流による電位降下を小さくできる。したがって、歩留まりと信頼性の高い半導体装置11を実現することが可能となる。

40

【0064】

(実施形態に係る半導体装置の製造方法)

次に、図7から図11を参照して、本実施形態の半導体装置10の製造方法を説明する。図7から図11は、本実施形態の半導体装置の製造方法の各工程を示している。

50

【0065】

まず、図7(a)に示す構造を得るために、以下の工程を行う。半導体基板101として、n型4H-SiC(0001)基板を準備する。基板として、 $\langle 11-20 \rangle$ 方向に 8° 又は 4° オフカットされた基板を用いることができる。基板のn型不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以上、 $5 \times 10^{19} \text{ cm}^{-3}$ 以下とすることができる。

【0066】

次に、半導体基板101の主面101a上に、エピタキシャル成長等により半導体層120を形成する。半導体層120は、例えば原料ガスとして、シラン(SiH_4)とプロパン(C_3H_8)とを用い、キャリアガスとして水素(H_2)を用い、ドーパントガスとして窒素(N_2)ガスを用いた熱化学気相堆積(CVD: Chemical Vapor Deposition)法により形成することができる。半導体層120の厚さは $10 \mu\text{m}$ 以上とすることができる。n型の不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下とすることができる。

【0067】

次に、半導体層120の上面120a上に、注入マスク材料を堆積し(図示せず)、堆積した注入マスク材料の上にフォトレジスト(図示せず)を形成する。注入マスク材料は、例えば、酸化シリコンとすることができる。酸化シリコンの注入マスク材料は、例えば、シラン(SiH_4)及び一酸化窒素(N_2O)ガスを用い、200WのパワーのプラズマCVD法によって堆積することができる。注入マスク材料の厚さは、 $0.5 \mu\text{m}$ 以上、 $1.0 \mu\text{m}$ 以下とすることができる。フォトレジストは、第1領域104及びJFET領域160を規定する位置及び寸法を有している。フォトレジストは、例えば、感光性有機膜を用いることができ、典型的なフォトリソグラフィ法を用いて形成することができる。フォトレジストの厚さは、 $1.5 \mu\text{m}$ 以上、 $2.0 \mu\text{m}$ 以下とすることができる。フォトレジストをマスクとして、注入マスク材料に対して異方性エッチングを行うことにより、注入マスクパターン172を形成し、その後、フォトレジストを除去する。注入マスク材料のエッチングは、例えば、 CF_4 ガス及び CHF_3 ガスを用いた異方性ドライエッチング法によって行うことができる。フォトレジストは、例えば、酸素プラズマによるアッシングによって除去することができる。以下、特に説明しない限り、イオン注入のための注入マスクは同様の方法によって形成することができる。

【0068】

次に、図7(a)に示すように、注入マスクパターン172をマスクとして、p型不純物であるアルミニウムイオン(Al^+)180を半導体層120に注入(矢印で示す)して、半導体層120の上面120aの近傍に、所定の深さを有する第1領域104を形成する。イオン注入は、例えば、半導体層120が形成された半導体基板101の温度を500に保ち、30keVから350keVの範囲の異なるエネルギーで複数回に分けて行うことができる。第1領域104の深さは、例えば、 $0.5 \mu\text{m}$ 以上、 $1.0 \mu\text{m}$ 以下とすることができる。第1領域104に挟まれて規定される、半導体層120の上面120aの近傍領域がJFET領域160となる。本実施形態においてJFET領域160の幅は、例えば、 $3 \mu\text{m}$ とすることができる。また、半導体層120のうち、第1領域104が形成されなかった残りの領域がドリフト領域102となる。

【0069】

次に、図7(b)に示すように、注入マスクパターン172を覆うように、半導体層120の上面120aに注入マスク材料を堆積する。注入マスク材料は、例えば、ポリシリコン(poly-Si)であり、 SiH_4 を原料ガスとして熱CVD法を行うことにより形成することができる。注入マスク材料の上に所定のパターンを有するフォトレジスト(図示せず)を形成した後、注入マスク材料を異方性エッチングすることにより、注入マスクパターン171a及び171bを形成する。図示した注入マスクパターン171bは、フォトレジストの下方にあるパターンであり、コンタクト領域190を形成する領域に不純物を導入しないために設けられる。注入マスクパターン171aは、注入マスクパターン172のサイドウォールであり、チャンネルの幅(長さ)を規定する。異方性エッチング

10

20

30

40

50

には、例えば、塩素 (Cl_2)、酸素 (O_2)、及び臭化水素 (HBr) 等の混合ガスを用いることができる。

【0070】

続いて、注入マスクパターン172、171a及び171bをマスクとして、半導体層120の上面120aに向かって窒素イオン (N^+) 又はリンイオン (P^+) 182を注入 (矢印で示す) することにより、第2領域103を形成する。イオン注入は、例えば、半導体基板101の温度を500 に保ち、30keVから90keVの範囲の異なるエネルギーで複数回に分けて行うことができる。第2領域103の深さは、例えば、0.25 μm とすることができる。

【0071】

次に、図7(c)に示すように、注入マスクパターン171a、171b及び172を除去した後、注入マスクパターン173を形成する。注入マスクパターン171a及び171bが酸化膜である場合にはフッ酸 (HF) 水溶液で除去することができる。注入マスクパターン172がポリシリコンである場合には、フッ酸 (HF)、硝酸 (HNO_3) 及び過酸化水素 (H_2O_2) の混合液で除去することができる。

【0072】

次に、図8(a)に示すように、注入マスクパターン173をマスクとして、第1領域104に、アルミニウムイオン (Al^+) 184を注入 (矢印で示す) することにより、コンタクト領域190を形成する。コンタクト領域190の形成は、半導体基板101の温度を500 に保ち、90keVから150keVの範囲の異なるエネルギーで複数回に分けて行うことができる。コンタクト領域190の深さは、例えば、0.3 μm とすることができる。

【0073】

次に、注入マスクパターン173を除去した後に、複数の不純物拡散領域が形成された半導体層120を有する半導体基板101を1000 以上の温度で活性化アニールする。本実施形態においては、例えば1800 とする。

【0074】

次に図8(b)に示すように、半導体層120の上にシリコン材料301を形成し、シリコン材料301の上にマスク材料302を形成する。その後、フィールド絶縁膜パターンを形成したフォトレジスト303を形成する。シリコン材料301は、例えば減圧CVD法を用いてポリシリコンまたはアモルファスシリコンによって形成し、膜厚は175nmとする。マスク材料302は、例えばプラズマCVD法を用いて酸化膜によって形成する。マスク材料302を形成するのは、次の工程で実施するシリコン材料301のウエットエッチングを行う際に、フォトレジストではエッチング耐性が不足するためである。エッチング耐性が十分な場合は、マスク材料302の形成は省略することができる。

【0075】

次に図8(c)に示すように、フォトレジスト303をマスクとしてマスク材料302をエッチングしてフィールド絶縁膜パターンを転写する。マスク材料302のエッチングは例えば CHF_3 と O_2 ガスを用いたドライエッチングで行うが、フッ酸を用いたウエットエッチングで行ってもよい。

【0076】

次にフォトレジスト303を除去した後に、シリコン材料301を例えばフッ酸 (HF)、硝酸 (HNO_3) 及び過酸化水素 (H_2O_2) の混合液を用いて、等方性エッチングとしてウエットエッチングを行うことにより、フィールド絶縁膜パターンを転写する。等方性エッチングを用いることにより、シリコン材料301のフィールド絶縁膜パターン端において、テーパを有する形状を実現することができる。ウエットエッチングを用いることにより、シリコン材料301のエッチング時に、半導体層120のエッチングを最小限にとどめることができる。

【0077】

本実施例では、フォトレジスト303で形成したフィールド絶縁膜パターンをマスク材

10

20

30

40

50

料302、シリコン材料301の順に転写した。これは前述の通り、フッ酸とフッ硝酸の混合液を用いた場合に、フォトレジスト303のエッチング耐性が不十分であるためにフォトレジストが剥がれるためである。しかしながら、ウエットエッチング液の変更またはフォトレジスト材料の変更を行うことにより、直接シリコン材料にパターンの転写を行うことが可能である。この場合はマスク材料302の形成およびエッチングを省略することができる。また、等方性エッチングは NF_3 ガス等を用いたプラズマエッチングにおいて実施することもできる。

【0078】

次に図9(a)に示すように、例えばフッ酸を用いてマスク材料302を除去する。

【0079】

次に図9(b)に示すように、半導体層120の上に酸化シリコン(SiO_2)からなるゲート絶縁膜107を熱酸化法により形成する。一般にシリコン半導体の場合の熱酸化は900前後であるが、炭化珪素はシリコンと比較して熱酸化速度が遅いため、例えば、1200程度の温度で乾燥酸素雰囲気において実施する。このときにシリコン材料301も同時に酸化される。なお、このときの熱酸化温度は、1100以上であることが好ましい。本実施例ではシリコン材料301の厚さを175nmとしているため、シリコン材料301は完全に酸化され、約350nmの厚さのフィールド絶縁膜201が形成される。このとき、シリコン材料301がアモルファスシリコンであっても、酸化中の温度により再結晶化が起こることにより、完全に酸化される前にポリシリコンへと変化する。

【0080】

ポリシリコンが熱酸化される際には、酸化膜の上面にポリシリコンのグレインに対応した凹凸が形成される。これにより、フィールド絶縁膜201の上面201aが粗くなり、例えば、Raが $0.025\mu\text{m}$ から $0.1\mu\text{m}$ の凹凸が形成される。また、フィールド絶縁膜201の端部201bにおいて、凸状の形状が形成される。角部を有するシリコン材料を酸化する際に、900前後の熱酸化ではホーン現象が発生し、角部が鋭角となる。しかし、1100以上の高温で熱酸化すると酸化膜の粘度が低下することにより、表面張力の作用でシリコン材料の角部が丸く変形する。このため、本実施例の熱酸化によって、フィールド絶縁膜201の端部201bは、外側に膨らみを持ち、凸状の形状を有することになる。例えば上述したように、フィールド絶縁膜201の端部が半導体層120と接する部分の接線が半導体層120の上面となす角度は、例えば、80度以上90度未満であり、フィールド絶縁膜201の端部がフィールド絶縁膜201の上面201aの中心線(1)と交わる部分の接線が中心線(1)となす角度は、例えば、5度以上30度以下である。

【0081】

また、酸化の初期過程においては、シリコン材料301と半導体層120との酸化レートの比率は1/6から1/25である。しかしながら、長時間の酸化過程においては、シリコン材料301中を透過する酸素が未酸化のシリコン材料301に到達するまでに距離があるため、酸化レートは低減する。本実施例の場合では、ゲート絶縁膜107として70nmを形成した際に、シリコン材料301であるポリシリコンの酸化膜厚は約5倍の350nmとなる。シリコン材料301の酸化に際しては、酸化膜厚の約半分のシリコン材料301が消費される。したがってシリコン材料301の厚さを175nmとした場合は、すべてのシリコン材料301が酸化される。すなわち、堆積したシリコン材料301の約2倍のフィールド絶縁膜201を形成することができる。なお、フィールド絶縁膜201の膜厚を本実施例よりも薄くして、最終的な段差を低減し製品の平坦性を向上するためには、シリコン材料301の膜厚を薄く設定すればよい。

【0082】

また、酸化に必要な酸素がシリコン材料301の酸化で消費されるため、シリコン材料301の下部に配置される第1領域104の酸化を最小限にとどめることができる。このため、フィールド絶縁膜201の下部に配置された第1領域104の深さD1を、セル領域A内部および配線領域Bにおいてフィールド絶縁膜201が存在しない領域における深

10

20

30

40

50

さD2と比較して、D1>D2の関係を実現することができる。シリコン材料301をゲート酸化工程で酸化される膜厚よりも薄くした場合でも、この関係は維持される。シリコン材料301とフィールド絶縁膜201下の第1領域104を形成する炭化珪素の酸化レートは大きく異なるため、フィールド絶縁膜201下の第1領域104の酸化量は小さく抑えることができる。

【0083】

次に図9(c)に示すように、ゲート絶縁膜107およびフィールド絶縁膜201の上にポリシリコン(Poly-Si)からなるゲート電極材料を形成する。その後、そのゲート電極材料の上に、フォトレジスト(図示せず)を形成し、ゲート電極材料をエッチングして、フォトレジストを除去することにより、ゲート電極108とゲート配線202を形成する。ゲート電極108の材質及び厚さは適宜選択すればよい。

10

【0084】

次に、図10(a)に示すように、ゲート電極108とゲート配線202を覆うように半導体層120の上に層間絶縁膜109を形成する。層間絶縁膜109は、例えば酸化シリコン(SiO₂)とすることができ、その厚さは例えば1000nmとすることができる。

【0085】

次に、図10(b)に示すように、フォトレジスト176をマスクとして、層間絶縁膜109に対してエッチングを行い、コンタクトホール115を形成する。層間絶縁膜109のエッチングは、例えば、CHF₃及びO₂の混合ガスを用いたドライエッチングにより行うことができる。

20

【0086】

次に、図10(c)に示すように、フォトレジスト176を除去した後に、少なくともコンタクトホール115内にコンタクト金属としてニッケル(Ni)を堆積する(図示せず)。次に、コンタクト金属に熱処理を行って、コンタクトホール115内のコンタクト金属とコンタクト領域190とのシリサイド化を実行する。続いて、未反応のコンタクト金属を除去することにより、コンタクトホール115内に第1オーミック電極122を形成する。

【0087】

次に、図11(a)に示すように、フォトレジスト177をマスクとして、層間絶縁膜109に対してエッチングを行い、ゲート配線に対するコンタクトホール118を形成する。層間絶縁膜109のエッチングは、例えば、CHF₃及びO₂の混合ガスを用いたドライエッチングにより行うことができる。

30

【0088】

次に、図11(b)に示すように、レジスト177を除去した後、半導体基板101の裏面101bに金属を堆積し、熱処理を行うことにより第2オーミック電極111を形成する。第2オーミック電極111は例えば、Tiを堆積した後に950で熱処理を行うことにより形成できる。その後、第1オーミック電極122およびゲート配線202と接触するように、コンタクトホール115およびコンタクトホール118内に配線110を形成することにより、半導体装置10が完成する。

40

【0089】

(変形例に係る半導体装置の製造方法)

次に、図12および図13を参照して、変形例に係る半導体装置11の製造方法を説明する。図12および図13は変形例に係る半導体装置11の製造方法の各工程を示している。

【0090】

まず、半導体装置10の製造方法において図8(a)までで説明した方法と同じ方法を行うことにより、図12(a)の構造を形成する。

【0091】

次に図12(b)に示すように半導体層120の上にシリコン材料301を形成し、シ

50

リコン材料 301 の上にマスク材料 302 を形成する。その後、フィールド絶縁膜パターンを形成したフォトレジスト 303 を形成する。シリコン材料 301 は、例えば減圧 CVD 法を用いてポリシリコンまたはアモルファスシリコンによって形成し、膜厚は 500 nm とする。シリコン材料 301 の膜厚は、次のゲート酸化時に完全には酸化されない膜厚を選択する。ゲート酸化を例えば 1220 で実施する場合には、炭化珪素とシリコン材料の酸化レート比率が 1 : 5 程度である。したがって、70 nm のゲート酸化を行う場合にシリコン材料は 350 nm 程度酸化される。このため、シリコン材料 301 を 500 nm とした場合は 150 nm 程度のシリコン材料が酸化されずに残留する。これらの膜厚は適宜変更することができる。マスク材料 302 は、例えばプラズマ CVD 法を用いて酸化膜によって形成される。マスク材料 302 を形成するのは、次の工程で実施するシリコン材料 301 のウエットエッチングを行う際に、フォトレジストではエッチング耐性が不足するためである。エッチング耐性が十分な場合は、マスク材料 302 の形成を省略することができる。

10

【0092】

次に図 12 (c) に示すように、フォトレジスト 303 をマスクとしてマスク材料 302 をエッチングしてフィールド絶縁膜パターンを転写する。マスク材料 302 のエッチングは例えば CHF_3 と O_2 ガスを用いたドライエッチングで行うが、フッ酸を用いたウエットエッチングで行ってもよい。

【0093】

次にフォトレジスト 303 を除去した後に、シリコン材料 301 を例えばフッ酸とフッ硝酸の混合液を用いてウエットエッチングすることにより、フィールド絶縁膜パターンを転写する。等方性エッチングを用いることにより、シリコン材料 301 のフィールド絶縁膜パターン端において、テーパを有する形状を実現することができる。本変形例では、フォトレジスト 303 で形成したフィールド絶縁膜パターンをマスク材料 302、シリコン材料 301 の順に転写した。これは前述の通り、フッ酸とフッ硝酸の混合液を用いた場合に、フォトレジスト 303 のエッチング耐性が不十分であるためにフォトレジストが剥がれるためである。しかしながら、ウエットエッチング液の変更またはフォトレジスト材料の変更を行うことにより、直接シリコン材料にパターンの転写を行うことが可能である。この場合はマスク材料 302 の形成およびエッチングを省略することができる。

20

【0094】

次に図 13 (a) に示すように、例えばフッ酸を用いてマスク材料 302 を除去する。

30

【0095】

次に図 13 (b) に示すように、半導体層 120 の上に酸化シリコン (SiO_2) からなるゲート絶縁膜 107 を例えば乾燥酸素雰囲気における 1200 の熱酸化法により形成する。このときにシリコン材料 301 も同時に酸化される。なお、このときの熱酸化温度は、1100 以上であることが好ましい。本実施例ではシリコン材料 301 を 500 nm としているため、シリコン材料 301 の表面はフィールド絶縁膜パターン端を含めて酸化され、内部にシリコン材料 301 が残留することにより、ポリシリコンからなる第 1 の絶縁膜 210 と酸化シリコンからなる第 2 の絶縁膜 211 とを備えたフィールド絶縁膜 201 が形成される。このとき、シリコン材料 301 がアモルファスシリコンであっても、酸化中の温度により再結晶化が起こることにより完全に酸化される前にポリシリコンへと変化する。

40

【0096】

酸化の初期過程においては、シリコン材料 301 と半導体層 120 との酸化レートの比率は 1 / 6 から 1 / 25 である。しかしながら、長時間の酸化過程においては、シリコン材料 301 中を透過する酸素が未酸化のシリコン材料 301 に到達するまでに距離があるため、酸化レートは低減する。本変形例の場合では、ゲート絶縁膜 107 として 70 nm を形成した際に、シリコン材料 301 であるポリシリコンの酸化膜厚は約 5 倍の 350 nm となる。したがって、第 2 の絶縁膜 211 はゲート絶縁膜 107 の厚さに対して 4 倍から 6 倍の範囲となる。このとき、シリコン材料 301 は第 2 の絶縁膜 211 の約半分の厚

50

さが消費される。このため、第1の絶縁膜210の膜厚は、シリコン材料301の初期の堆積から第2の絶縁膜211の約半分の膜厚を引いたものとなる。第1の絶縁膜210の膜厚は、フィールド絶縁膜201の寄生容量の低減およびボンディングダメージの低減に必要な値に任意に設定することができる。たとえば、第1の絶縁膜210の膜厚を厚く設定することにより、フィールド絶縁膜201を介したゲート配線202と第1領域104との間の容量を、ゲート電極108と第1領域104との間の容量に対して1/5以下とすることが可能である。また、半導体基板101へのボンディングダメージを抑制するためにはフィールド絶縁膜201が厚い方が望ましく、この場合は、第1の絶縁膜210を厚く設定すればよい。

【0097】

10

ポリシリコンが熱酸化される際には、酸化膜の上面にポリシリコンのグレインに対応した凹凸が形成される。これにより、フィールド絶縁膜201の上面201aが粗くなり、例えば、Raが0.025 μ mから0.1 μ mの凹凸が形成される。また、フィールド絶縁膜201の端部201bにおいては、凸状の形状が形成される。角部を有するシリコン材料を酸化する際に、900前後の熱酸化ではホーン現象が発生し、角部が鋭角となる。しかし、1100以上の高温で熱酸化すると酸化膜の粘度が低下することにより、表面張力の作用でシリコン材料の角部が丸く変形する。このため、本変形例の熱酸化において、フィールド絶縁膜201の端部201bは、外側に膨らみを持ち、凸状の形状を有することになる。

【0098】

20

また、シリコン材料301の一部を残留させるため、フィールド絶縁膜201の下部に配置される第1領域104の酸化は、端部201bの下の一部の領域を除き、起こらない。このため、フィールド絶縁膜201の下部に配置された第1領域104の深さD1を、セル領域A内部および配線領域Bにおいてフィールド絶縁膜201が存在しない領域における深さD2と比較して、D1>D2の関係を実現することができる。

【0099】

以降は、半導体装置10の製造方法において、図9(c)以降で説明した方法と同一であるために省略する。

【0100】

本実施形態においては、反転チャネル構造を有する金属-絶縁体-半導体電界効果トランジスタ(Metal-Insulator-Semiconductor Field Effect Transistor: MISFET)について説明したが、蓄積チャネル構造を有するMISFETおよびトレンチ型のMISFETについても同様の構成とすることができる。

30

【0101】

さらに、MISFETに限らず、半導体層の上に絶縁膜を介して電極が配置されている種々の半導体装置を同様にして形成することができる。例えば、基板とその直上に形成する半導体層とを互いに異なる導電型とすることにより、IGBTを形成することができる。

【0102】

40

本実施形態においては、基板101が4H-SiCであり、(0001)Si面の上に半導体層120を形成する例を示した。しかし、(000-1)C面に半導体層120を形成し、(0001)Si面にドレイン電極を形成してもよい。また、主面の面方位を他の結晶面としてもよい。さらに、他のポリタイプのSiC基板を用いることも可能である。

【0103】

本実施形態においては、SiCを用いた半導体装置について説明したが、シリコンを用いた半導体装置に適用することも可能である。

【産業上の利用可能性】

【0104】

50

本開示に係る半導体装置は、パワーデバイス等を含む種々の半導体装置として有用である。

【符号の説明】

【0105】

10, 10A, 11 半導体装置

101 半導体基板(基板)

101a 基板の主面

102 ドリフト領域(第1不純物領域)

104 第1領域(第2不純物領域)

107 ゲート絶縁膜

108 ゲート電極

120 半導体層

201 フィールド絶縁膜

201a フィールド絶縁膜の上面

201b フィールド絶縁膜の端部

202 ゲート配線

210 第1の絶縁膜

211 第2の絶縁膜

301 シリコン材料

302 マスク材料

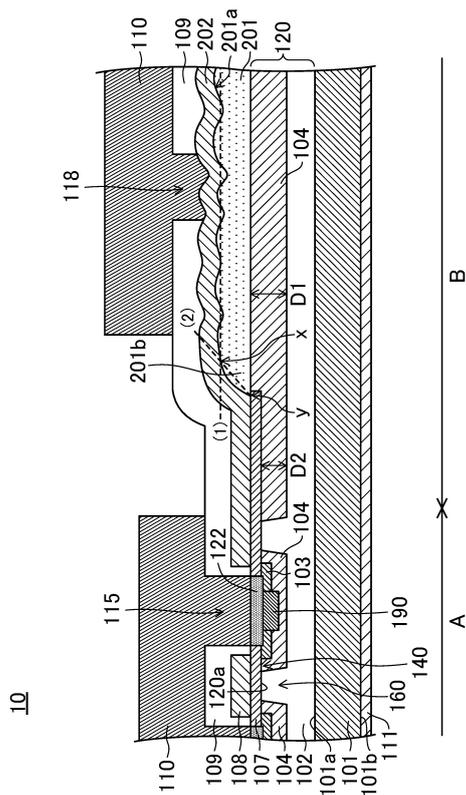
A セル領域

B 配線領域

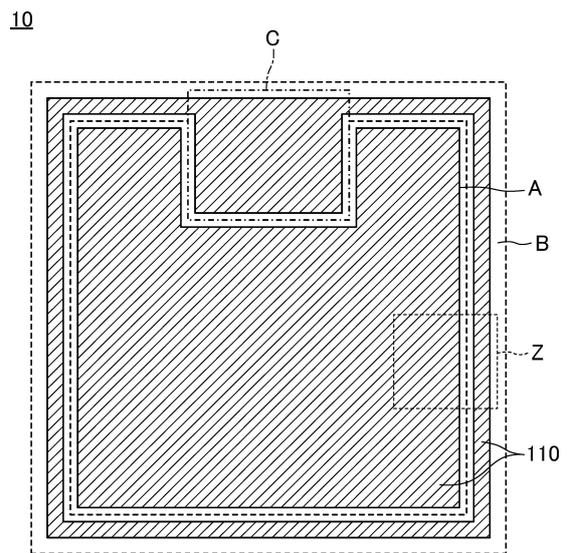
10

20

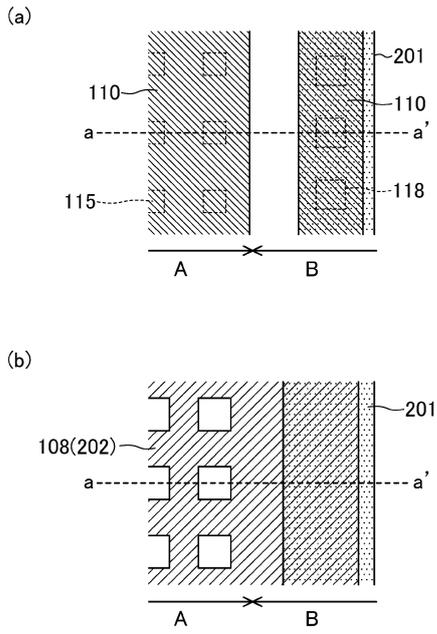
【図1】



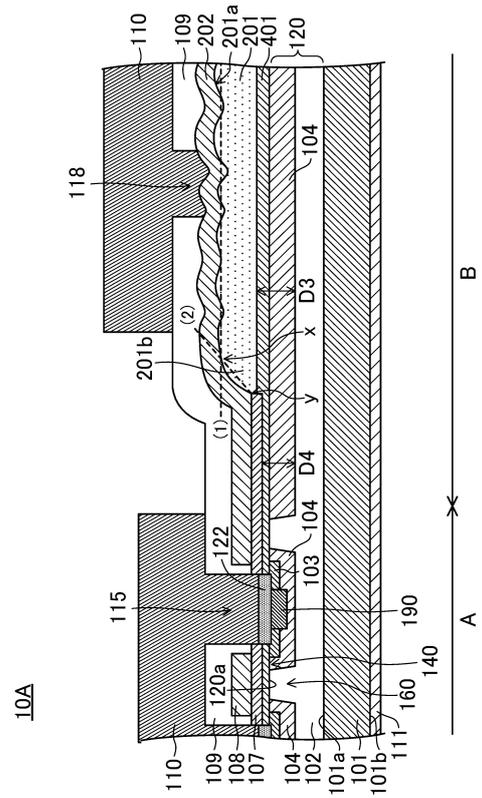
【図2】



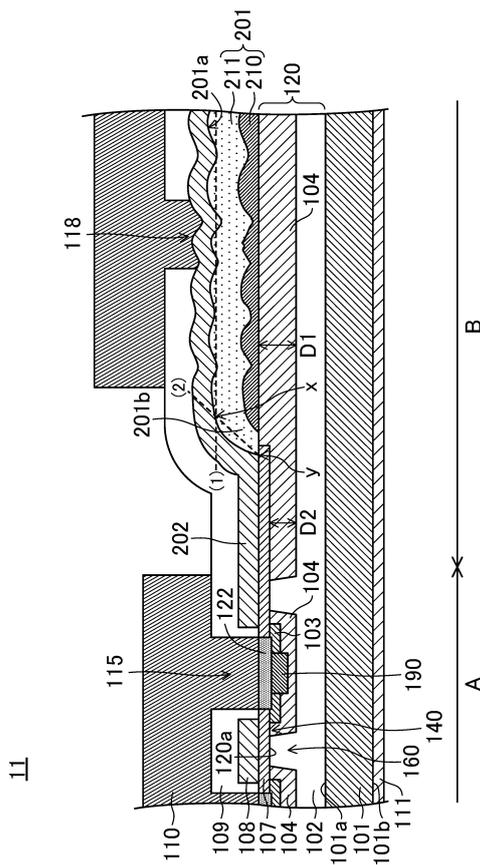
【 図 3 】



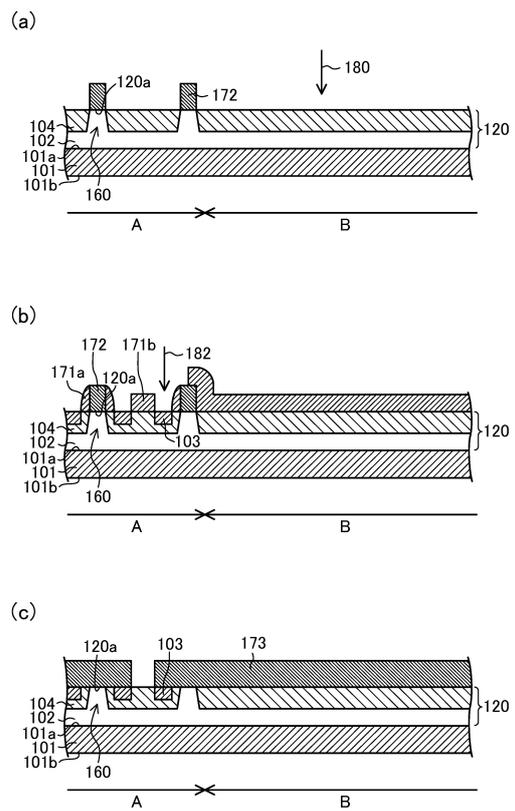
【 図 5 】



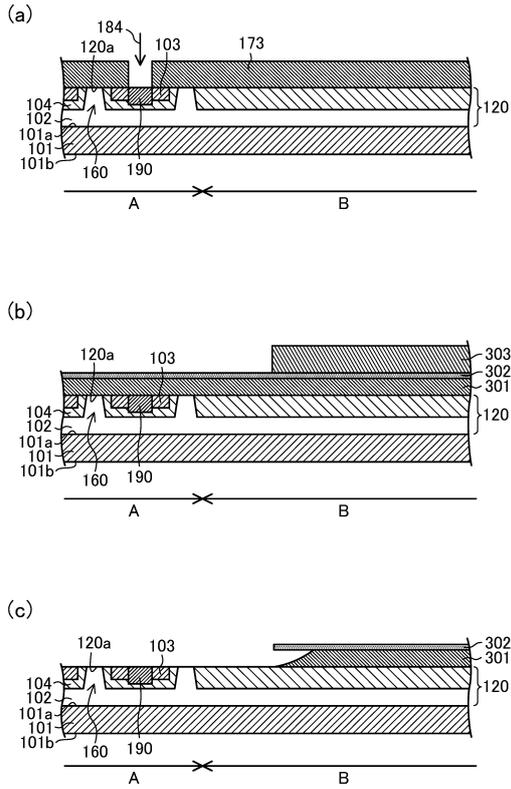
【 図 6 】



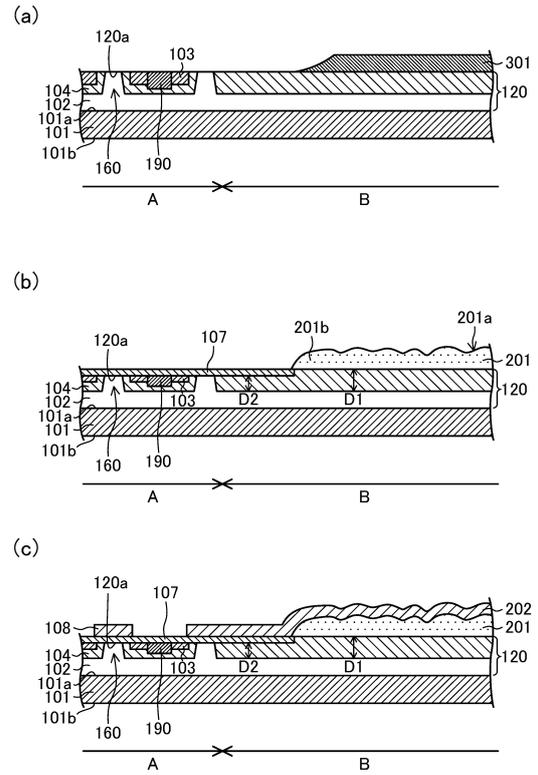
【 図 7 】



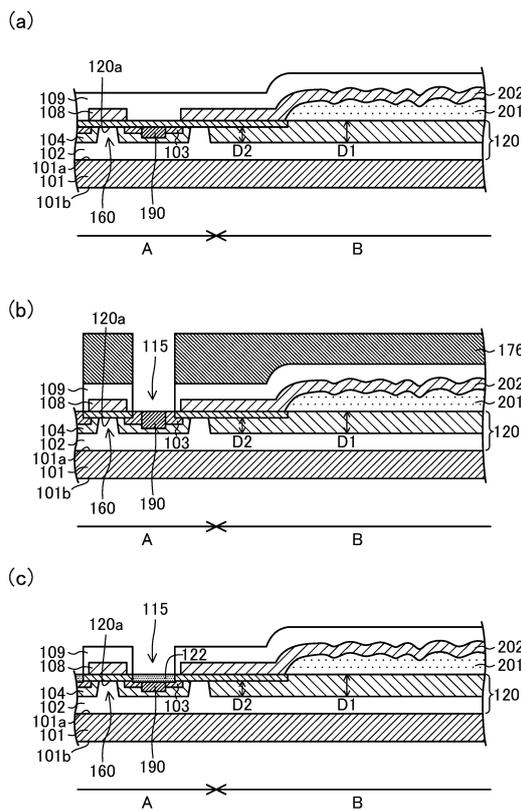
【 図 8 】



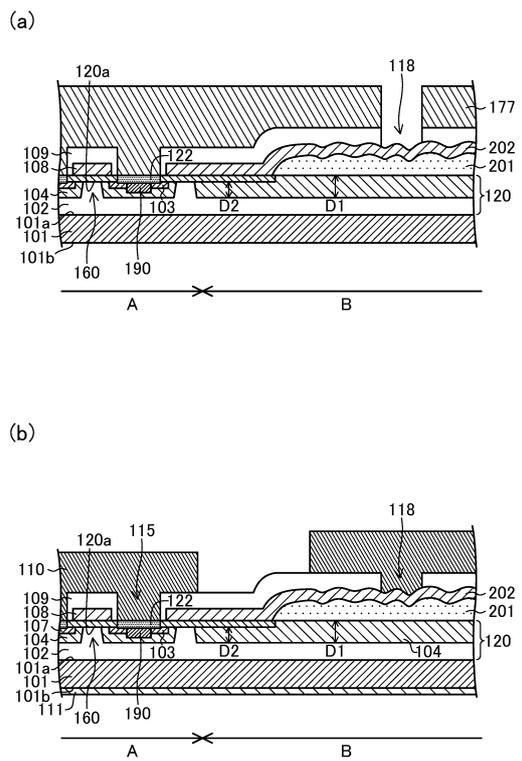
【 図 9 】



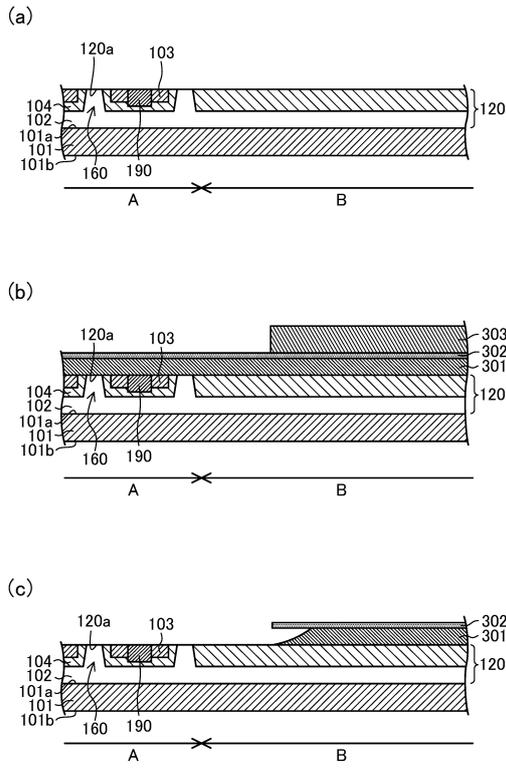
【 図 10 】



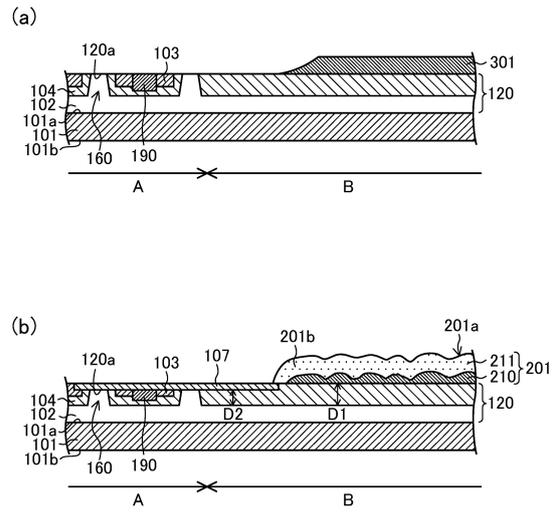
【 図 11 】



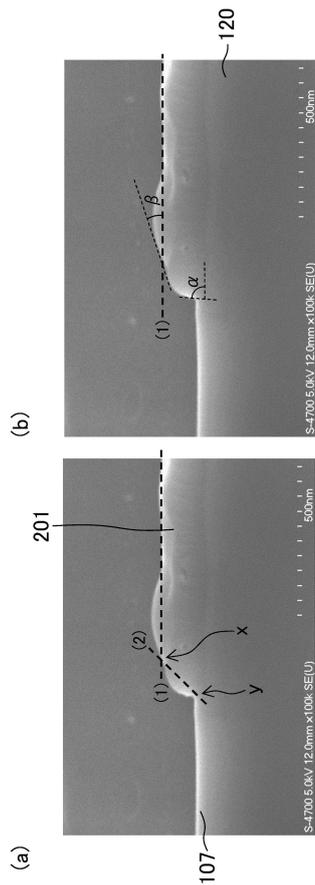
【 図 1 2 】



【 図 1 3 】



【 図 4 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 K
H 0 1 L 21/316 C

(56)参考文献 特開2014-107419(JP,A)
特開2000-277514(JP,A)
特開昭57-072342(JP,A)
特開平09-172175(JP,A)
特開平11-330478(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 1 / 3 1 4 - 3 1 8
H 0 1 L 2 1 / 4 7 1 - 4 7 3
H 0 1 L 2 1 / 7 6 - 2 1 / 7 6 5
H 0 1 L 2 1 / 3 2 0 5 - 2 1 / 3 2 1 5
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 3 / 5 2 2 - 2 3 / 5 3 2